

Chương 2: ĐẠI SỐ BOOLE – CÔNG LOGIC

I. CẤU TRÚC ĐẠI SỐ BOOLE

II. BIỂU DIỄN HÀM BOOLE

III. GIỚI THIỆU VI MẠCH SỐ & CÁC CÔNG LOGIC

IV. RÚT GỌN HÀM BOOLE

V. THỰC HIỆN HÀM BOOLE BẰNG CÔNG LOGIC

VI. HAZARD

I. CẤU TRÚC ĐẠI SỐ BOOLE

- *Định nghĩa.*
- *Các tiên đề và định lý.*

ĐỊNH NGHĨA VỀ ĐẠI SỐ BOOLE

Tập giá trị: $\mathbf{B} = \{0, 1\}$

Các toán tử cơ bản: **AND**, **OR**, **NOT**.

Phép toán	OR			AND			NOT	
Ký hiệu	$X+Y$			$X.Y=XY$			\bar{X}	
	$X \vee Y$			$X \wedge Y$			$!X$	
	$X \cup Y$			$X \cap Y$			X'	
	$X \text{ or } Y$			$X \text{ and } Y$			$\text{not}(X)$	
Bảng sự thật (Truth Table)	X	Y	$X+Y$	X	Y	$X.Y$	X	\bar{X}
	0	0	0	0	0	0	0	1
	0	1	1	0	1	0	1	0
	1	0	1	1	0	0		
	1	1	1	1	1	1		

CÁC QUY ƯỚC:

- Các biến trong đại số Boole được gọi là **biến Boole**.

VD

$$F(X,Y,Z) = XY + Y'(X + Z)$$

- Phép toán trong dấu ngoặc sẽ được tính trước.
- Phép **AND** ưu tiên hơn **OR**.

NGUYÊN TẮC ĐỐI NGẪU:

- Khi thay thế giá trị $0 \leftrightarrow 1$, phép **AND** \leftrightarrow **OR** của một biểu thức Boole ta được biểu thức đối ngẫu của nó.
- Nếu một đẳng thức đúng thì đối ngẫu của nó cũng đúng.

$$\begin{array}{lll} \text{VD:} & X + 1 = 1 & \xleftrightarrow{\text{đối ngẫu}} X \cdot 0 = 0 \\ & X + 0 = X & \xleftrightarrow{\text{đối ngẫu}} X \cdot 1 = X \end{array}$$

CÁC TIÊN ĐỀ CỦA ĐẠI SỐ BOOLE

Cho một tập hợp **F** hữu hạn. Trong **F** được trang bị 2 toán tử nhị phân là **OR** và **AND**. Các phép **OR** và **AND** là **kín** trong **F**.

$$\forall X, Y \in F: X + Y \in F, X.Y \in F$$

1. <i>Giao hoán</i>	$X + Y = Y + X$	$X.Y = Y.X$
2. <i>Phối hợp</i>	$X + (Y+Z) = (X+Y)+Z$	$X . (Y.Z) = (X.Y).Z$
3. <i>Phân bố</i>	$X.(Y+Z) = X.Y + X.Z$	$X+(Y.Z) = (X+Y).(X+Z)$
4. <i>Tính đồng nhất</i>	$X + 0 = X$	$X.1 = X$
5. <i>Phần tử bù</i>	$X + \bar{X} = 1$	$X . \bar{X} = 0$

Tập hợp F thỏa các tiên đề trên sẽ hình thành đại số Boole.

CÁC ĐỊNH LÝ

1. $\overline{\overline{X}} = X$

2. $X + X = X$

3. $X + 1 = 1$

4. Hấp thu $X + (X \cdot Y) = X$

5. Kết hợp $X + (Y + Z) = (X + Y) + Z$

6. De Morgan $\overline{X + Y} = \overline{X} \cdot \overline{Y}$

Mở rộng $\overline{X_1 + X_2 + \dots + X_n} = \overline{X_1} \cdot \overline{X_2} \cdot \dots \cdot \overline{X_n}$

$X \cdot X = X$

$X \cdot 0 = 0$

$X \cdot (X + Y) = X$

$X \cdot (Y \cdot Z) = (X \cdot Y) \cdot Z$

$\overline{X \cdot Y} = \overline{X} + \overline{Y}$

$\overline{X_1 \cdot X_2 \cdot \dots \cdot X_n} = \overline{X_1} + \overline{X_2} + \dots + \overline{X_n}$

ÁP DỤNG

1. Sử dụng các tiên đề để chứng minh định lý

Chứng minh: $X + XY = X$ (định lý 4)

Phân tích: $VT = X + XY = X.1 + XY$ (tiên đề: $x.1 = x$)
 $= X(1+Y)$ (tiên đề: $xy+xz = x(y+z)$)
 $= X = VP$ (định lý: $x+1 = 1$)

2. Chứng minh đẳng thức đúng

Chứng minh: $[A + B'C + D + EF] [A + B'C + (D + EF)'] = A + B'C$

Đặt: $M = A + B'C$, $N = D + EF$, đẳng thức có thể viết lại:

$$(M + N) (M + N') = M$$

áp dụng: $(x+y)(x+z) = x(y+z)$, với $x = M$, $y = N$ và $z = N'$

$$\Rightarrow (M+N)(M+N') = M(N + N') \\ = M = A + B'C \text{ (tiên đề: } X+X'=1 \text{) (đpcm)}$$

ÁP DỤNG

3. Tính bù của một biểu thức Boole

Ví dụ: Cho $F = \bar{X} + \bar{Y}$. Tính \bar{F} ?

a. Sử dụng định lý DeMorgan

$$\bar{F} = \overline{\bar{X} + \bar{Y}} = \bar{\bar{X}} \cdot \bar{\bar{Y}} = X \cdot Y$$

b. Sử dụng định lý Đối ngẫu

Lấy đối ngẫu của biểu thức tương ứng, sau đó thay thế từng phần tử của biểu bằng bù của nó

- Lấy đối ngẫu:

$$F^* = \bar{X} \cdot \bar{Y}$$

- Thay thế bằng phần tử bù:

$$F^* = \bar{\bar{X}} \cdot \bar{\bar{Y}} = X \cdot Y$$

II. BIỂU DIỄN HÀM BOOLE

- *Đại số.*
- *Bảng sự thật.*
- *Dạng chính tắc.*
- *Dạng chuẩn.*
- *Bìa Karnaugh.*

PP Đại số

$f(\text{biến 1, biến 2, ...}) = \text{Quan hệ giữa các biến (and, or, not)}$

VD

$$F(x,y,z) = x' y z' + (x + z') y'$$



MSB



$$F(A,B,C,D) = ABCD + B'C'(A+BD)$$

PP Bảng sự thật

Hàm 2 biến

x	y	F
0	0	0
0	1	0
1	0	1
1	1	1

*Các giá trị có thể
có của các biến*

*Giá trị tương
ứng của hàm*

PP Bảng sự thật

VD: Biểu diễn hàm sau sang dạng bảng sự thật.

$$F(x,y,z) = x'yz' + (x + z')y'$$

x	y	z
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

$x'yz'$	$(x+z')$	$(x+z')y'$
0	1	1
0	0	0
1	1	0
0	0	0
0	1	1
0	1	1
0	1	0
0	1	0

$F(x,y,z)$
1
0
1
0
1
1
0
0

PP Dạng chính tắc(Canonical form)

<u>Chính tắc 1</u>	<u>Chính tắc 2</u>
$F = \sum_{i=0}^{2^n-1} m_i \cdot Fi$	$F = \prod_{i=0}^{2^n-1} (M_i + Fi)$
TRƯỜNG HỢP TÙY ĐỊNH (don't care)	
$F = \sum m_i \cdot Fi + d(mi)$	$F = \prod (M_i + Fi) \cdot D(Mi)$
<u>Chú ý</u> $\overline{m_i} = Mi$	$\overline{M_i} = mi$

PP Dạng chính tắc (Canonical form)

Tích chuẩn – m_i (minterm)	Tổng chuẩn – M_i (Maxterm)
i : giá trị của tổ hợp các biến	

VD Viết các tích chuẩn & tổng chuẩn của 2 biến A,B

Số tích chuẩn và tổng chuẩn được tạo ra từ 2 biến: $2^2 = 4$ (TQ: 2^n)

Tổ hợp giá trị		Tích chuẩn		Tổng chuẩn	
		Ký hiệu	Biểu thức	Ký hiệu	Biểu thức
0	0	m_0	$A'.B'$	M_0	$A+B$
0	1	m_1	$A'.B$	M_1	$A+B'$
1	0	m_2	$A.B'$	M_2	$A'+B$
1	1	m_3	$A.B$	M_3	$A'+B'$

Thử viết các biểu thức cho m_7 & M_{12} của 4 biến x,y,z & t (x:MSB)

PP Dạng chính tắc (Canonical form)

<u>Chính tắc 1</u>	<u>Chính tắc 2</u>
$F = \sum_{i=0}^{2^n-1} m_i \cdot F_i$	$F = \prod_{i=0}^{2^n-1} (M_i + F_i)$

VD Nhận dạng PP biểu diễn của các hàm F sau

$$F_1(a,b,c) = ab'c + a'bc + abc \longrightarrow \text{Chính tắc 1}$$

$$F_2(a,b,c) = a + bc + abc$$

$$F_3(X,Y,Z,T) = (X+Y+Z'+T)(X+Y+Z+T) \longrightarrow \text{Chính tắc 2}$$

$$F_4(X,Y,Z,T) = (X'+Y')(Y+Z+T)$$

VD Chuyển hàm F sau về dạng chính tắc

x	y	z	F(x,y,z)		m _i	M _i
0	0	0	1	→	x'.y'.z' (m ₀)	x+y+z (M ₀)
0	0	1	0		x'.y'.z (m ₁)	x+y+z' (M ₁)
0	1	0	1		x'.y.z' (m ₂)	x+y'+z (M ₂)
0	1	1	0		x'.y.z (m ₃)	x+y'+z' (M ₃)
1	0	0	1		x.y'.z' (m ₄)	x'+y+z (M ₄)
1	0	1	1		x.y'.z (m ₅)	x'+y+z' (M ₅)
1	1	0	0		x.y.z' (m ₆)	x'+y'+z (M ₆)
1	1	1	0		x.y.z (m ₇)	x'+y'+z' (M ₇)
<u>CT1</u> : Σ m _i F _i			= x'.y'.z' + x'.y.z' + x.y'.z' + x.y'.z = m ₀ +m ₂ +m ₅ +m ₆ = Σ (m ₀ ,m ₂ , m ₄ ,m ₅)=Σ (0,2,4,5)			
<u>CT2</u> : Π(M _i +F _i)			= (x+y+z')(x+y'+z')(x'+y+z)(x'+y'+z') = M ₁ . M ₃ . M ₆ . M ₇ = Π(M ₁ , M ₃ , M ₆ , M ₇) = Π(1, 3,6,7)			

PP Dạng chính tắc (Canonical form)

x	y	z	F(x,y,z)
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0



Dạng chính tắc 1
$= x'.y'.z' + x'.y.z' + x.y'.z' + x.y'.z$ $= m_0 + m_2 + m_4 + m_5$ $= \Sigma (m_0, m_2, m_4, m_5) = \Sigma (0, 2, 4, 5)$
Dạng chính tắc 2
$= (x+y+z')(x+y'+z')(x'+y+z)(x'+y'+z')$ $= M_1 \cdot M_3 \cdot M_6 \cdot M_7$ $= \Pi(M_1, M_3, M_6, M_7) = \Pi(1, 3, 6, 7)$

Nhận xét

- Tất cả các hàm Boole đều có thể đưa về dạng chính tắc.
- Từ dạng chính tắc 1 có thể suy ra dạng chính tắc 2 tương ứng của hàm và ngược lại.

PP Dạng chính tắc(Canonical form)

TRƯỜNG HỢP TÙY ĐỊNH (don't care)

$$F = \sum m_i . Fi + d(mi)$$

$$F = \prod (M_i + Fi) . D(Mi)$$

VD

Cho hàm $f(x,y,z,t)$ có giá trị bằng 1 tương ứng với các tổ hợp là số chia hết cho 3, biết rằng các biến ở ngõ vào là số BCD. Hãy biểu diễn hàm f .

CHÍNH TẮC 1

$$F(x,y,z,t) = \Sigma(0,3,6,9) + d(10,11,12,13,14,15)$$

CHÍNH TẮC 2

$$F(x,y,z,t) = \Pi(1,2,4,5,7,8) . D(10,11,12,13,14,15)$$

PP Dạng chính tắc(Canonical form)

Chú ý

$$\overline{m_i} = M_i$$

$$\overline{M_i} = m_i$$

VD Quan sát tổ hợp 4 biến $A, B, C, D = \{0, 0, 1, 1\}$
 $\Rightarrow m_3 = A'B'CD$ $M_3 = A+B+C'+D'$

$$\overline{m_3} = \overline{\overline{A} \cdot \overline{B} \cdot C \cdot D}$$

$$\overline{M_3} = \overline{A + B + \overline{C} + \overline{D}}$$

$$\overline{m_3} = \overline{\overline{A}} + \overline{\overline{B}} + \overline{C} + \overline{D}$$

$$\overline{M_3} = \overline{A} \cdot \overline{B} \cdot \overline{\overline{C}} \cdot \overline{\overline{D}}$$

$$\overline{m_3} = A + B + \overline{C} + \overline{D} = M_3$$

$$\overline{M_3} = \overline{A} \cdot \overline{B} \cdot C \cdot D = m_3$$

PP Dạng chuẩn (Standard form)

<u>Chuẩn 1</u> (SOP)	<u>Chuẩn 2</u> (POS)
Sum-Of-Products	Product-Of-Sums

VD

$$F(a,b,c) = a + bc + abc \longrightarrow \text{SOP}$$

$$F(X,Y,Z,T) = (X' + Y')(Y + Z + T) \longrightarrow \text{POS}$$

Chú ý

Cả 2 dạng này đều đưa được về dạng chính tắc tương ứng.

PP Dạng chuẩn (Standard form)

Cả 2 dạng này đều đưa được về dạng chính tắc tương ứng.

Chuẩn 1 (SOP)

$$F(a,b,c) = a + bc + abc$$

↓

$$= a(b+b')(c+c') + (a+a')bc + abc$$

↓

$$= (ab+ab')(c+c') + abc + a'bc + abc$$

↓

$$= \underline{abc} + abc' + ab'c + ab'c' + \underline{abc} + a'bc + \underline{abc}$$

$$= m_7 + m_6 + m_5 + m_4 + m_3$$

$$= \Sigma(m_3, m_4, m_5, m_6, m_7) = \Sigma(3, 4, 5, 6, 7)$$

Chuẩn 2 (POS)

$$F(X,Y,Z) = X(X'+Y')$$

↓

$$= (X+Y.Y')(X'+Y')$$

↓

$$= (X+Y)(X+Y')(X'+Y')$$

↓

$$= M_0.M_1.M_3$$

$$= \Pi(M_0, M_1, M_3)$$

$$= \Pi(0, 1, 3)$$

PP BÌA Karnaugh (Bìa K)

F	A	
	0	1
B	0	1
	0	2
	1	3

BÌA 2 BIẾN

F	AB			
	00	01	11	10
C	0	1	2	3
	0	2	6	4
	1	3	7	5

BÌA 3 BIẾN

F	AB			
	00	01	11	10
CD	00	01	11	10
	0	4	12	8
	1	5	13	9
	3	7	15	11
	2	6	14	10

BÌA 4 BIẾN

F	A = 0				A = 1			
	BC				BC			
DE	00	01	11	10	10	11	01	00
	0	4	12	8	24	28	20	16
	1	5	13	9	25	29	21	17
	3	7	15	11	27	31	23	19
	2	6	14	10	26	30	22	18

BÌA 5 BIẾN

MỘT SỐ BIẾN THỂ CỦA BÌA K

F	A	
	0	1
B	0	1
	0	2
1	1	3

BÌA 2 BIẾN

F	AB			
	00	01	11	10
C	0	1	1	0
	0	2	6	4
1	1	3	7	5

BÌA 3 BIẾN

F	BC			
	00	01	11	10
A	0	1	1	0
	0	1	3	2
1	4	5	7	6

BÌA 3 BIẾN

F	B	
	0	1
A	0	1
	0	1
1	2	3

BÌA 2 BIẾN

F	C	
	0	1
AB	00	01
	0	1
11	2	3
10	6	7
10	4	5

BÌA 3 BIẾN

F	A	
	0	1
BC	00	01
	0	4
11	1	5
10	3	7
10	2	6

BÌA 3 BIẾN

Một cách tương tự cho các bìa K của các hàm nhiều hơn 3 biến!!!

MỘT SỐ VÍ DỤ BIỂU DIỄN HÀM LÊN BÌA K

Biểu diễn hàm F_1 được cho theo dạng bảng sự thật lên bìa K

			Biểu diễn F_1 theo giá trị 1		Biểu diễn F_1 theo giá trị 0	
X	Y	F_1	F_1	X	F_1	X
0	0	1	Y	0	1	0
0	1	0		1		1
1	0	0				
1	1	1				

Biểu diễn hàm F_2 sau lên bìa K: $F_2(A,B,C) = A'BC' + AC$

\Rightarrow Đưa về dạng chính tắc: $F_2(A,B,C) = \Sigma(2,5,7) = \Pi(0,1,3,4,6)$

		AB			
		00	01	11	10
C	0	0	1 ²	6	4
	1	1	3	1 ⁷	1 ⁵

		AB			
		00	01	11	10
C	0	0 ⁰	2	0 ⁶	0 ⁴
	1	0 ¹	0 ³	7	5

MỘT SỐ VÍ DỤ BIỂU DIỄN HÀM LÊN BÌA K

Biểu diễn hàm F_3 sau lên bìa K: $F_3(A,B,C) = (A+B'+C)(A'+C)$

$$\begin{array}{l|l} \mathbf{F_3} & \begin{array}{l} A+B'+C \rightarrow 010 \rightarrow M_2 \\ A'+C \rightarrow 1\mathbf{X}0 \rightarrow \end{array} \end{array} \quad \begin{array}{l|l} & \begin{array}{l} \mathbf{100} \rightarrow M_4 \\ \mathbf{111} \rightarrow M_7 \end{array} \end{array}$$

$$\Rightarrow F_3(A,B,C) = \Pi(2,4,7) = \Sigma(0,1,3,5,6)$$

$\mathbf{F_3}$

		AB			
		00	01	11	10
C	0	1		1	
	1	1	1		1

$\mathbf{F_3}$

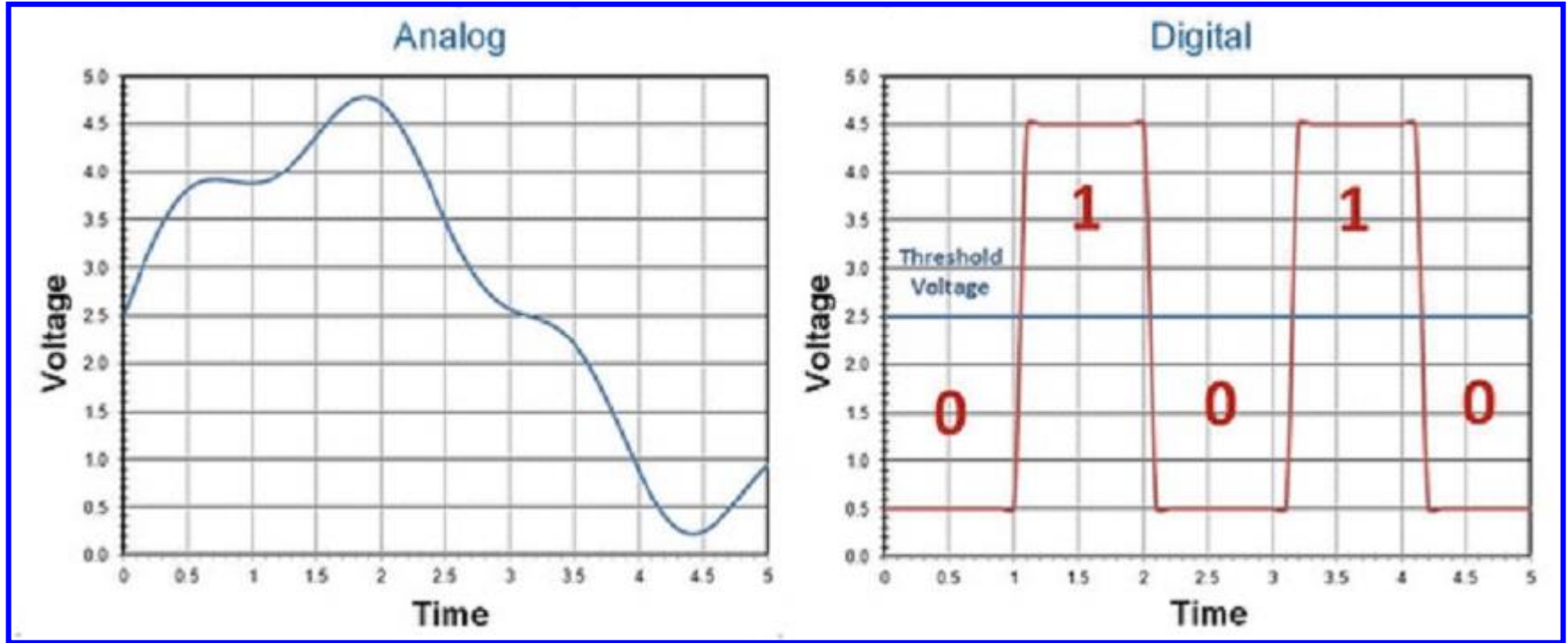
		AB			
		00	01	11	10
C	0		0		0
	1			0	

III. VI MẠCH SỐ & CÁC CÔNG LOGIC

- *Một số khái niệm về vi mạch số*
- *AND, OR, NOT.*
- *BUFFER*
- *NAND.*
- *NOR.*
- *XOR.*
- *XNOR.*

MỘT SỐ KHÁI NIỆM VỀ VI MẠCH SỐ

ĐẠI LƯỢNG TƯƠNG TỰ & ĐẠI LƯỢNG SỐ

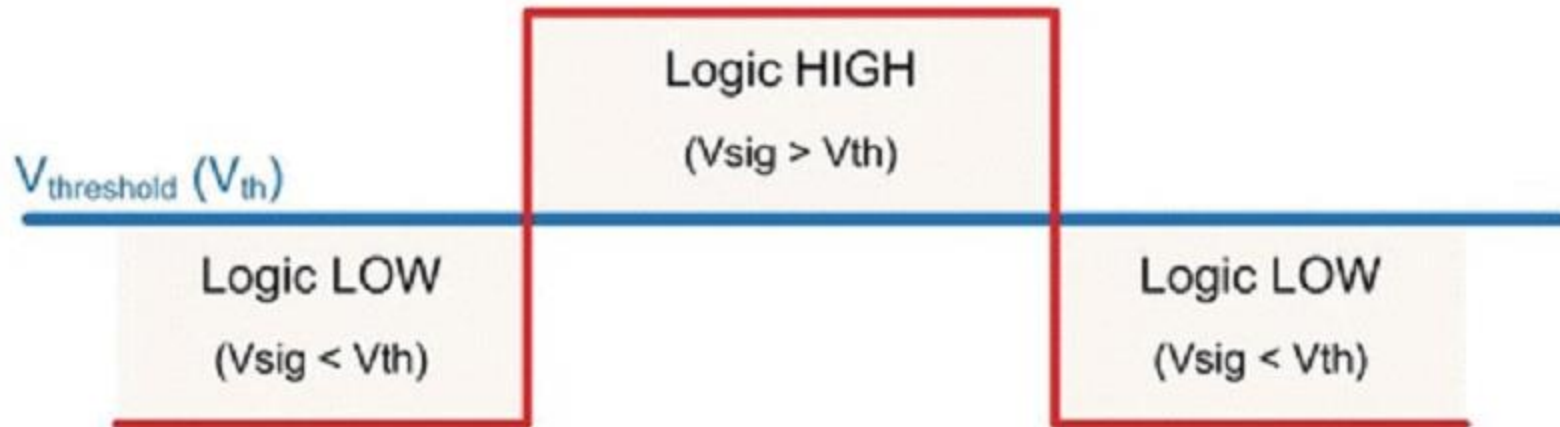


Đại lượng tương tự (Analogue Quantity) là đại lượng có một tập hợp các giá trị liên tục theo thời gian.

Đại lượng số (Digital Quantity) là đại lượng có một tập hợp các giá trị rời rạc theo thời gian.

MỨC LOGIC được định nghĩa để mô tả các trạng thái của tín hiệu.

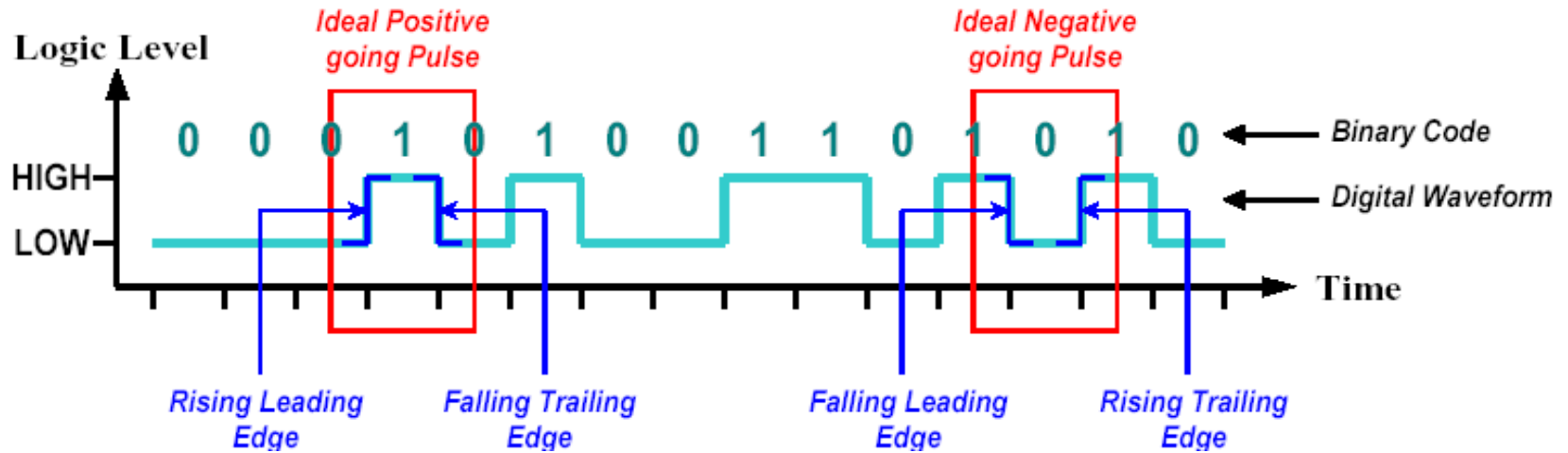
Definition of Logic Levels (HIGH and LOW)



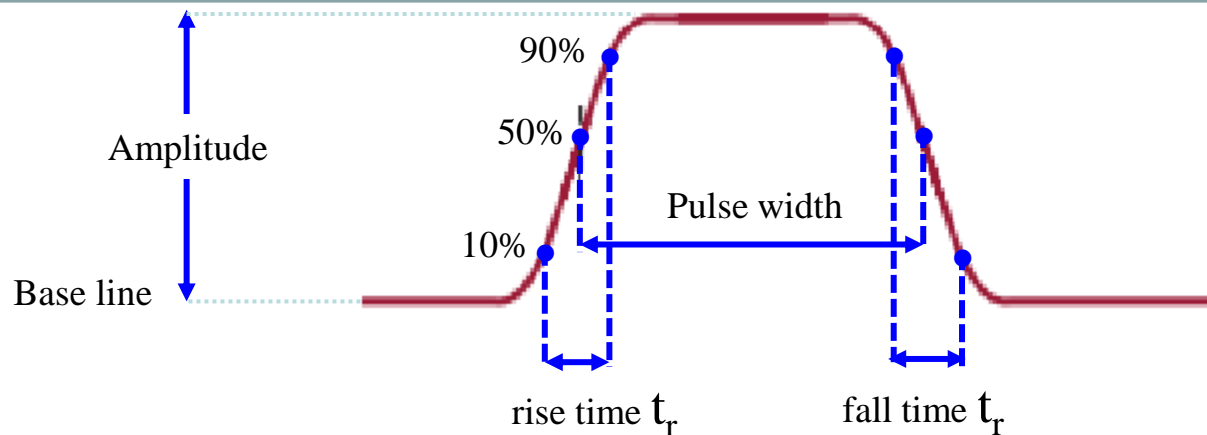
Definition of Positive and Negative Logic

Logic Level	Logic Value	
	Positive Logic	Negative Logic
LOW	0	1
HIGH	1	0

GIẢI ĐỒ XUNG (WAVEFORM)

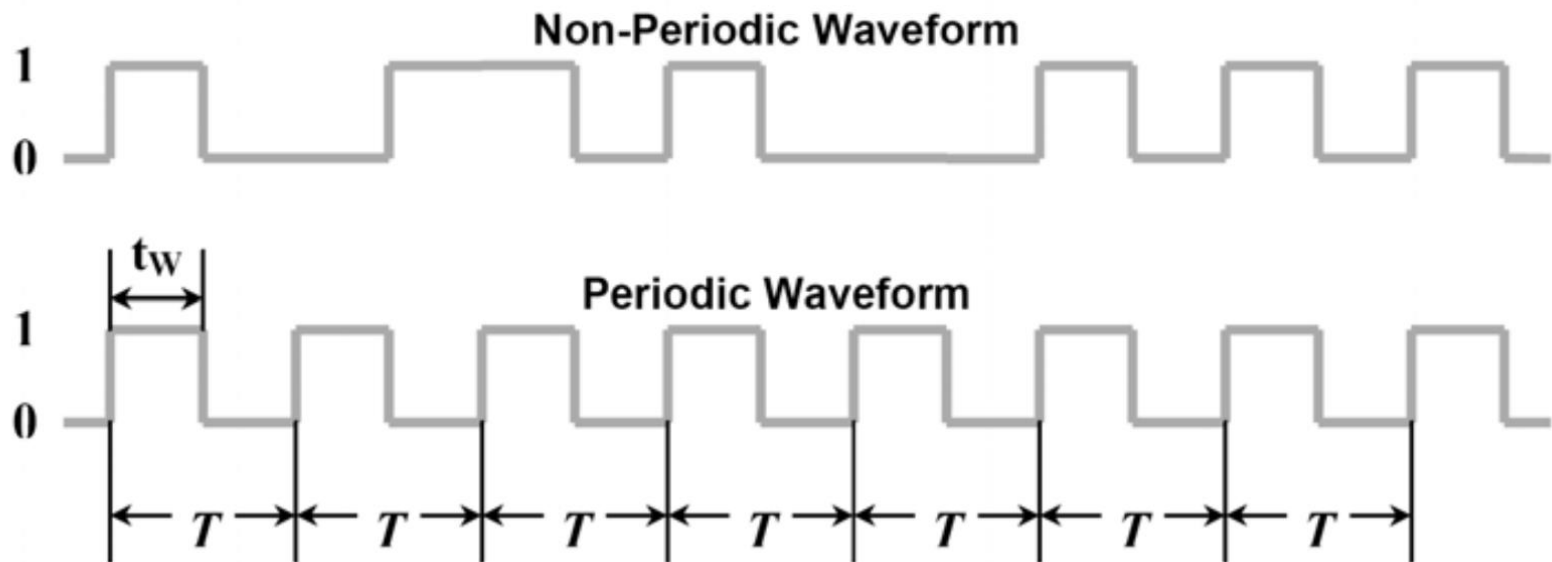


GIẢI ĐỒ XUNG LÝ TƯỞNG



XUNG KHÔNG LÝ TƯỞNG

TÍN HIỆU TUẦN HOÀN & KHÔNG TUẦN HOÀN



t_w – độ rộng xung

T – chu kỳ,

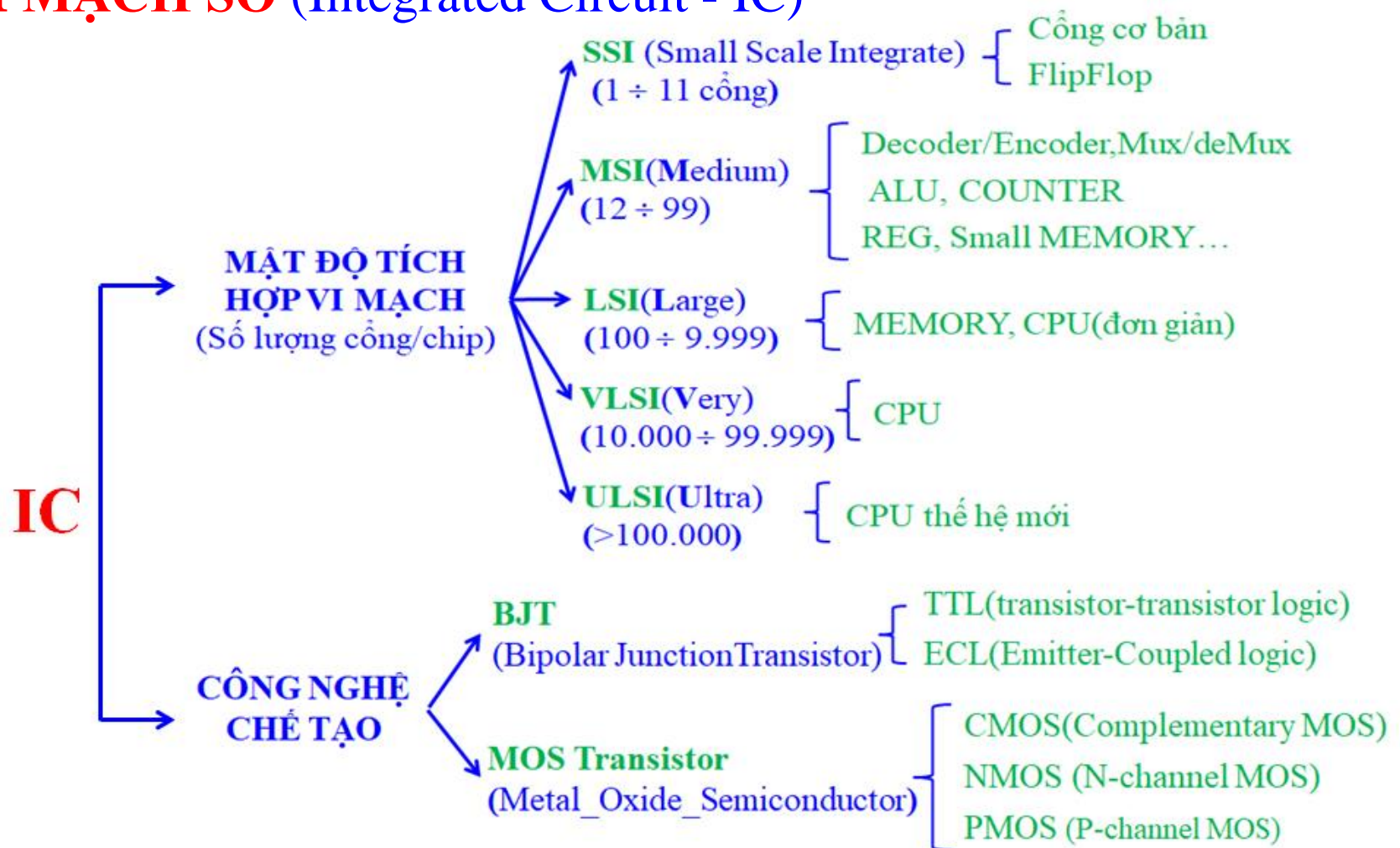
f – tần số: $f = \frac{1}{T}$

D – chu kỳ bốn phần: $D = \frac{t_w}{T} \cdot 100\%$

VI MẠCH SỐ (Integrated Circuit - IC)

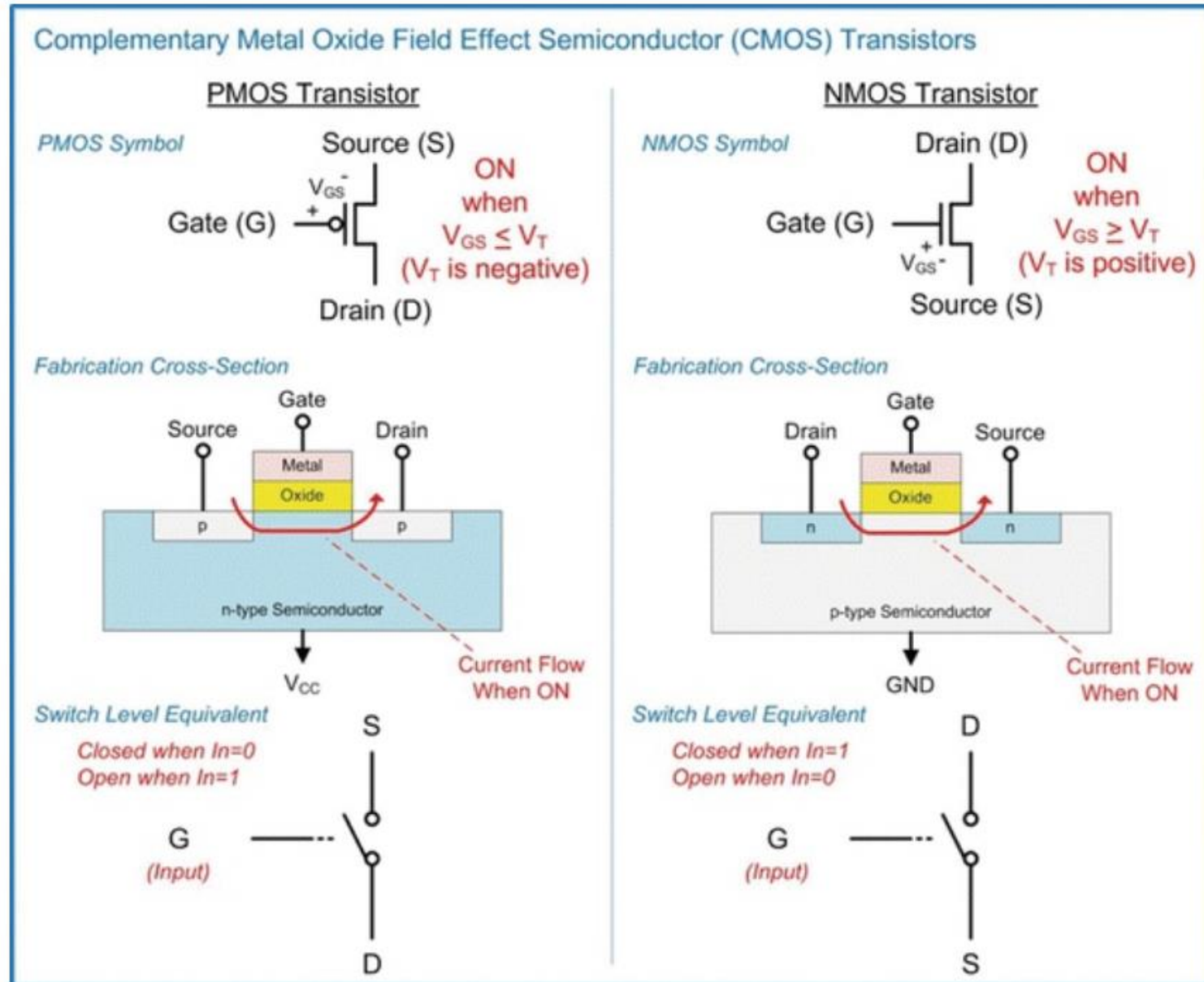
- *Công nghệ chế tạo.*
- *Đóng gói vi mạch.*
- *Sơ đồ chân.*
- *Các thông số DC của vi mạch số.*
- *Tính toán khả năng kéo tải.*
- *Đọc data sheet.*

VI MẠCH SỐ (Integrated Circuit - IC)



Thực tế, công nghệ **TTL** và **CMOS** là phổ biến nhất cho các vi mạch **SSI** và **MSI**. Công nghệ **CMOS** cùng với **NMOS** được dùng cho các vi mạch **LSI**, **VLSI** và **ULSI** do tiêu thụ ít năng lượng và ít tốn chỗ trên chip.

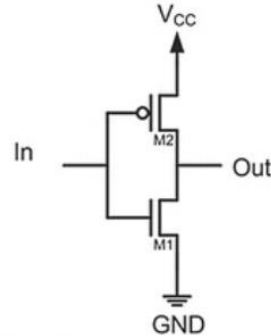
GIỚI THIỆU CÔNG NGHỆ CMOS



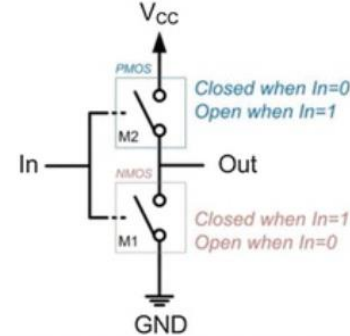
CẤU TRÚC CÔNG ĐẪO CÔNG NGHỆ CMOS

CMOS Inverter Schematic

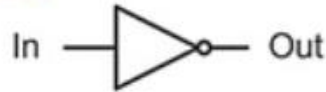
Transistor-Level Schematic



Switch-Level Schematic

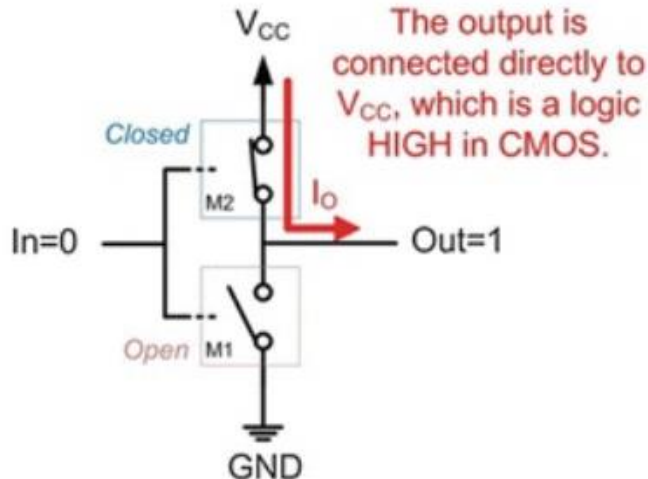


CMOS Inverter Operation

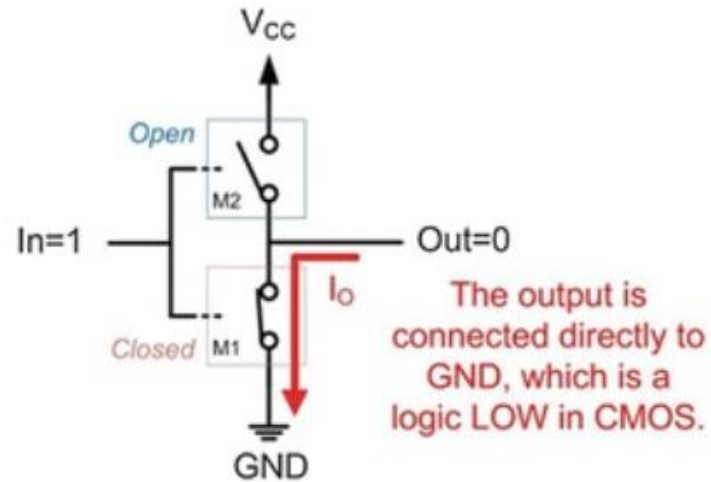


In	Out
0	1
1	0

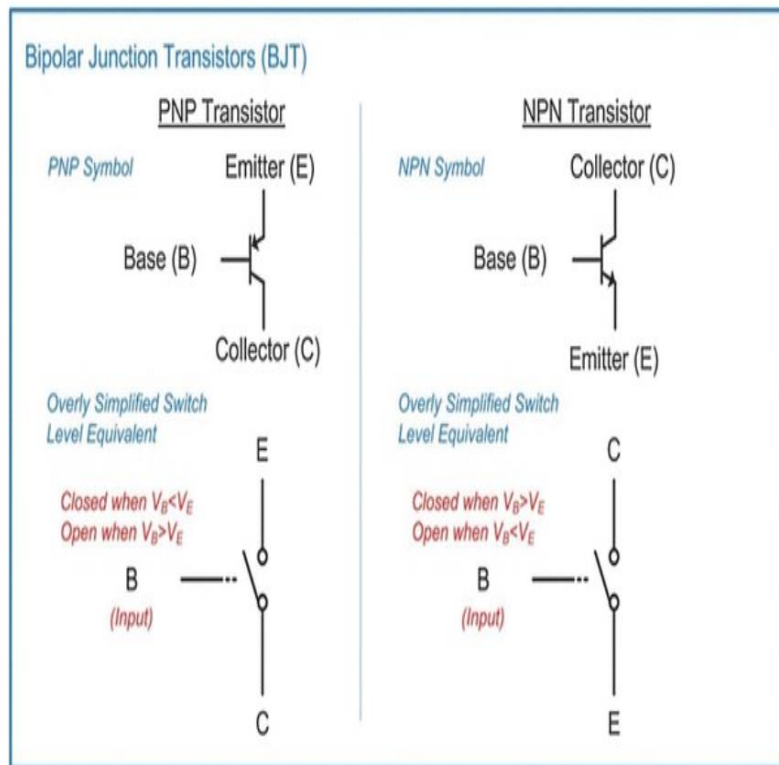
Operation when In=0



Operation when In=1



CẤU TRÚC CÔNG ĐÀO CÔNG NGHỆ TTL

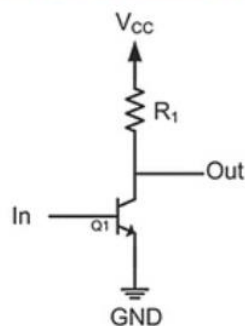


BJT Inverter Operation (Simplified)

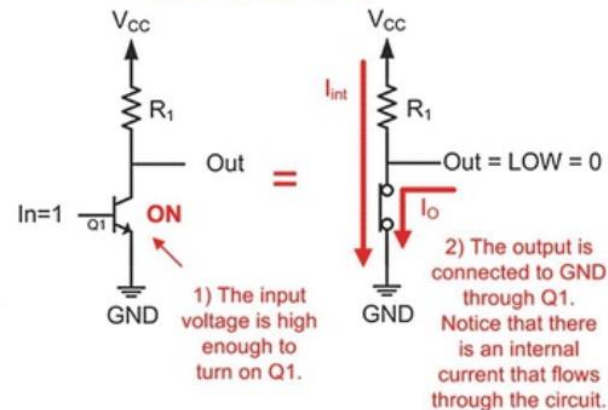


In	Out
0	1
1	0

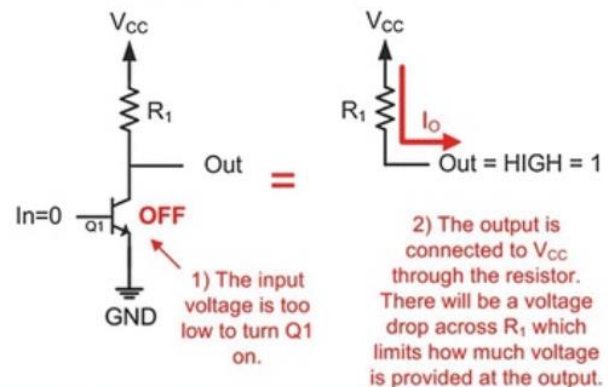
TTL Inverter Schematic (Simplified)



Operation when In=1



Operation when In=0

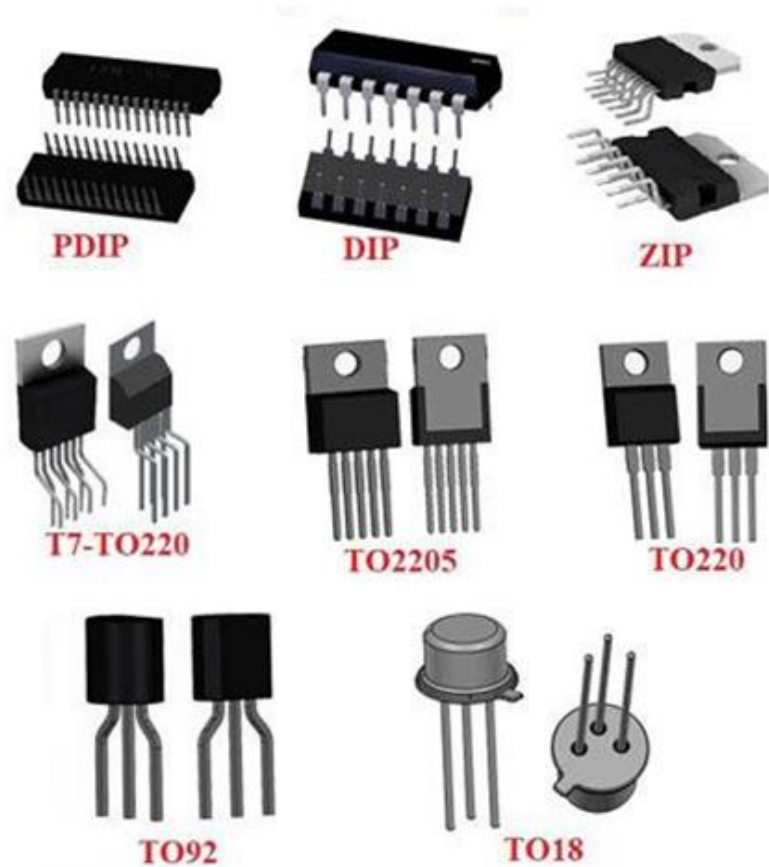


ĐÓNG GÓI VI MẠCH

GẮN BỀ MẶT (Surface mounted)



GẮN XUYÊN LỖ (Trough-hole mounted)



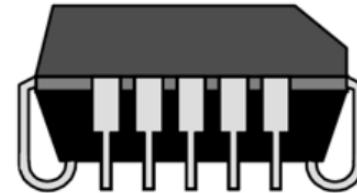
Dual-in-line package (DIP)



Small-outline IC (SOIC)



Plastic leaded chip carrier (PLCC)



Leadless ceramic chip carrier (LCCC)



Flat pack

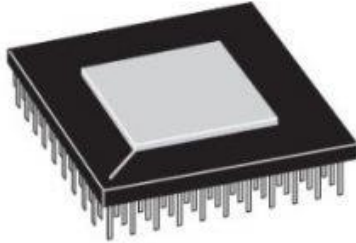


MỘT SỐ CÔNG NGHỆ ĐÓNG GÓI VI MẠCH

Packages

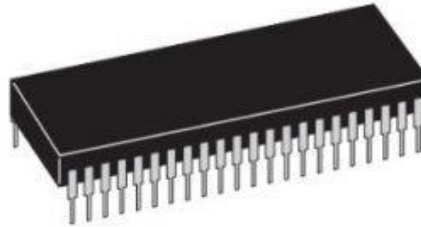
CPGA

Ceramic through-hole package



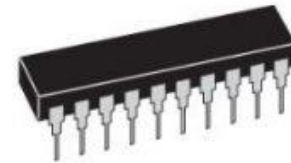
SDIP

Plastic through-hole package



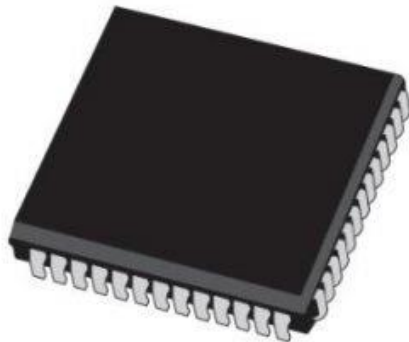
HDIP

Plastic through-hole package with higher heat dissipation rate



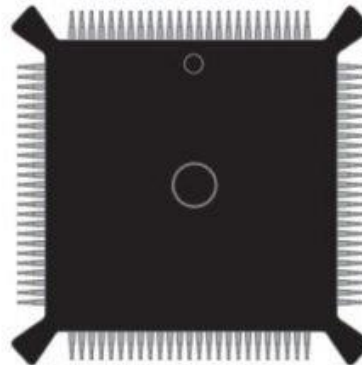
PLCC

Plastic leaded chip carrier



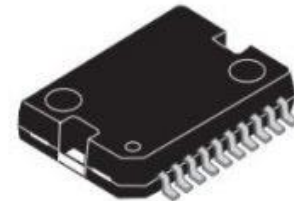
QFP

Quad flat package



HSOP

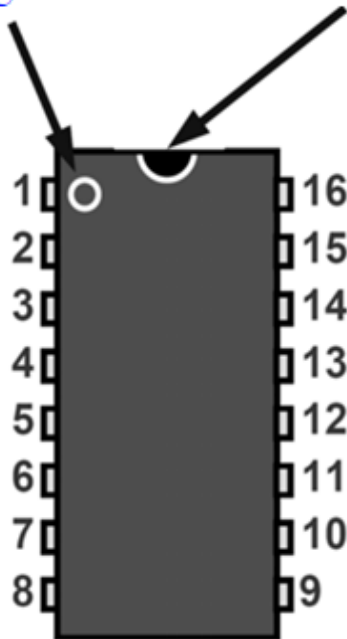
Plastic dual-construction surface mount package with higher heat dissipation rate



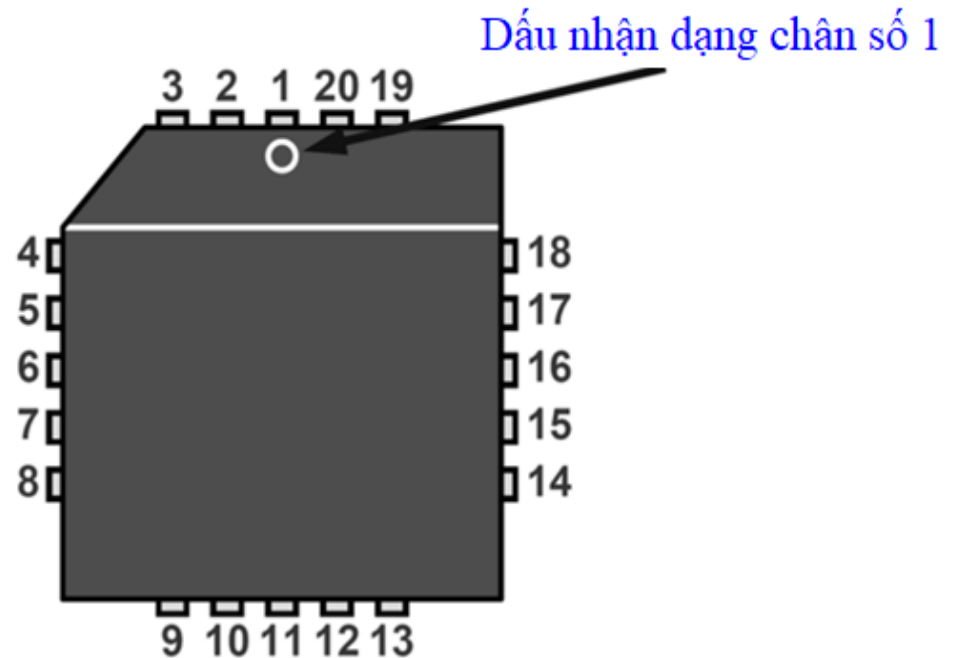
MỘT SỐ CÔNG NGHỆ ĐÓNG GÓI VI MẠCH

ĐÁNH SỐ CHÂN VI MẠCH

Dấu nhận dạng chân số 1 Dấu lõm

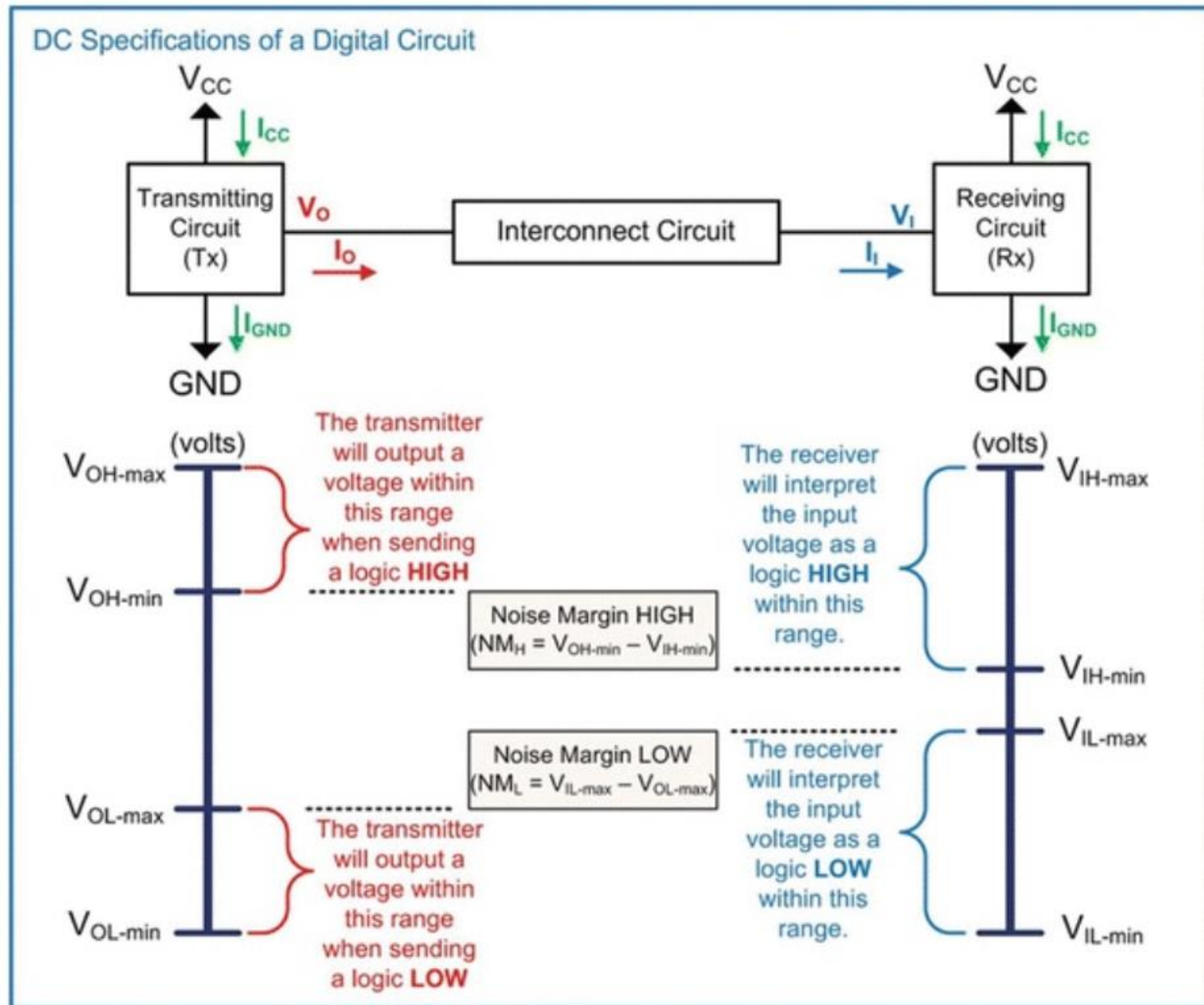


Định dạng số chân với cách đóng gói
DIP, SOIC & Flat pack



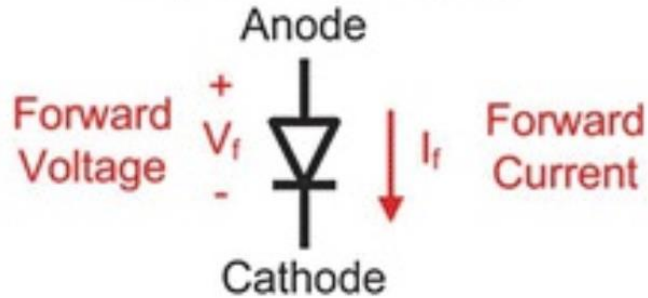
Định dạng số chân với cách đóng gói
PLCC & LCC

CÁC THÔNG SỐ DC CỦA VI MẠCH SỐ

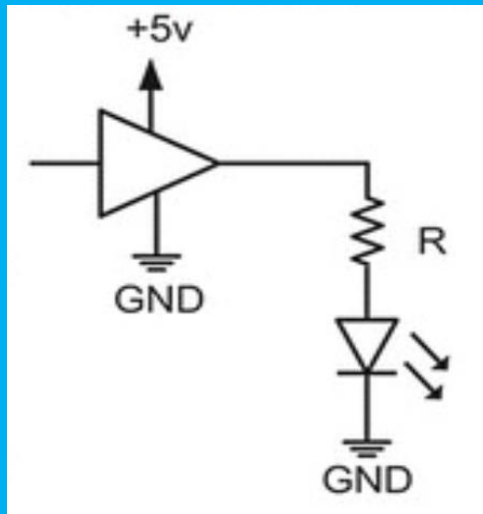


TRẠNG THÁI TÍCH CỰC CỦA TẢI

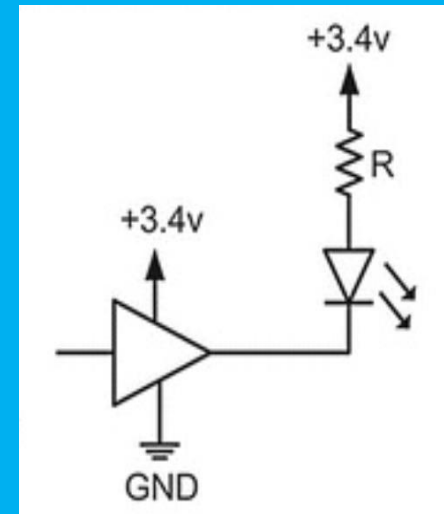
Symbol for a Diode



Symbol for a Light Emitting Diode (LED)

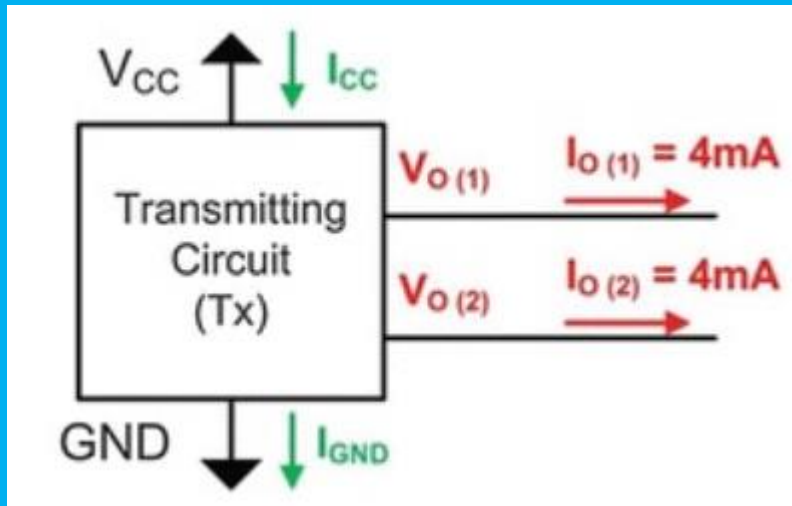


Led tích cực mức cao (HIGH)



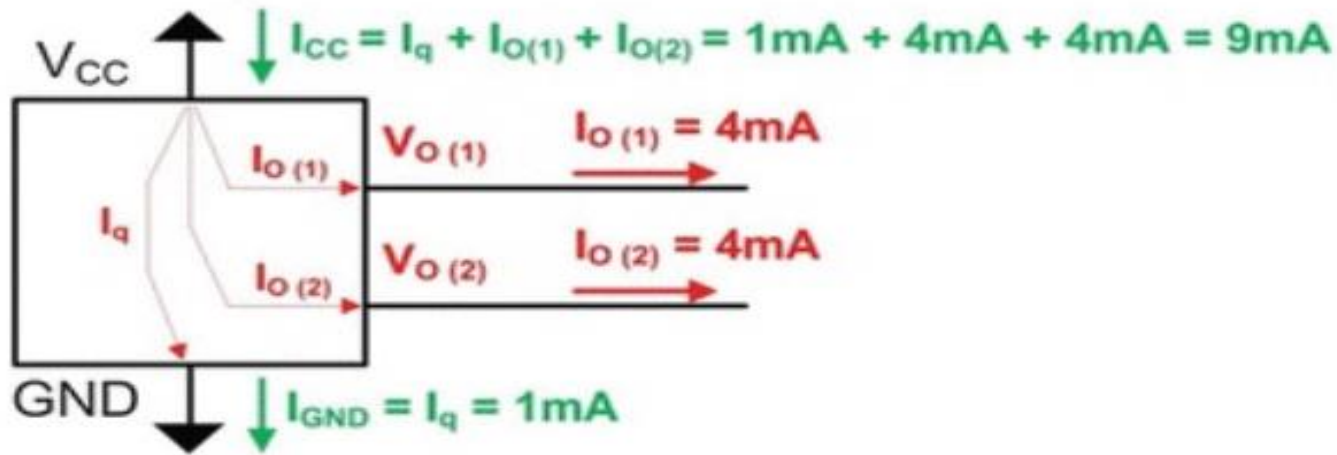
Led tích cực mức thấp (LOW)

NGUYÊN TẮC TÍNH TOÁN CHO CÁC DÒNG I_{CC} & I_{GND}

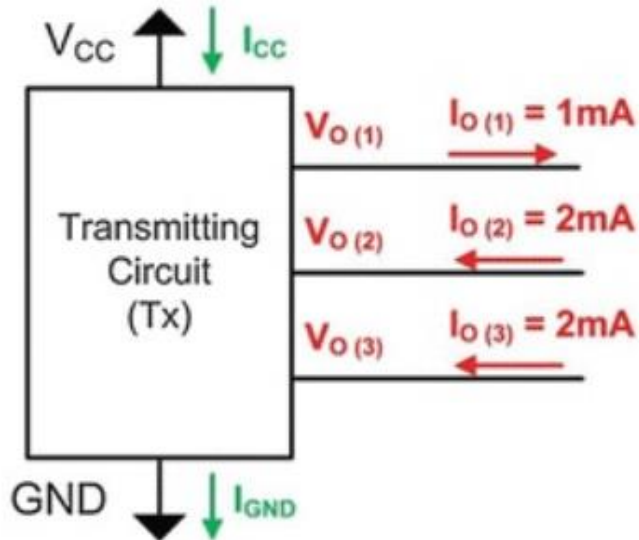


Một mạch số hoạt động với dòng tĩnh $I_q = 1mA$ và lái 2 tải ở ngõ ra ở mức cao với dòng yêu cầu cho mỗi tải là $4mA$.

Cần xác định dòng I_{CC} và I_{GND} .

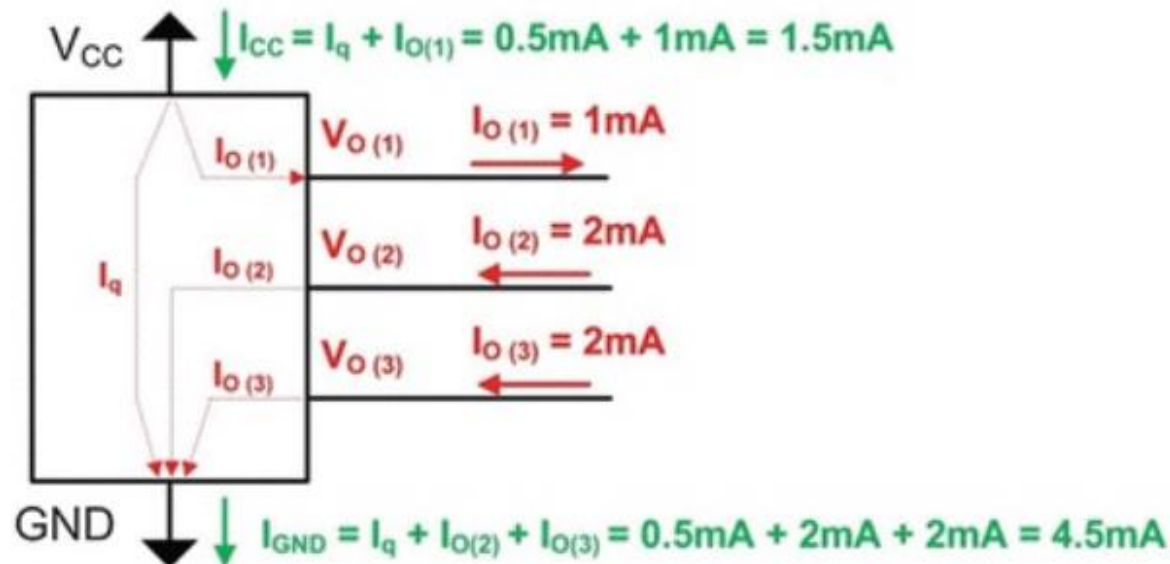


NGUYÊN TẮC TÍNH TOÁN CHO CÁC DÒNG I_{CC} & I_{GND}

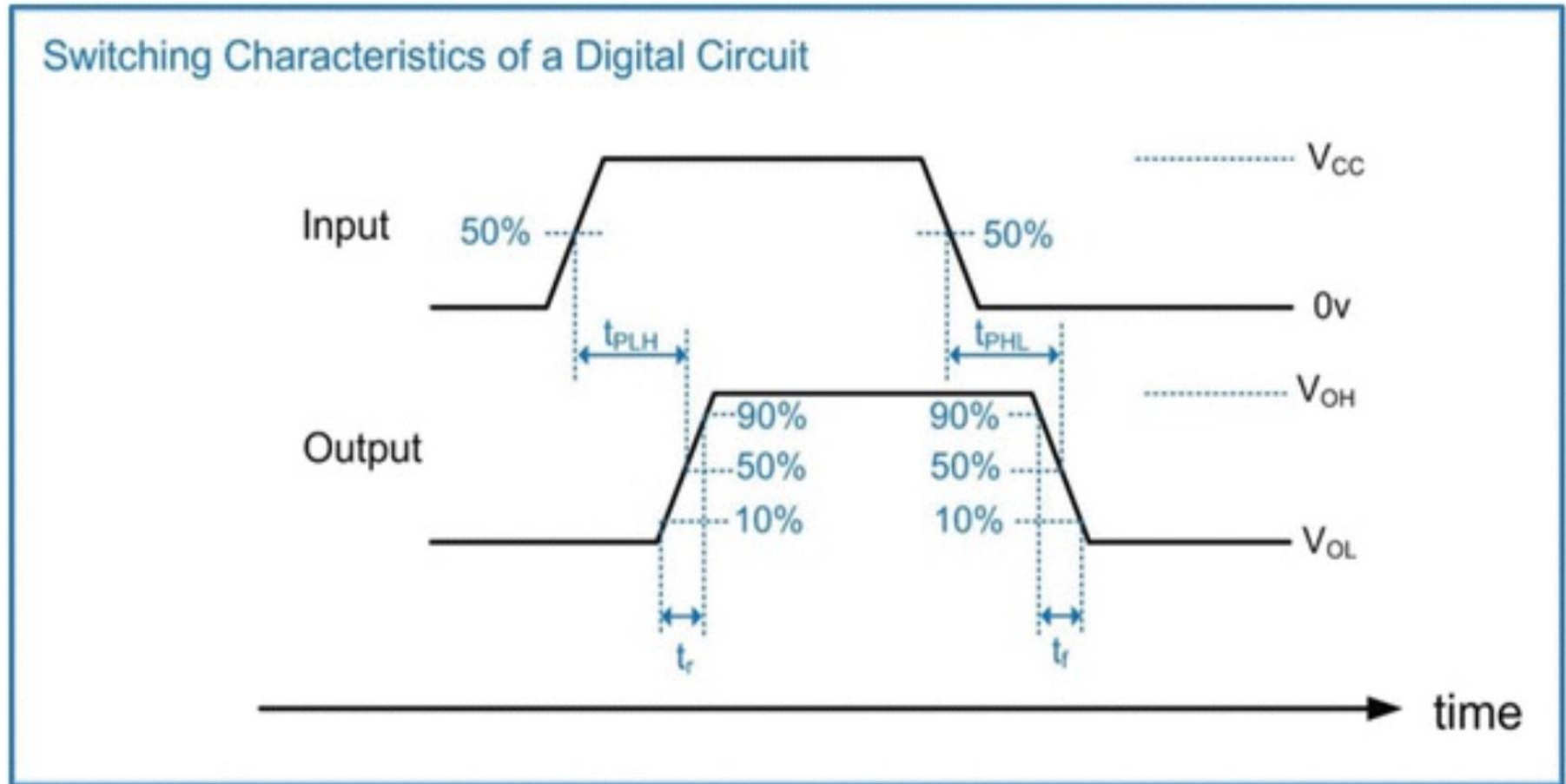


Một mạch số hoạt động với dòng tĩnh $I_q = 0.5mA$ và lái 1 tải ở ngõ ra ở mức cao $V_{O(1)}$ với dòng $I_{O(1)} = 1mA$, 2 tải ở ngõ ra ở mức thấp $V_{O(2)}$, $V_{O(3)}$ với dòng yêu cầu cho mỗi tải là $2mA$.

Cần xác định dòng I_{CC} và I_{GND} .

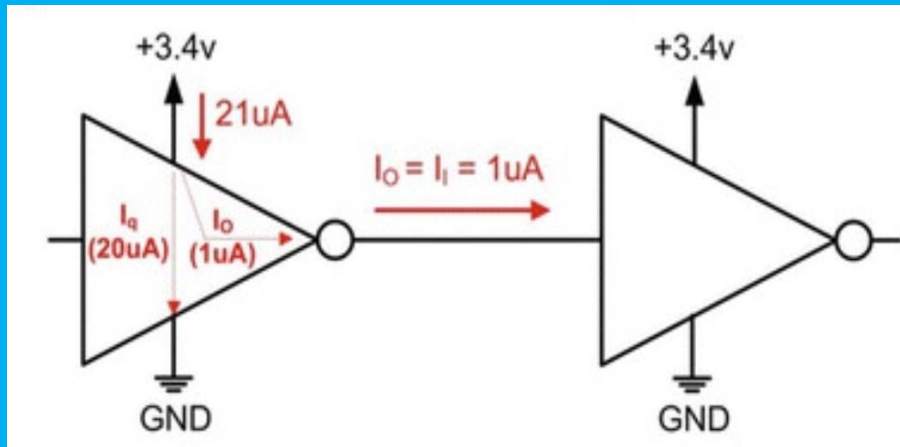


ĐÁP ỨNG CHUYỂN TRẠNG THÁI CỦA MẠCH SỐ THEO THỜI GIAN



TÍNH TOÁN KHẢ NĂNG KÉO TẢI CỦA MẠCH SỐ

1. Tải là 1 cổng logic



Một mạch LOGIC cổng đảo thuộc họ 74HC04 có các thông số sau:

$$I_{I_{\max}} = 1\mu A$$

$$I_q = 20\mu A$$

$$I_{O_{\max}} = 25mA$$

$$I_{CC-\max} = 50mA$$

Xác định xem khi cổng này kéo tải là 1cổng cùng loại thì giá trị của các dòng I_O , I_{CC} có vượt quá giá trị cho phép $I_{O_{\max}}$, $I_{CC-\max}$ của vi mạch này không?

Ta có:

$$I_O = I_I = 1\mu A < I_{O_{\max}} = 25mA \Rightarrow \text{không vi phạm.}$$

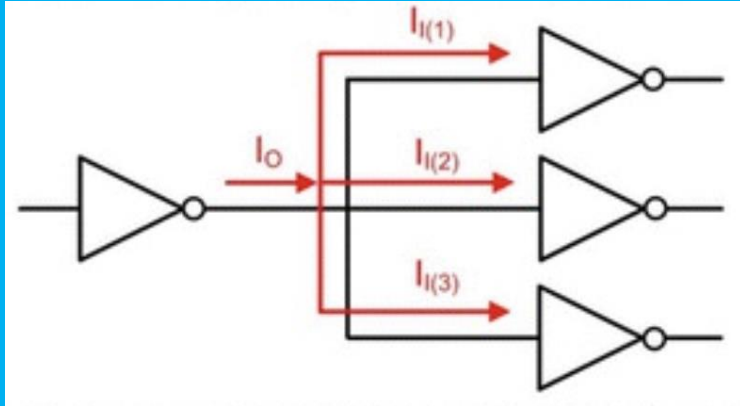
$$I_{CC} = I_q + I_O = 20\mu A + 1\mu A$$

$$= 21\mu A < I_{CC-\max} = 50mA \Rightarrow \text{không vi phạm.}$$

\Rightarrow Khả năng tối đa 1 cổng có thể kéo tải được tính bởi tỉ số $I_{O_{\max}}/I_{I_{\max}}$ giá trị này được gọi là **Fan-Out**

TÍNH TOÁN KHẢ NĂNG KÉO TẢI CỦA MẠCH SỐ

2. Tải là nhiều cổng logic



Một mạch LOGIC cổng đảo thuộc họ 74HC04 có các thông số sau:

Fan-Out = 3

$I_{I\max} = 1\mu A$

Xác định dòng I_O của mạch khi kéo tải là 3 cổng logic cùng loại.

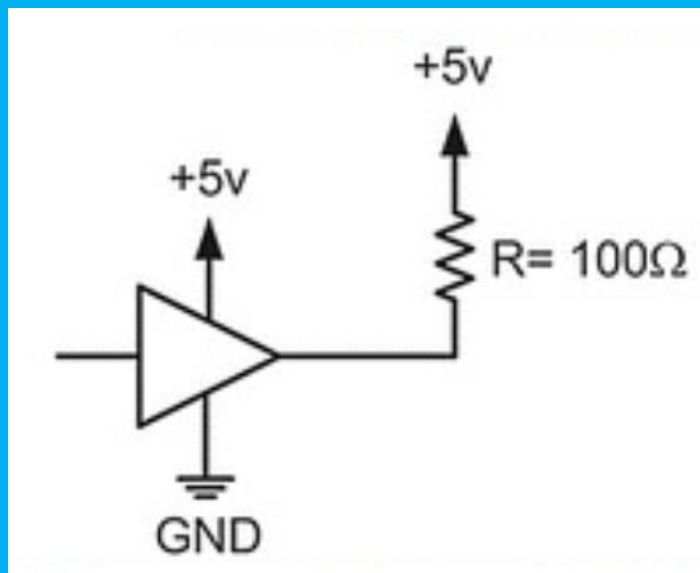
Fan-Out = 3 \Rightarrow khả năng kéo tải ở ngõ ra này tối đa là 3 cổng cùng loại.

\Rightarrow Dòng ngõ ra của mạch lái:

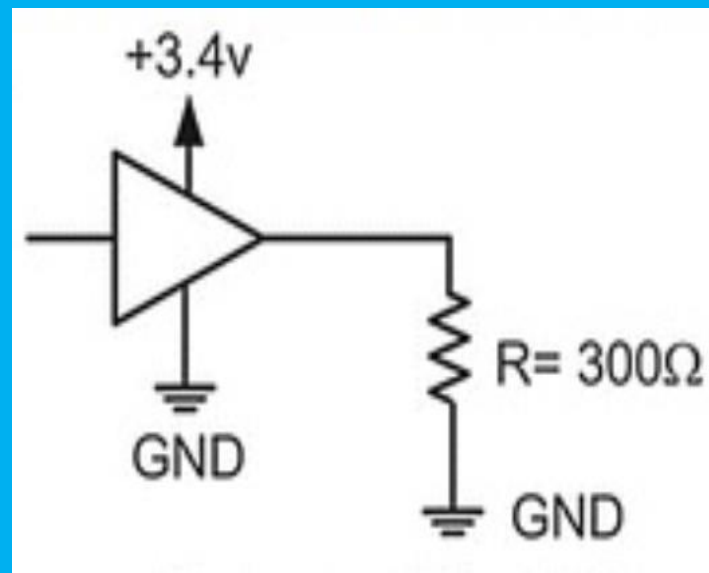
$$I_O = I_{I(1)} + I_{I(2)} + I_{I(3)} = 3 \cdot 1\mu A$$

TÍNH TOÁN KHẢ NĂNG KÉO TẢI CỦA MẠCH SỐ

3. Tải là điện trở



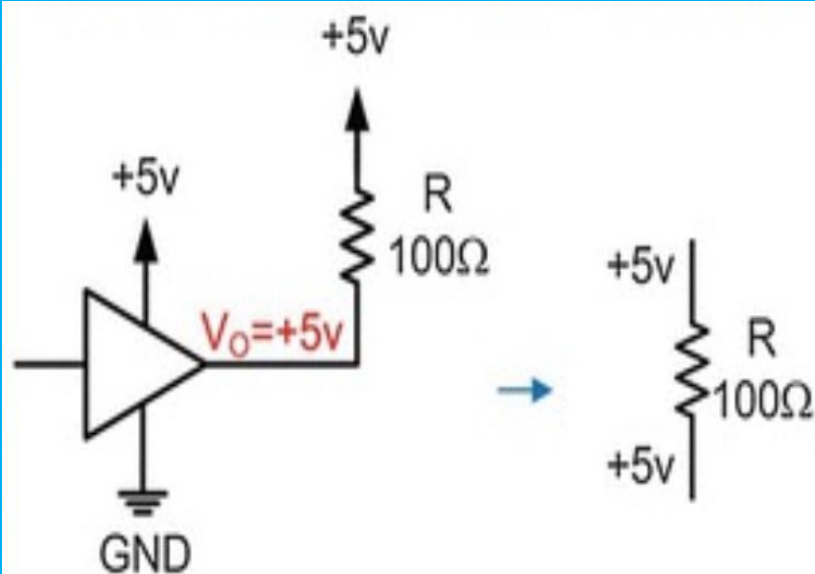
Trở kéo lên (Full-up)



Trở kéo xuống (Full-down)

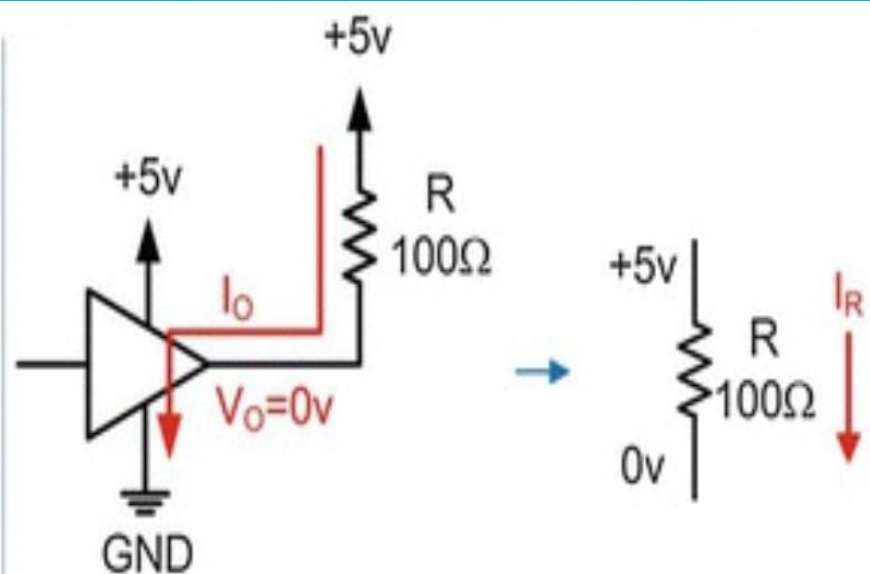
Xác định dòng ngõ ra I_O khi tải là điện trở kéo lên

Ngõ ra lái mức cao (HIGH)



$$\begin{aligned} V &= I \cdot R \\ 0 &= I \cdot (100) \\ \downarrow \\ I &= 0 \text{ A} \end{aligned}$$

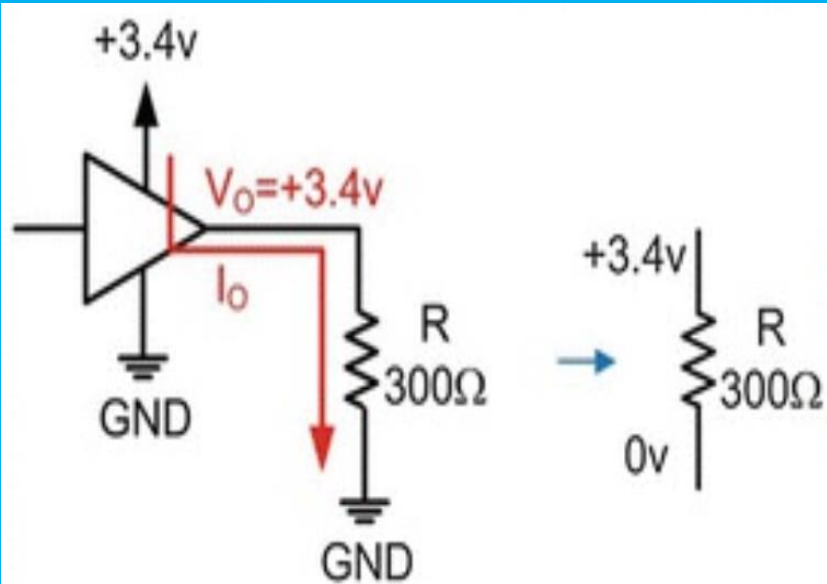
Ngõ ra lái mức thấp (LOW)



$$\begin{aligned} V &= I \cdot R \\ 5 &= I \cdot (100) \\ \downarrow \\ I &= 0.05 \text{ A} = 50\text{mA} \end{aligned}$$

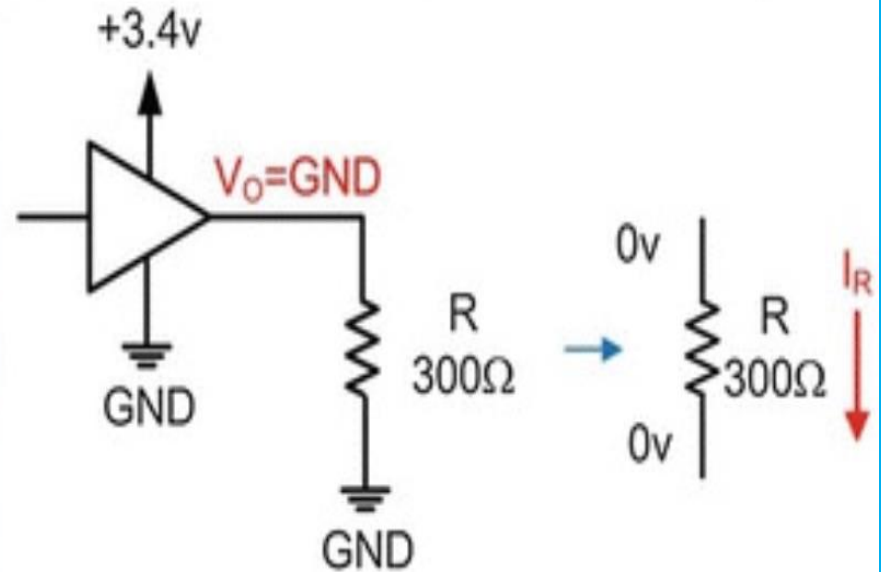
Xác định dòng ngõ ra I_O khi tải là điện trở kéo xuống

Ngõ ra lái mức cao (HIGH)



$$\begin{aligned} V &= I \cdot R \\ 3.4 &= I \cdot (300) \\ \downarrow \\ I &= 0.011 \text{ A} = \mathbf{11\text{mA}} \end{aligned}$$

Ngõ ra lái mức thấp (LOW)

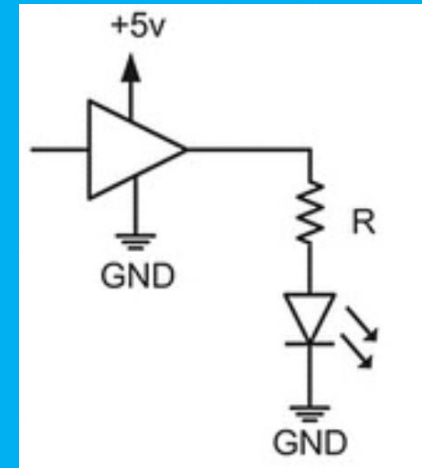


$$\begin{aligned} V &= I \cdot R \\ 0 &= I \cdot (300) \\ \downarrow \\ I &= 0 \text{ A} \end{aligned}$$

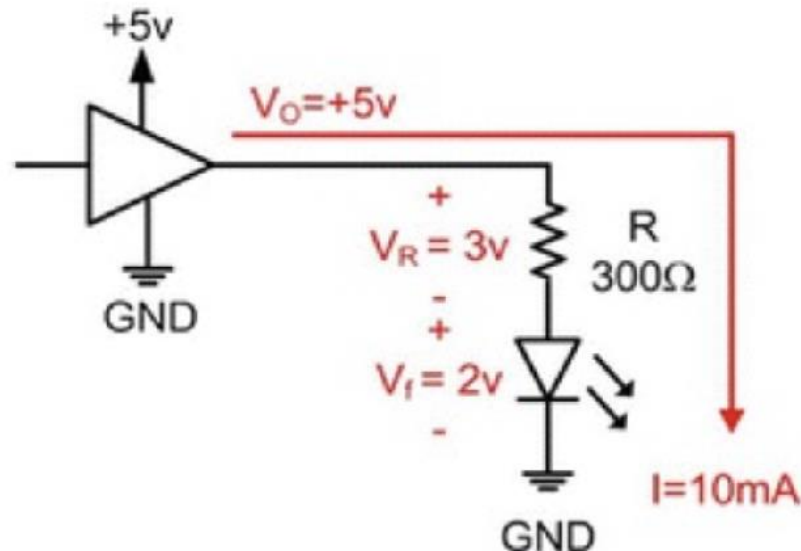
TÍNH TOÁN KHẢ NĂNG KÉO TẢI CỦA MẠCH SỐ

4. Tải là LED (Light Emitting Diode)

Xác định giá trị cho R để có dòng đi qua led $I_f = 10\text{mA}$ với áp phân cực thuận là $V_f = +2\text{V}$.

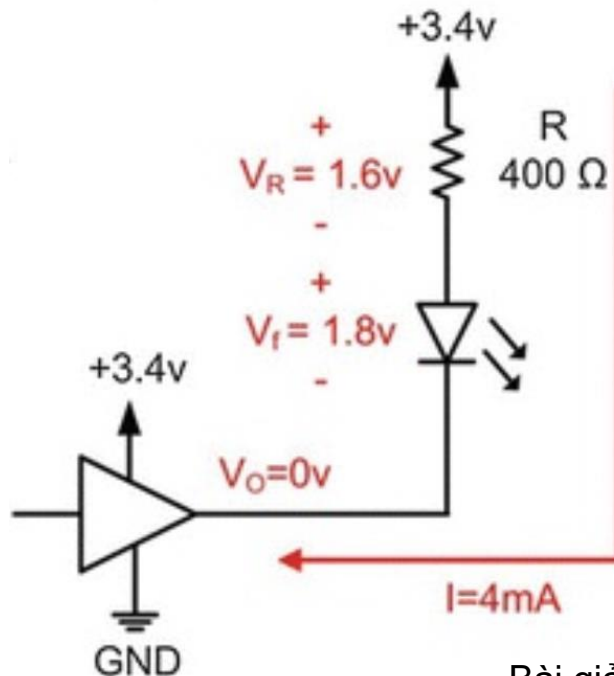
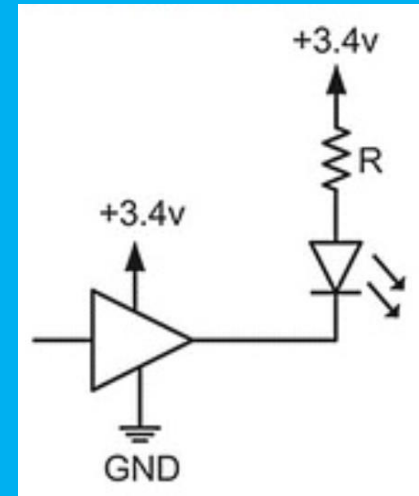


$$V = I \cdot R$$
$$3 = (10\text{mA}) \cdot R$$
$$R = 300 \Omega$$



Xác định R hạn dòng cho led (tích cực mức thấp)

Xác định giá trị cho R để có dòng đi qua led $I_f = 4\text{mA}$ với áp phân cực thuận là $V_f = +1.8\text{V}$.



$$\begin{aligned} V &= I \cdot R \\ 1.6 &= (4\text{mA}) \cdot R \\ R &= 400 \, \Omega \end{aligned}$$

DATA SHEET

Các thông số về đặc tính kỹ thuật của một linh kiện điện tử được thể hiện đầy đủ ở DATA SHEET đi kèm do nhà sản xuất cung cấp.



SN54HC04, SN74HC04

SCLS078G – DECEMBER 1982 – REVISED SEPTEMBER 2015

SNx4HC04 Hex Inverters

1 Features

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive up to 10 LSTTL Loads
- Low Power Consumption, 20- μ A Maximum I_{CC}
- Typical $t_{pd} = 8$ ns
- ± 4 -mA Output Drive at 5 V
- Low Input Current of 1 μ A Maximum

2 Applications

- Cameras
- E-Meters
- Ethernet Switches
- Infotainment

3 Description

The SNx4HC04 devices contain six independent inverters. They perform the Boolean function $Y = \bar{A}$ in positive logic.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
SN54HC04	LCCC (20)	8.89 mm \times 8.89 mm
	CDIP (14)	19.56 mm \times 6.67 mm
	CFP (14)	9.21 mm \times 5.97 mm
SN74HC04	SOIC (14)	8.65 mm \times 3.91 mm
	PDIP (14)	19.30 mm \times 6.35 mm
	SOP (14)	10.3 mm \times 5.3 mm
	TSSOP (14)	5.00 mm \times 4.40 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

(1)

SN54HC04, SN74HC04

7400 Series Part Numbering Scheme

Manufacturer

SN = Texas Instruments
DM = National Semiconductor
DM or MM = Fairchild Semiconductor
TC = Toshiba

Note: This field originally had meaning, but today the same codes are used for different manufacturers and it is often omitted.

Temperature Range

74 = Commercial
(-40°C to +85°C)
54 = Military
(-55°C to +125°C)

Logic Family

none = TTL "the original"
L = TTL Low Power
H = TTL High Speed
LS = TTL Low Power Schottky
C = CMOS
HC = CMOS High Speed
HCT = CMOS, High Speed, TTL compatible
AC = CMOS Advanced
ACH = CMOS Advanced High Speed

Note: There are over 30 logic families that have derived from the original 7400 series. The term "7400 series" is now used to describe this cluster of logic families.

Logic Function

04 = Inverter(s)
08 = 2-Input AND Gate(s)
11 = 3-Input AND Gate(s)
21 = 4-Input AND Gate(s)
32 = 2-Input OR Gate(s)
4075 = 3-Input OR Gate(s)
00 = 2-Input NAND Gate(s)
10 = 3-Input NAND Gate(s)
20 = 4-Input NAND Gate(s)
02 = 2-Input NOR Gate(s)
27 = 3-Input NOR Gate(s)
4002 = 4-Input NOR Gate(s)
74 = D-Flip-Flop(s)

Note: There are hundreds of function codes. Not all logic families implement all functions.

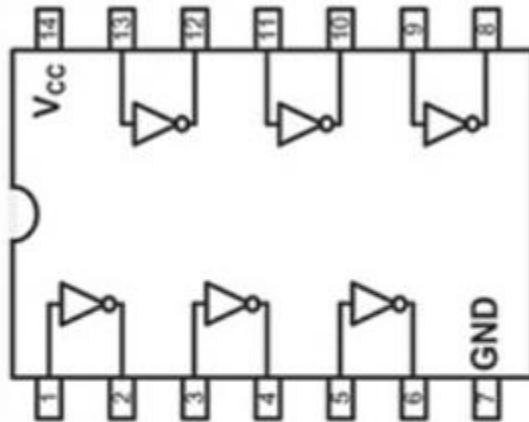
Package

N = Plastic Dual-In-Line Package (DIP)
D = Plastic Small Outline IC (SOIC)
NS = Small-Outline Package (SOP)
DB = Shrink Small-Outline Package (SSOP)
PW = Thin-Shrink Small Outline Package (TSSOP)

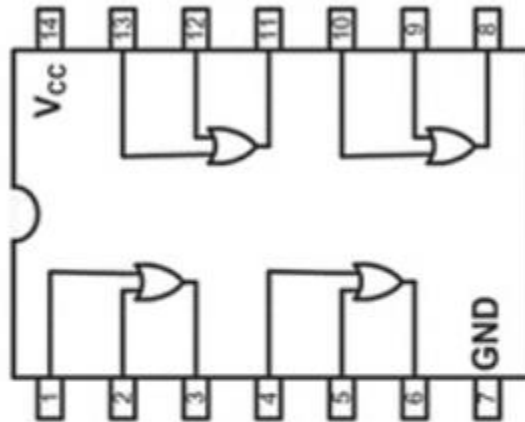
SN 74 HC 04 N

Pin-outs for a subset of Basic Gates from the 74HC Logic Family in DIP Packages

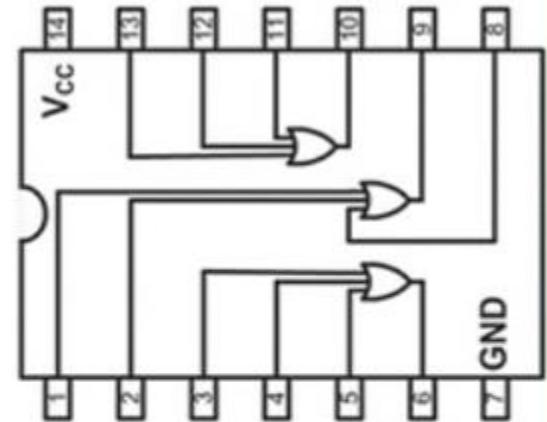
74HC04 - Inverter



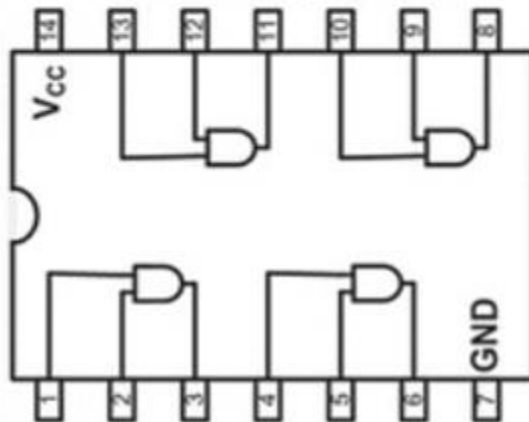
74HC32 - 2-Input OR



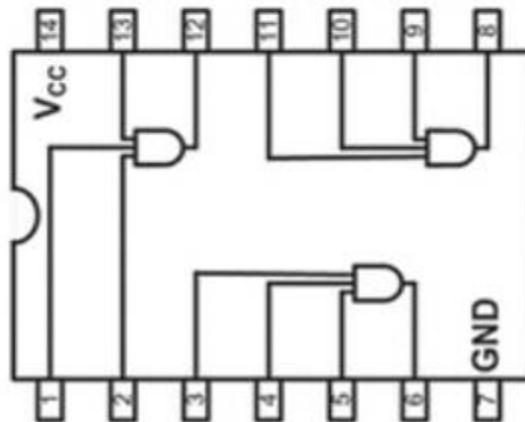
74HC4075 - 3-Input OR



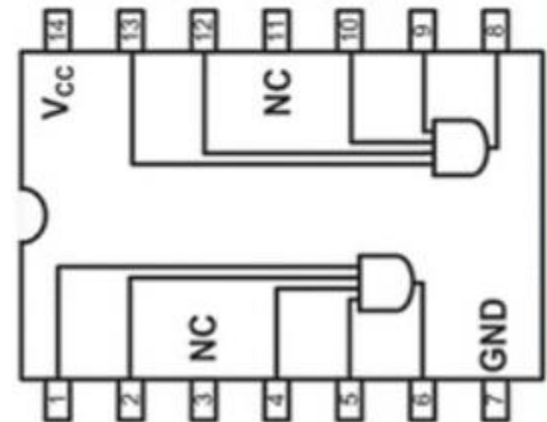
74HC08 - 2-Input AND

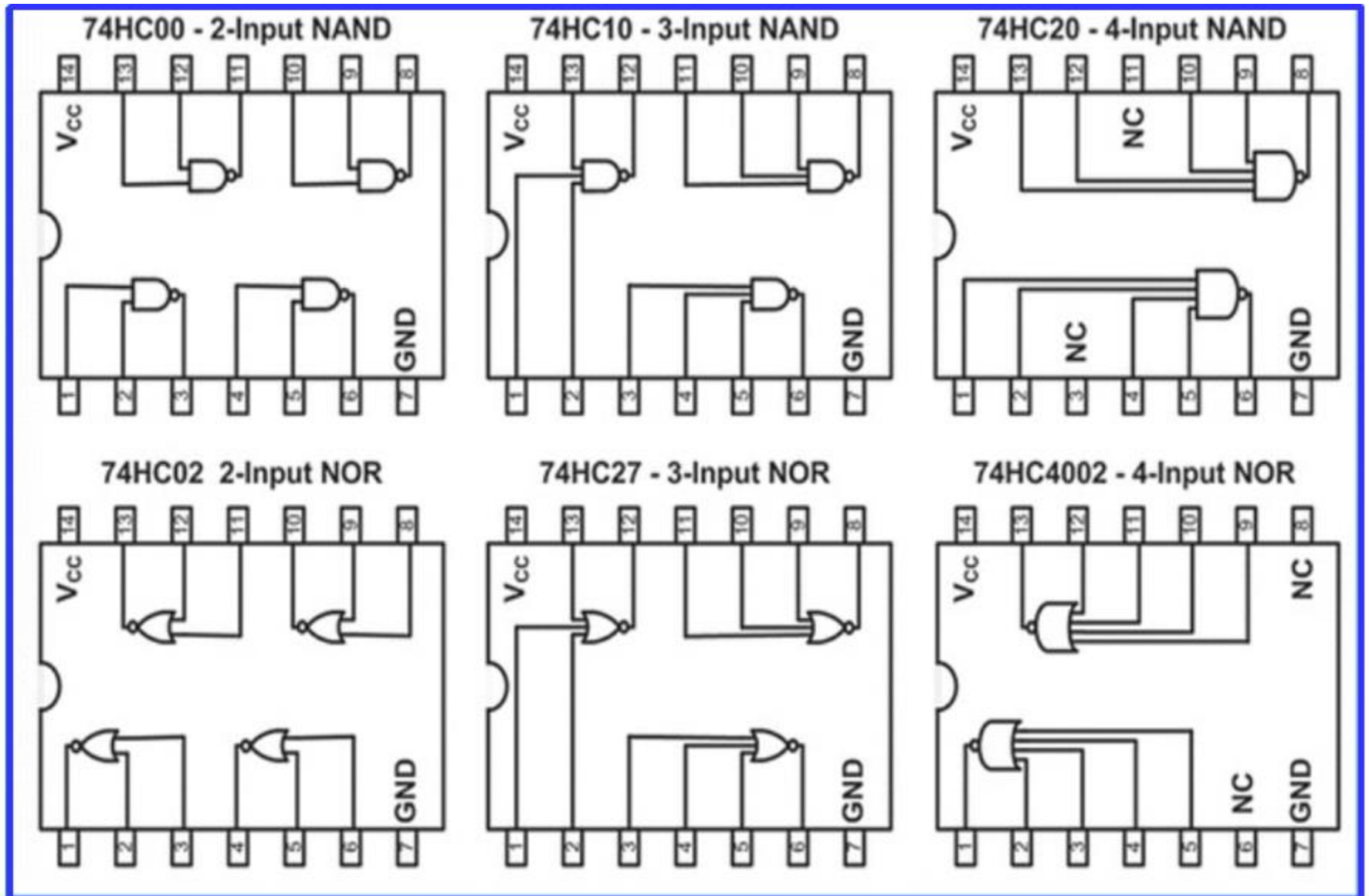


74HC11 - 3-Input AND



74HC21 - 4-Input AND





SN54HC04, SN74HC04

SCLS078G – DECEMBER 1982 – REVISED SEPTEMBER 2015

www.ti.com

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V_{CC}	Supply voltage	–0.5	7	V
I_{IK}	Input clamp current ⁽²⁾	$V_I < 0$ or $V_I > V_{CC}$		± 20 mA
I_{OK}	Output clamp current ⁽²⁾	$V_O < 0$		± 20 mA
I_O	Continuous output current	$V_O = 0$ to V_{CC}		± 25 mA
Continuous current through V_{CC} or GND				± 50 mA
T_{stg}	Storage temperature	–60	150	°C

Giá trị ngưỡng của các thông số cho hoạt động của mạch để không bị hư linh kiện.

DATA SHEET

6.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			SN54HC04			SN74HC04			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage		2	5	6	2	5	6	V
V _{IH}	High-level input voltage	V _{CC} = 2 V	1.5			1.5			V
		V _{CC} = 4.5 V	3.15			3.15			
		V _{CC} = 6 V	4.2			4.2			
V _{IL}	Low-level input voltage	V _{CC} = 2 V	0.5			0.5			V
		V _{CC} = 4.5 V	1.35			1.35			
		V _{CC} = 6 V	1.8			1.8			
V _I	Input voltage		0		V _{CC}	0		V _{CC}	V
V _O	Output voltage		0		V _{CC}	0		V _{CC}	V
Δt/Δv	Input transition rise or fall rate	V _{CC} = 2 V	1000			1000			ns
		V _{CC} = 4.5 V	500			500			
		V _{CC} = 6 V	400			400			
T _A	Operating free-air temperature		−55		125	−40		85	°C

Các điều kiện hoạt động được khuyến cáo để thời gian hoạt động của linh kiện có thể kéo dài nhất.

DATA SHEET

6.4 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS		V_{CC}	$T_A = 25^\circ\text{C}$			SN54HC04		SN74HC04		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V_{OH}	$V_I = V_{IH} \text{ or } V_{IL}$	$I_{OH} = -20 \mu\text{A}$	2 V	1.9	1.998		1.9		1.9		V
			4.5 V	4.4	4.499		4.4		4.4		
			6 V	5.9	5.999		5.9		5.9		
		$I_{OH} = -4 \text{ mA}$	4.5 V	3.98	4.3		3.7		3.84		
		$I_{OH} = -5.2 \text{ mA}$	6 V	5.48	5.8		5.2		5.34		
V_{OL}	$V_I = V_{IH} \text{ or } V_{IL}$	$I_{OL} = 20 \mu\text{A}$	2 V		0.002	0.1		0.1		0.1	V
			4.5 V		0.001	0.1		0.1		0.1	
			6 V		0.001	0.1		0.1		0.1	
		$I_{OL} = 4 \text{ mA}$	4.5 V		0.17	0.26		0.4		0.33	
		$I_{OL} = 5.2 \text{ mA}$	6 V		0.15	0.26		0.4		0.33	
I_I	$V_I = V_{CC} \text{ or } 0$		6 V		± 0.1	± 100		± 1000		± 1000	nA
I_{CC}	$V_I = V_{CC} \text{ or } 0, I_O = 0$		6 V			2		40		20	μA
C_i			6 V		3	10		10		10	pF

Dòng I_{CC} được cho với điều kiện $I_O=0$, chính là dòng tĩnh I_q (không có tải).
Dòng I_{CC} thực tế phụ thuộc vào cấu hình tải do người thiết kế lựa chọn.

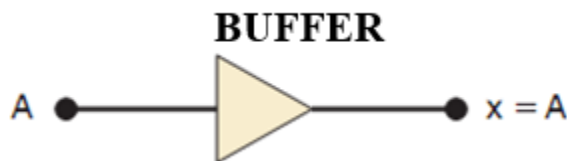
GIỚI THIỆU CÁC CÔNG LOGIC

CÔNG BUFFER

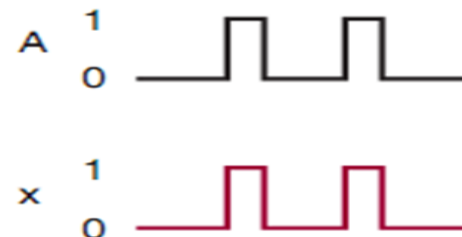
Bảng chân trị

A	$x = A$
0	0
1	1

Ký hiệu



Dạng tín hiệu

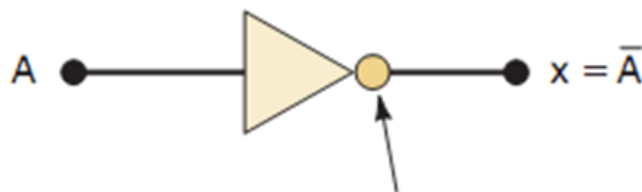


CÔNG NOT

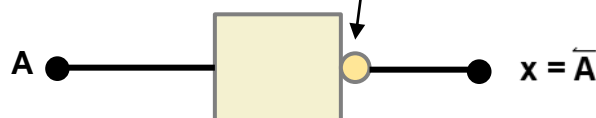
Bảng chân trị

A	$x = \bar{A}$
0	1
1	0

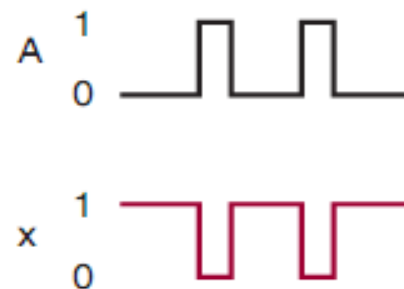
Ký hiệu



Ký hiệu ngõ ra bù



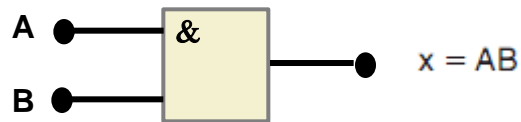
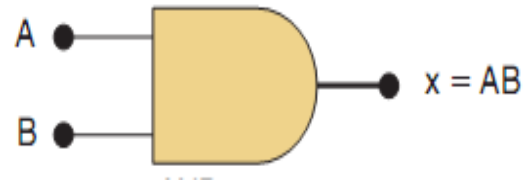
Dạng tín hiệu



\bar{X} , X' , $!X$, $\text{Not}(X)$

CÔNG AND

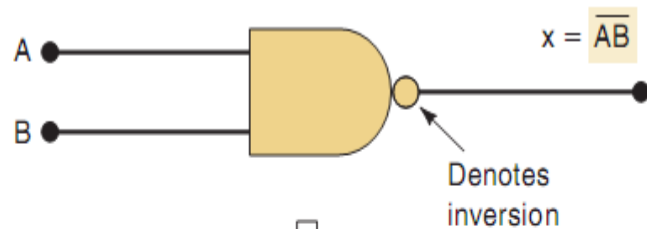
AND		
A	B	$x = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1



$$\begin{aligned}
 X \cdot Y &= XY \\
 X \wedge Y \\
 X \cap Y \\
 X \text{ and } Y
 \end{aligned}$$

CÔNG NAND

		AND	NAND
A	B	AB	\overline{AB}
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0



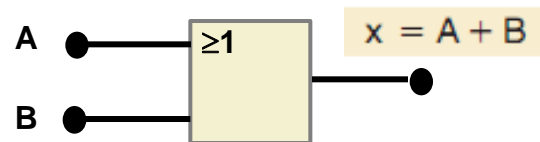
(a) ↓



(b)

CÔNG OR

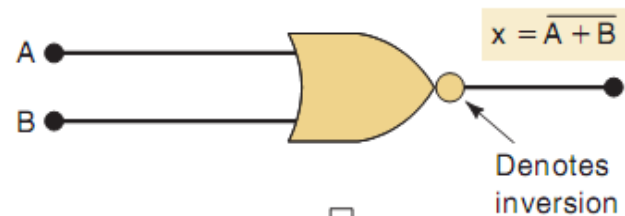
OR		
A	B	$x = A + B$
0	0	0
0	1	1
1	0	1
1	1	1



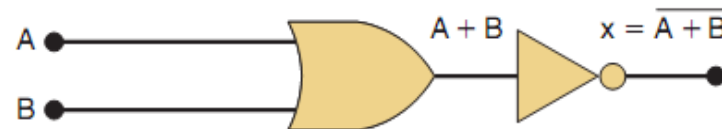
$$\begin{aligned} X + Y \\ X \vee Y \\ X \cup Y \\ X \text{ or } Y \end{aligned}$$

CÔNG NOR

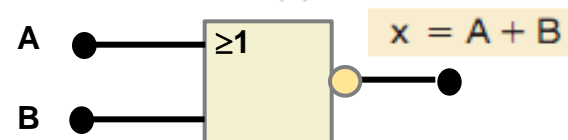
		OR	NOR
A	B	$A + B$	$\overline{A + B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0



(a) ↓

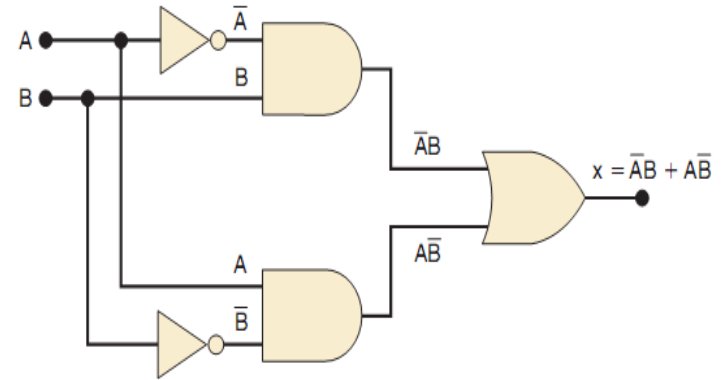
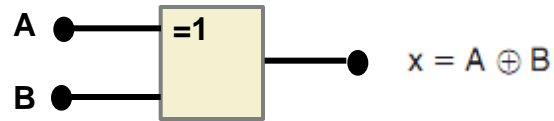
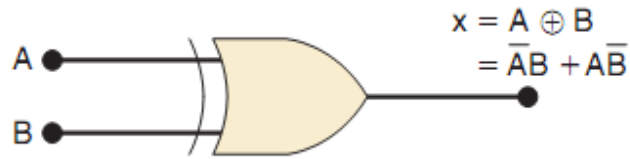


(b)



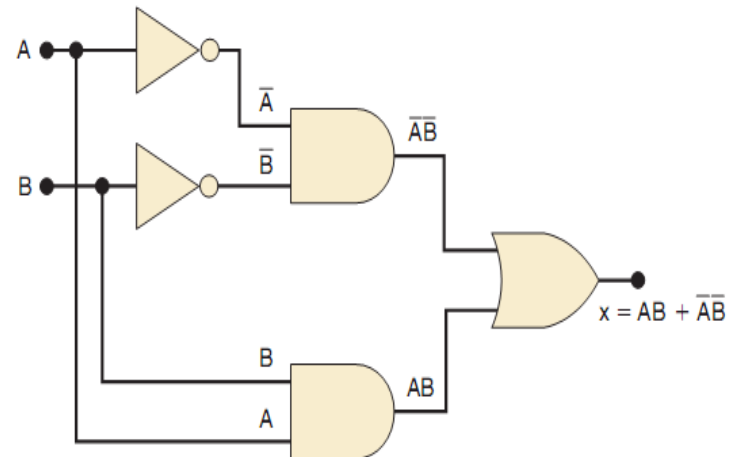
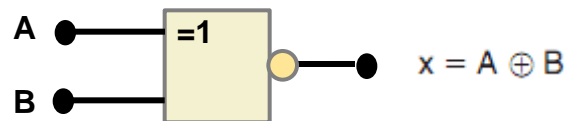
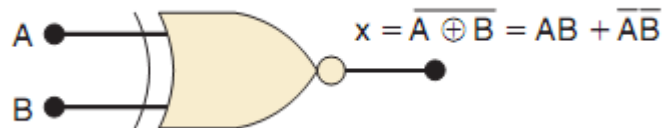
CÔNG XOR

A	B	x
0	0	0
0	1	1
1	0	1
1	1	0

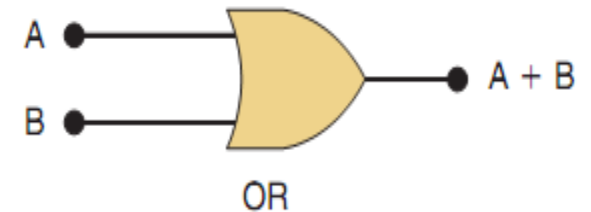
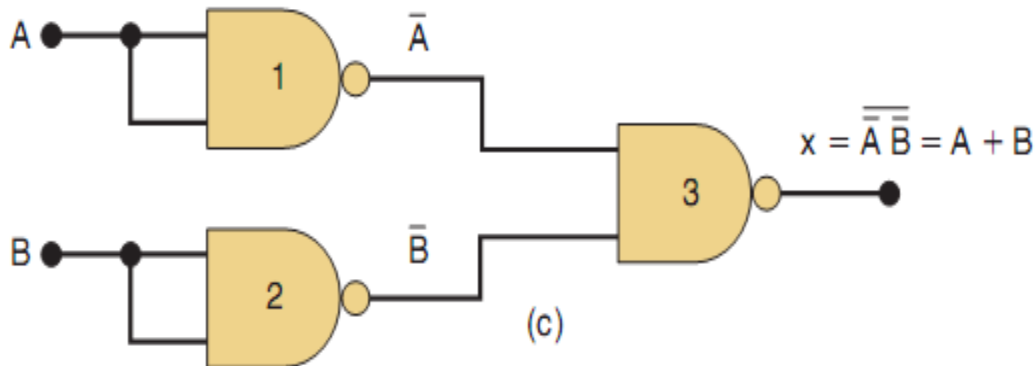
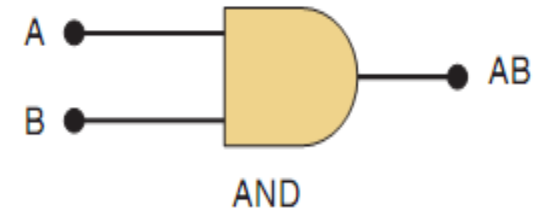
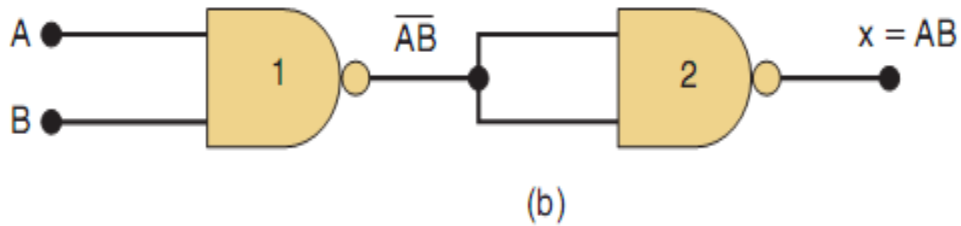
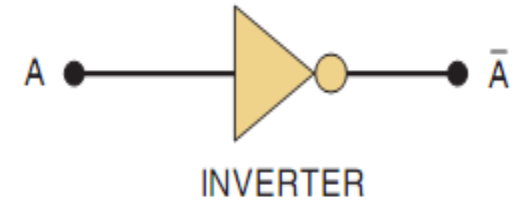
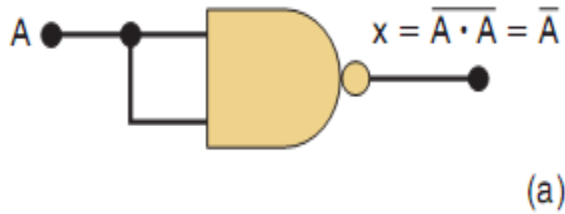


CÔNG XNOR

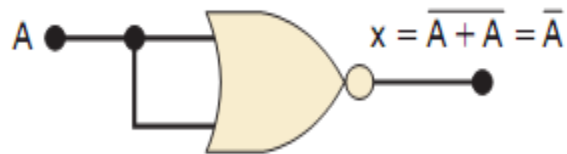
A	B	x
0	0	1
0	1	0
1	0	0
1	1	1



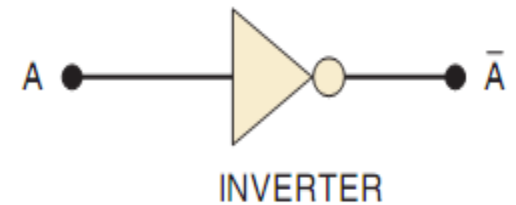
CHUYỂN ĐỔI SANG CÁC CỔNG CƠ BẢN TỪ NAND



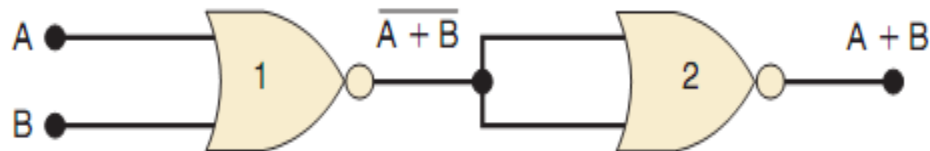
CHUYỂN ĐỔI SANG CÁC CỔNG CƠ BẢN TỪ NOR



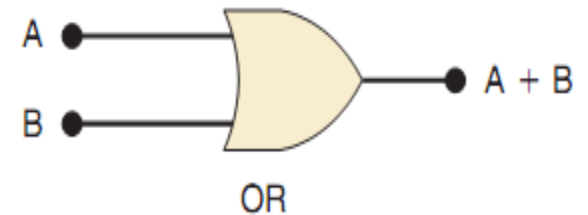
(a)



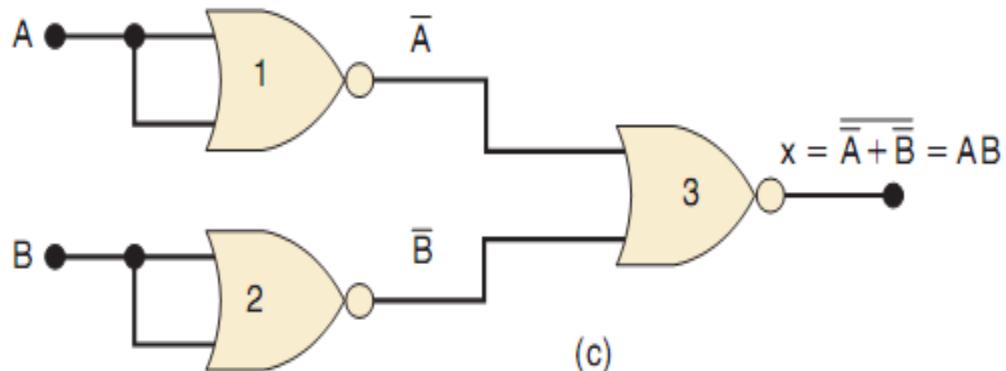
INVERTER



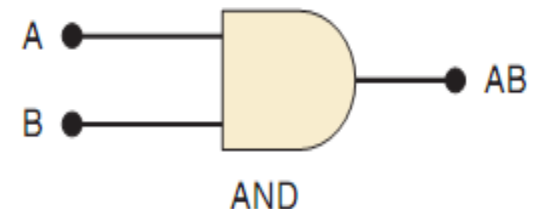
(b)



OR

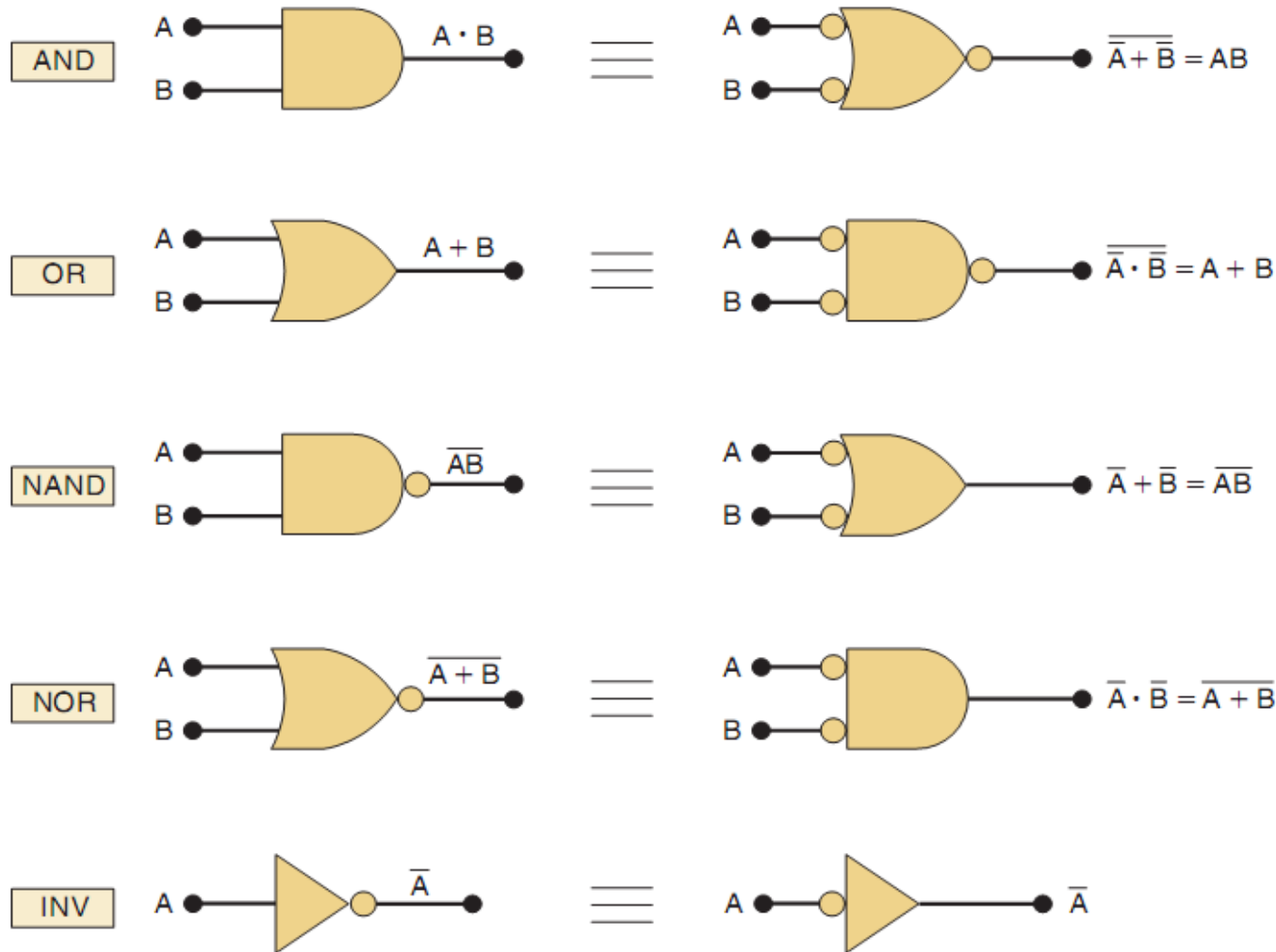


(c)

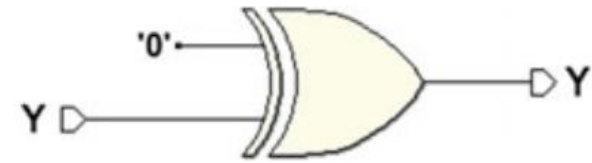
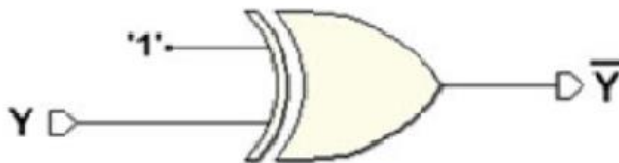
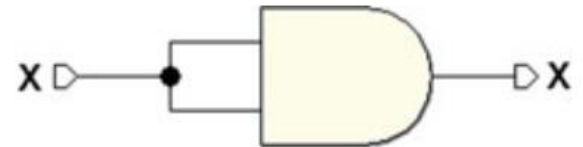
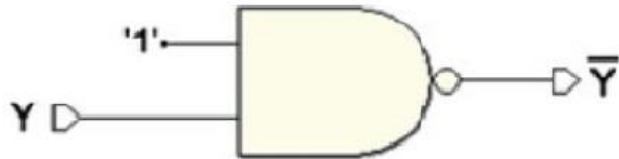
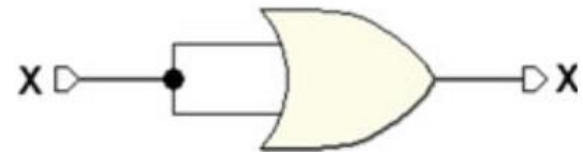
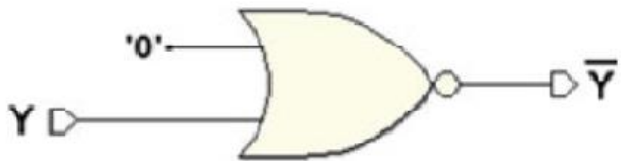


AND

BIẾN ĐỔI CÔNG TƯƠNG ĐƯƠNG THEO LUẬT DEMORGAN



MỘT SỐ CÁCH BIẾN ĐỔI KHÁC



IV. RÚT GỌN HÀM BOOLE

- *PP Đại số*
- *PP bìa Karnaugh*

RÚT GỌN HÀM BOOLE BẰNG PP ĐẠI SỐ

VD

Rút gọn hàm sau: $F(X,Y) = (X+Y)(X+Y')$

Áp dụng: $(x + y)(x + z) = x + y.z$

$$\Rightarrow F(X,Y) = X + Y.Y'$$

$$F(X,Y) = X$$

RÚT GỌN HÀM BOOLE BẰNG PP ĐẠI SỐ

VD Rút gọn hàm sau

$$\mathbf{F(X,Y) = XY + X'Z + YZ}$$

$$= XY + X'Z + (X + X').YZ \quad \{x+x' = 1; x.1 = x\}$$

$$= XY + X'Z + XYZ + X'YZ \quad \{x.(y+z) = xy + xz\}$$

$$= XY + XYZ + X'Z + X'ZY \quad \{x + xy = x\}$$

$$\mathbf{F(X,Y) = XY + X'Z}$$

RÚT GỌN HÀM BOOLE BẰNG PP ĐẠI SỐ

VD $f(A,B,C,D) = (A+B+C+D) (A'+B'+C+D') (A'+C) (A+D) (B+C+D)$

$$= \underline{(A+B+C+D)} \quad \underline{(A'+B'+C+D')} \quad \underline{(A'+C)} \quad (A+D) \quad \underline{(B+C+D)}$$

$$= (B+C+D) \quad \underline{(A'+C)} \quad \underline{(A+D)}$$

$$= (B+C+D) \quad (A'D+AC)$$

$$= \underline{A'BD} \quad \underline{A'CD} \quad \underline{A'D} \quad \underline{ABC} \quad \underline{AC} \quad \underline{ACD}$$

$$= \quad \underline{A'D} \quad \underline{AC}$$

RÚT GỌN HÀM BOOLE BẰNG PP ĐẠI SỐ

CÁC ĐỊNH LÝ BỔ SUNG

1. $XY + XY' = X$

$$(X+Y)(X+Y') = X$$

2. $X + X'Y = X + Y$

$$X(X' + Y) = XY$$

3. $XZ + X'Y = (X + Y)(X' + Z)$

$$(X+Z)(X'+Y) = XY+X'Z$$

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Khái niệm về các ô kế cận (2^n)

F **AB**

CD 00 01 11 10

00	1	1		
01				
11				
10				

F **AB**

CD 00 01 11 10

00				
01	0			0
11				
10				

F **AB**

CD 00 01 11 10

00				1
01				
11				
10				1

F **AB**

CD 00 01 11 10

00				
01				
11		0		
10		0		

Ví dụ cho 2 ô kế cận
Bài giảng môn Kỹ Thuật Số
GV: Lê Thị Kim Anh

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Bốn ô kế cận: gồm 2 nhóm 2 ô kế cận

F **AB**

CD 00 01 11 10

00	1	1	1	1
01				
11				
10				

F **AB**

CD 00 01 11 10

00				
01	1	1		
11	1	1		
10				

F **AB**

CD 00 01 11 10

00			1	1
01				
11				
10			1	1

F **AB**

CD 00 01 11 10

00				
01	1			1
11	1			1
10				

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Bốn ô kế cận: gồm 2 nhóm 2 ô kế cận

F	AB				
CD	00	01	11	10	
00	0	0	0	0	
01					
11					
10					

F	AB				
CD	00	01	11	10	
00					
01	0	0			
11	0	0			
10					

F	AB				
CD	00	01	11	10	
00			0	0	
01					
11					
10			0	0	

F	AB				
CD	00	01	11	10	
00					
01	0			0	
11	0			0	
10					

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Bốn ô kế cận: gồm 2 nhóm 2 ô kế cận

F **AB**

CD 00 01 11 10

00				
01	1	1	1	1
11				
10				

F **AB**

CD 00 01 11 10

00	1	1		
01	1	1		
11				
10				

F **AB**

CD 00 01 11 10

00	1			1
01				
11				
10	1			1

F **AB**

CD 00 01 11 10

00	1			1
01	1			1
11				
10				

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Bốn ô kế cận: gồm 2 nhóm 2 ô kế cận

F **AB**

CD 00 01 11 10

00				
01	0	0	0	0
11				
10				

F **AB**

CD 00 01 11 10

00	0	0		
01	0	0		
11				
10				

F **AB**

CD 00 01 11 10

00	0			0
01				
11				
10	0			0

F **AB**

CD 00 01 11 10

00	0			0
01	0			0
11				
10				

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Tám ô kế cận: gồm 2 nhóm 4 ô kế cận

F **AB**

CD 00 01 11 10

00	1	1	1	1
01	1	1	1	1
11				
10				

F **AB**

CD 00 01 11 10

00	1	1	1	1
01				
11				
10	1	1	1	1

F **AB**

CD 00 01 11 10

00	0	0		
01	0	0		
11	0	0		
10	0	0		

F **AB**

CD 00 01 11 10

00				
01	0	0	0	0
11	0	0	0	0
10				

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Nguyên tắc gom các ô kề cận

- Khi liên kết 2^n ô kề cận có cùng giá trị 1, ta được 1 tích.
- Rút gọn 2^n ô ta loại được n biến.
- Các biến giống nhau còn lại được ghi dưới dạng bù, nếu nó có giá trị bằng 0, ngược lại sẽ được ghi dưới dạng không bù.
- Khi gom 2^n ô kề cận có cùng giá trị 0, ta được 1 tổng. Các biến sẽ được ghi theo qui ước ngược lại với dạng tích.

F	AB				
CD	00	01	11	10	
00		1	1		
01					
11					
10					

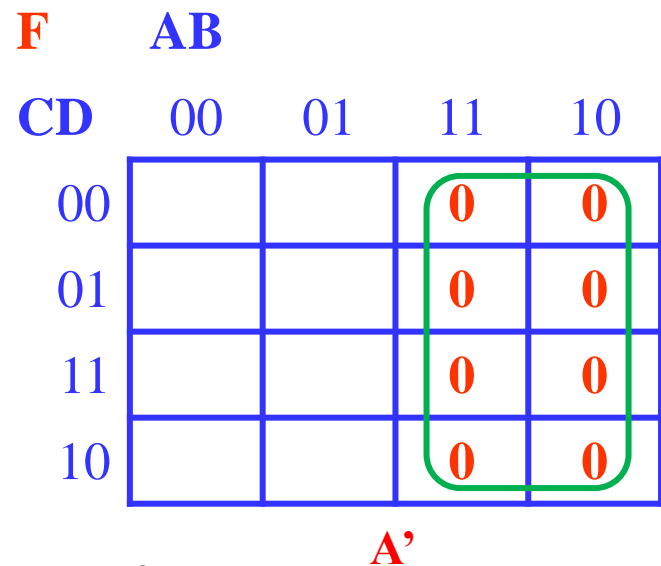
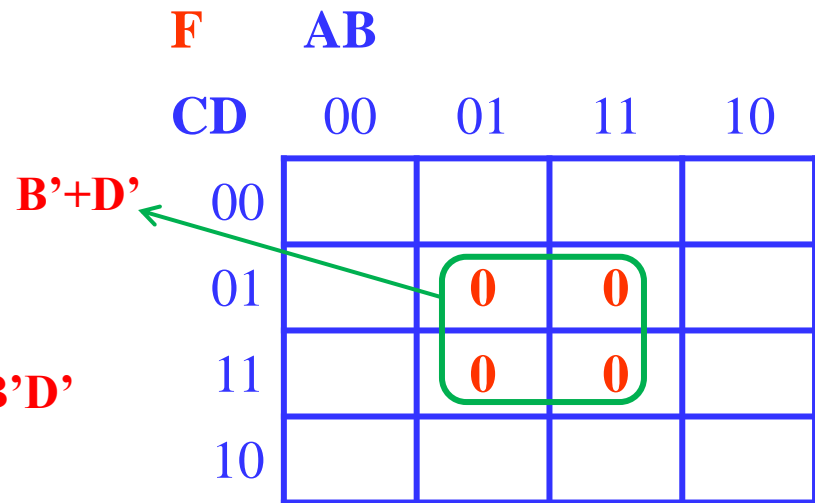
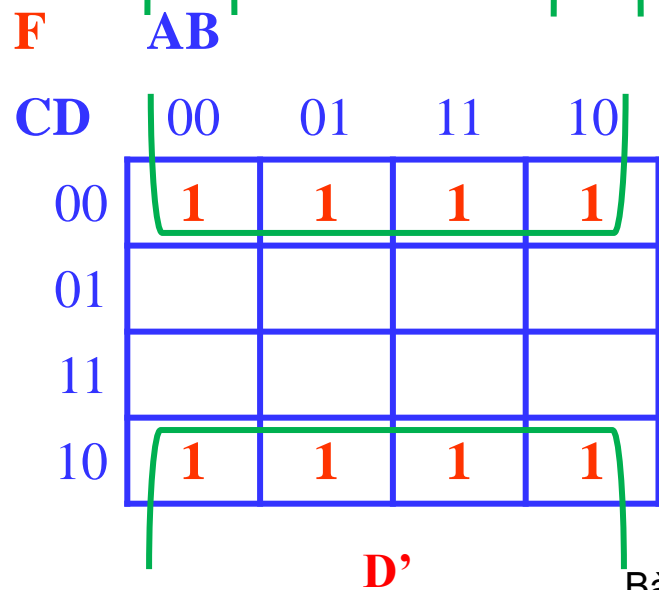
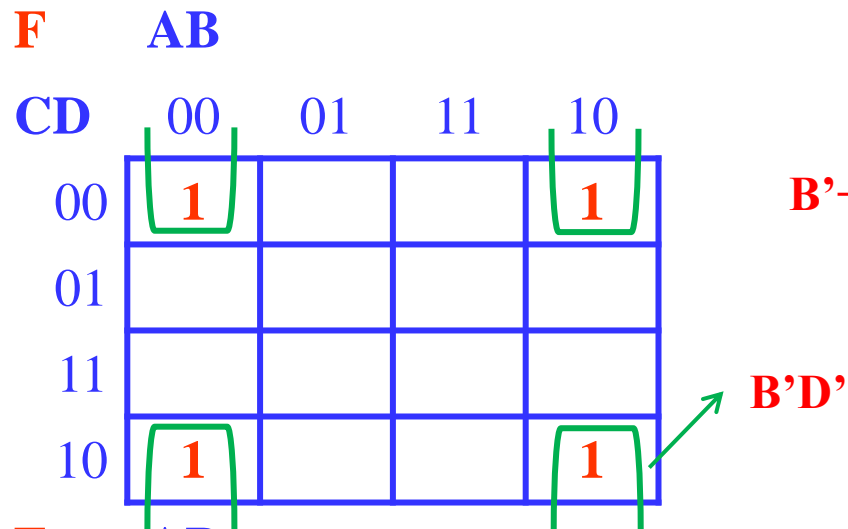
$BC'D'$

F	AB				
CD	00	01	11	10	
00		0			
01					
11					
10		0			

$A+B'+D$

RÚT GỌN HÀM BOOLE BẰNG BÌA K

Nguyên tắc gom các ô kế cận



RÚT GỌN HÀM BOOLE BẰNG BÌA K

Nguyên tắc rút gọn hàm Boole bằng bìA K

- Tất cả các ô đều phải được liên kết ít nhất một lần, trừ khi nó không liên kết được với bất kỳ ô nào khác.
- Trường hợp ô không liên kết được, kết quả sẽ được ghi dưới dạng một tích chuẩn nếu ô đó có giá trị bằng 1, ngược lại sẽ được ghi dưới dạng một tổng chuẩn nếu ô đó có giá trị bằng 0.
- Chọn các liên kết tối đa có thể có.
- Những ô đã liên kết rồi có thể dùng để liên kết nữa để có được tổ hợp tối đa có thể có.
- Các ô có giá trị là tùy định thì có thể xem bằng 0 hoặc 1 để có kết quả là đơn giản nhất.
- Không tạo ra các liên kết thừa.

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_1(A,B,C,D) = \Sigma(0,6,10,11,13,14,15)$$

F_1	AB			
CD	00	01	11	10
00	1			
01			1	
11			1	1
10		1	1	1

$A'B'C'D'$ AC
 ABD BCD'

$$F_1 = A'B'C'D' + AC + ABD + BCD'$$

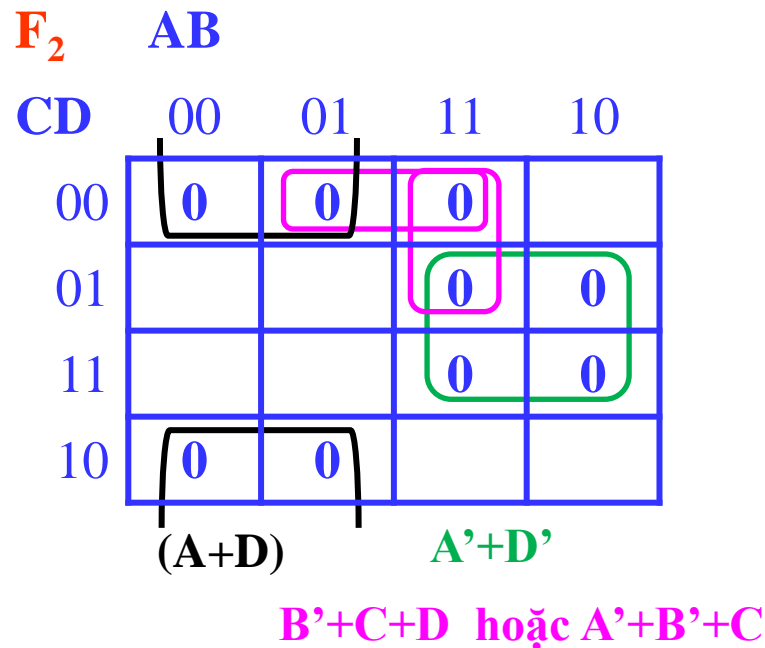
Nguyên tắc rút gọn hàm dùng bìa K

- Tất cả các ô đều phải được liên kết ít nhất một lần, trừ khi nó không liên kết được với bất kỳ ô nào khác.
- Trường hợp ô không liên kết được, kết quả sẽ được ghi dưới dạng một tích chuẩn nếu ô đó có giá trị bằng 1, ngược lại sẽ được ghi dưới dạng một tổng chuẩn nếu ô đó có giá trị bằng 0.
- Chọn các liên kết tối đa có thể có.
- Những ô đã liên kết rồi có thể dùng để liên kết nữa để có được tổ hợp tối đa có thể có.
- Các ô có giá trị là tùy định thì có thể xem bằng 0 hoặc 1 để có kết quả là đơn giản nhất.
- Không tạo ra các liên kết thừa.

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_2(A,B,C,D) = \Pi(0,2,4,6,9,11,12,13,15)$$



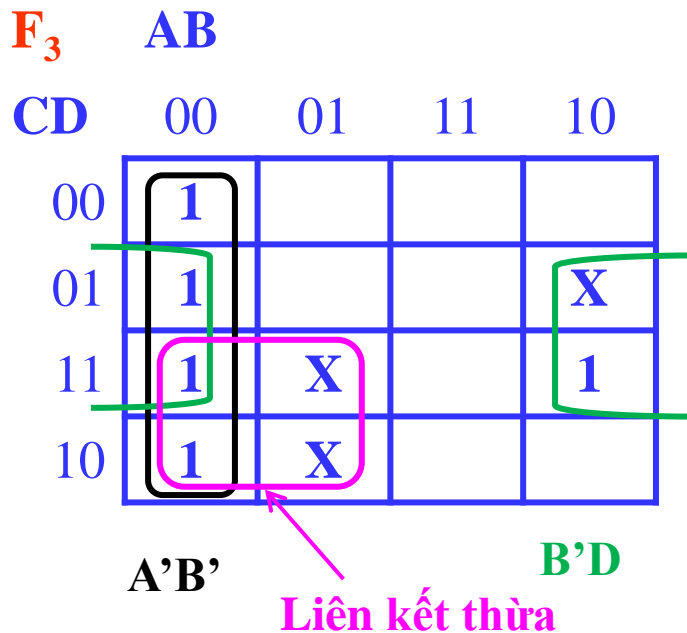
$$F_2 = (A+D)(A'+D')(B'+C+D)$$

$$F_2 = (A+D)(A'+D')(A'+B'+C)$$

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_3(A,B,C,D) = \Sigma(0,1,2,3,11) + d(6,7,9)$$



$$F_3 = A'B' + B'D$$

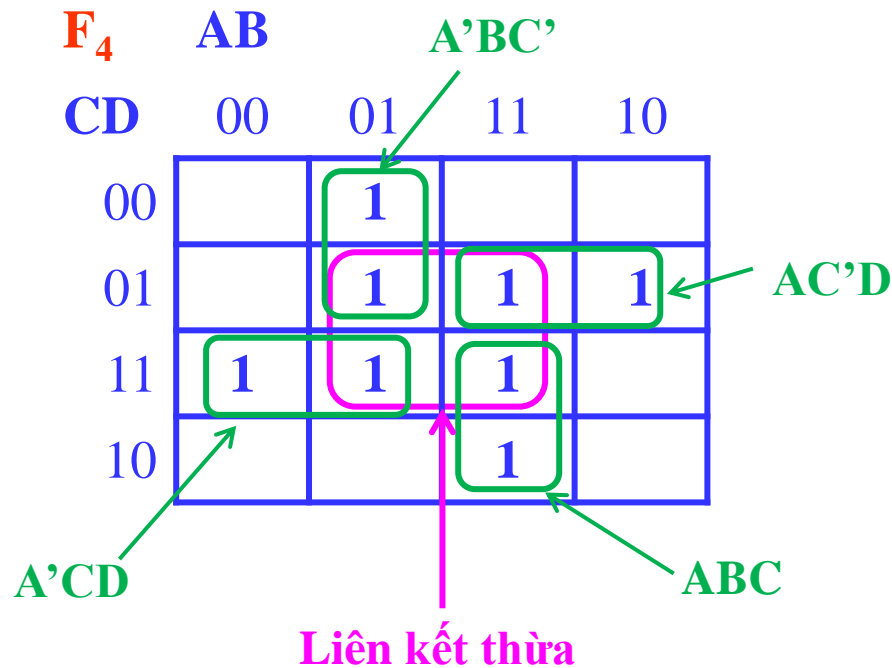
Nguyên tắc rút gọn hàm dùng bìa K

- Tất cả các ô đều phải được liên kết ít nhất một lần, trừ khi nó không liên kết được với bất kỳ ô nào khác.
- Trường hợp ô không liên kết được, kết quả sẽ được ghi dưới dạng một tích chuẩn nếu ô đó có giá trị bằng 1, ngược lại sẽ được ghi dưới dạng một tổng chuẩn nếu ô đó có giá trị bằng 0.
- Chọn các liên kết tối đa có thể có.
- Những ô đã liên kết rồi có thể dùng để liên kết nữa để có được tổ hợp tối đa có thể có.
- Các ô có giá trị là tùy định thì có thể xem bằng 0 hoặc 1 để có kết quả là đơn giản nhất.
- Không tạo ra các liên kết thừa.

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_4(A,B,C,D) = \Sigma(3,4,5,7,9, 13,14,15)$$

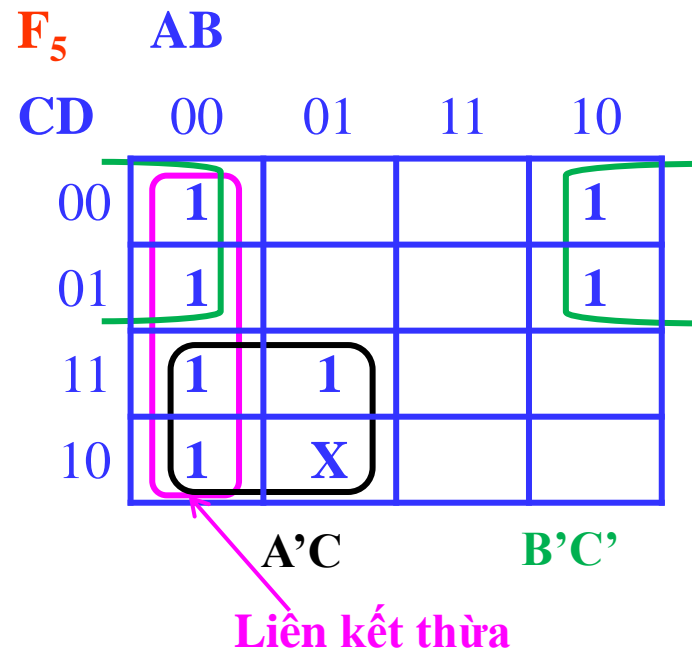


$$F_4 = A'BC' + AC'D + ABC + A'CD$$

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_5(A,B,C,D)=\Sigma(0,1,2,3,7,8,9)+ d(6)$$

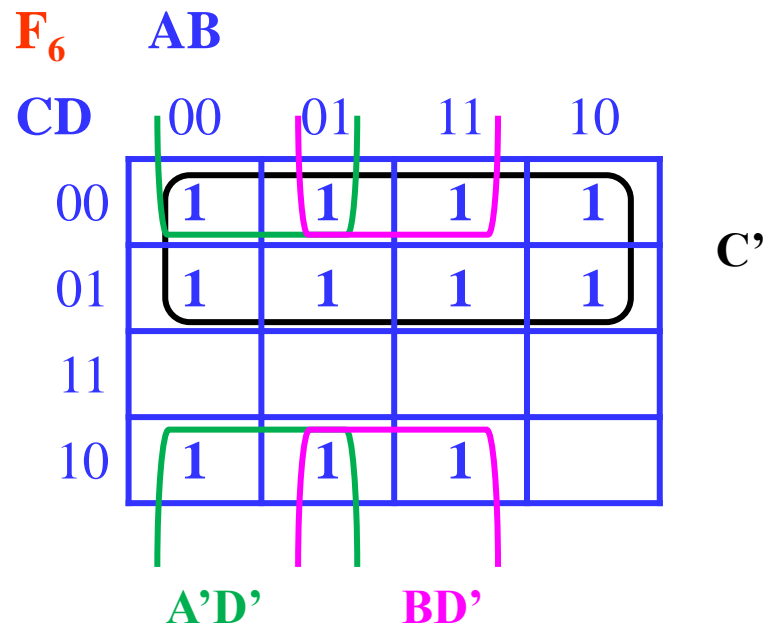


$$F_5 = A'C + B'C'$$

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_6(A,B,C,D) = \Sigma(0,1,2,4,5,6,8,9,12,13,14)$$



$$F_6 = C' + A'D' + BD'$$

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_7(A,B,C,D)=A'B'C'+B'CD'+A'BCD'+AB'C'$$

F_7

	00	01	11	10
00	1			1
01	1			1
11				
10	1	1		1

$$F_7 = B'C' + B'D' + A'CD'$$

RÚT GỌN HÀM DÙNG BÌA K

VD Rút gọn hàm sau

$$F_8(A,B,C,D,E)=\Sigma(0,2,3,8,10,13,15,16,17,24,26,29,31)+d(1,18,19,28)$$

		A = 0				A = 1			
F	BC	00	01	11	10	10	11	01	00
	DE								
	00	1			1	1	X		1
	01	X		1			1		1
	11	1		1			1		X
	10	1			1	1			X

B'C' **C'E'** **BCE**

$$F_8 = B'C' + C'E' + BCE$$

V. THỰC HIỆN HÀM BOOLE BẰNG CỔNG LOGIC

MỘT SỐ KHÁI NIỆM

- Mạch **AND-OR** là một cấu trúc **2 mức cổng** bao gồm 1 mức của nhiều cổng **AND** và theo sau là 1 cổng **OR** ở ngõ ra.
- Mạch **OR-AND** là một cấu trúc **2 mức cổng** bao gồm 1 mức của nhiều cổng **OR** và theo sau là 1 cổng **AND** ở ngõ ra.
- Mạch **OR-AND-OR** là một cấu trúc **3 mức cổng** bao gồm 1 mức của nhiều cổng **OR**, tiếp theo là 1 mức của nhiều cổng **AND** và cuối cùng là 1 cổng **OR** ở ngõ ra.
- Mạch **AND-OR** nhiều mức cổng không có một sự sắp xếp đặc biệt thứ tự của các cổng, cổng ở ngõ ra có thể là **AND** hoặc **OR**.

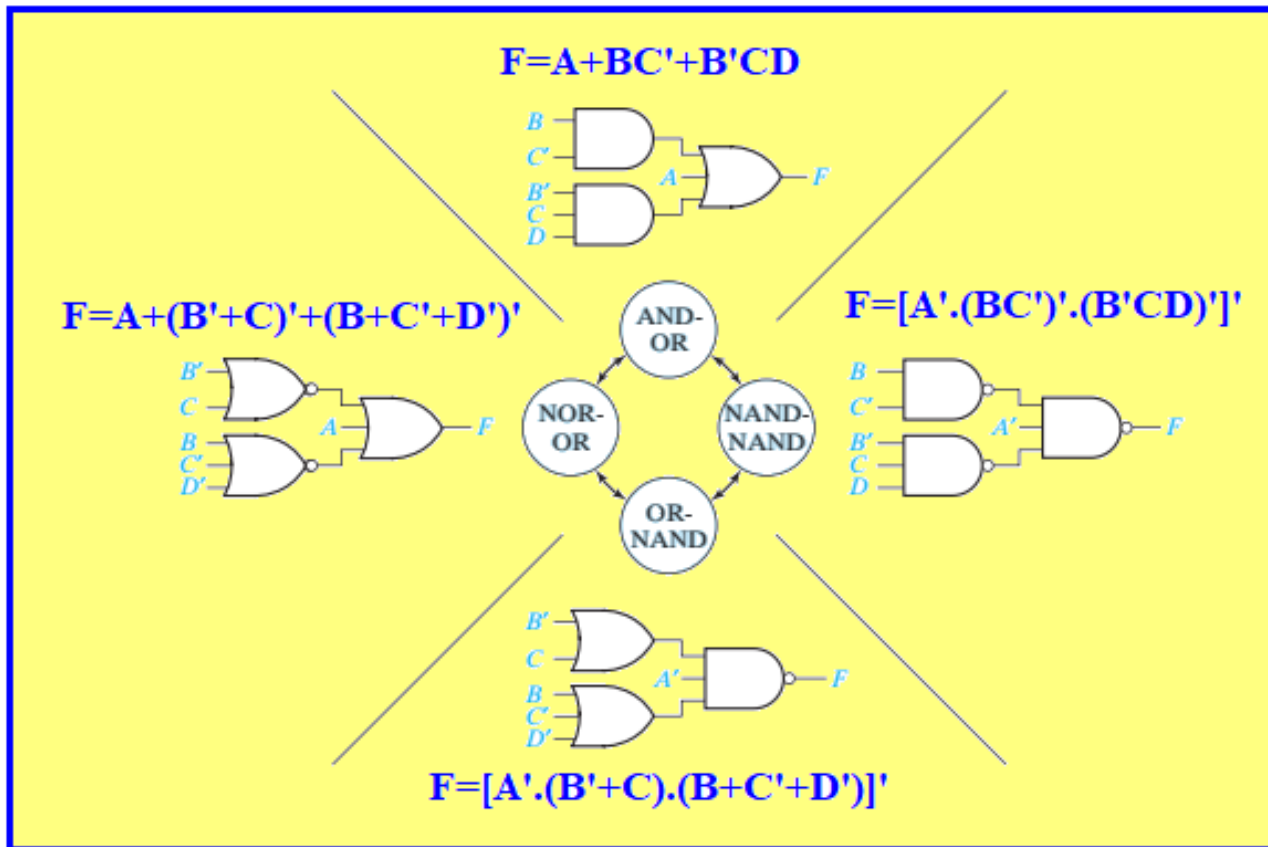
VÍ DỤ MINH HỌA CẤU TRÚC 2 MỨC CÔNG

$$F = A + BC' + B'CD \text{ - AND-OR}$$

$$= [(A + BC' + B'CD)']' = [A' \cdot (BC')' \cdot (B'CD)']' \text{ - NAND-NAND}$$

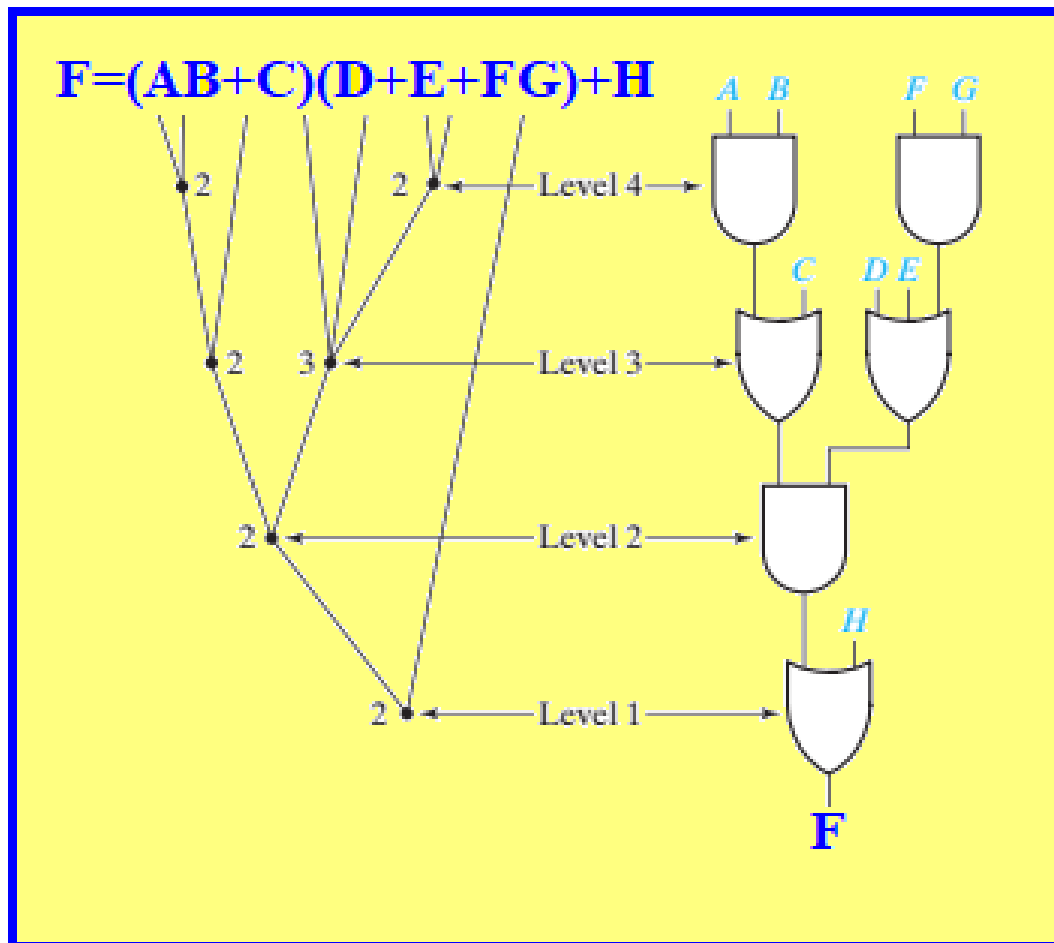
$$= [A' \cdot (BC')' \cdot (B'CD)']' = [A' \cdot (B' + C) \cdot (B + C' + D')] \text{ - OR-NAND}$$

$$= [(A' \cdot (B' + C) \cdot (B + C' + D'))]' = [A + (B' + C)' + (B + C' + D')]' \text{ - NOR-OR}$$



VÍ DỤ MINH HỌA CẤU TRÚC NHIỀU MỨC CỒNG

$F = (AB + C)(D + E + FG) + H$



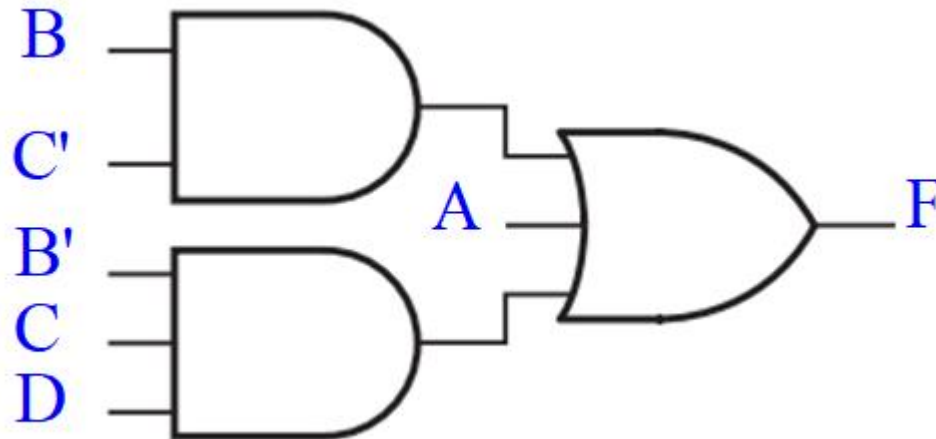
THỰC HIỆN HÀM BOOLE BẰNG CỔNG LOGIC 2 MỨC

- Cấu trúc cổng *AND – OR*
- Cấu trúc cổng *OR – AND*
- Cấu trúc *AND-OR-INVERTER (AND-NOR)*
- Cấu trúc *OR-AND-INVERTER (OR-NAND)*
- Cấu trúc toàn *NAND-NAND*
- Cấu trúc toàn *NOR-NOR*

CẤU TRÚC CỔNG AND - OR

Biểu thức của hàm phải có dạng tổng các tích (SOP).

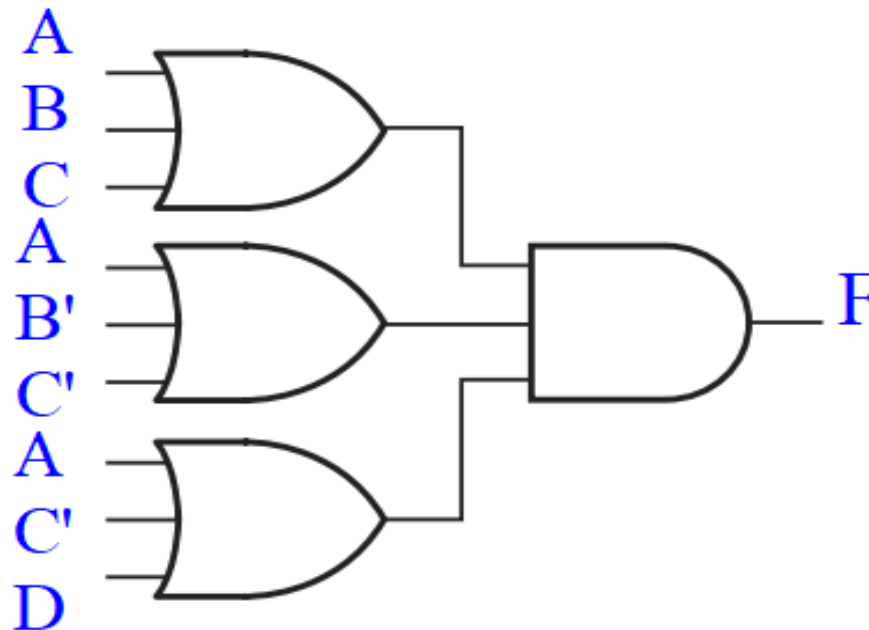
$$F(A,B,C,D) = A + BC' + B'CD$$



CẤU TRÚC CÔNG OR - AND

Biểu thức của hàm phải có dạng tích các tổng (POS)

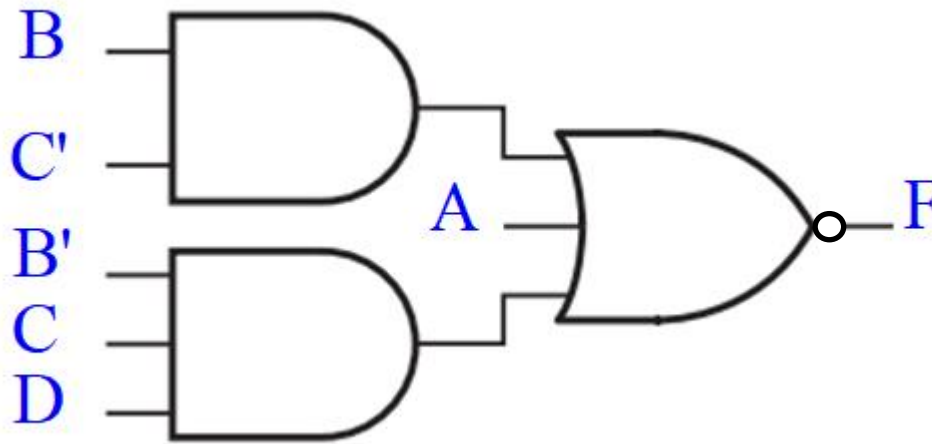
$$F(A,B,C,D) = (A + B + C)(A + B' + C')(A + C' + D)$$



CẤU TRÚC CỔNG AND – OR – INVERTER

Biểu thức của hàm đi từ dạng tổng các tích (SOP)

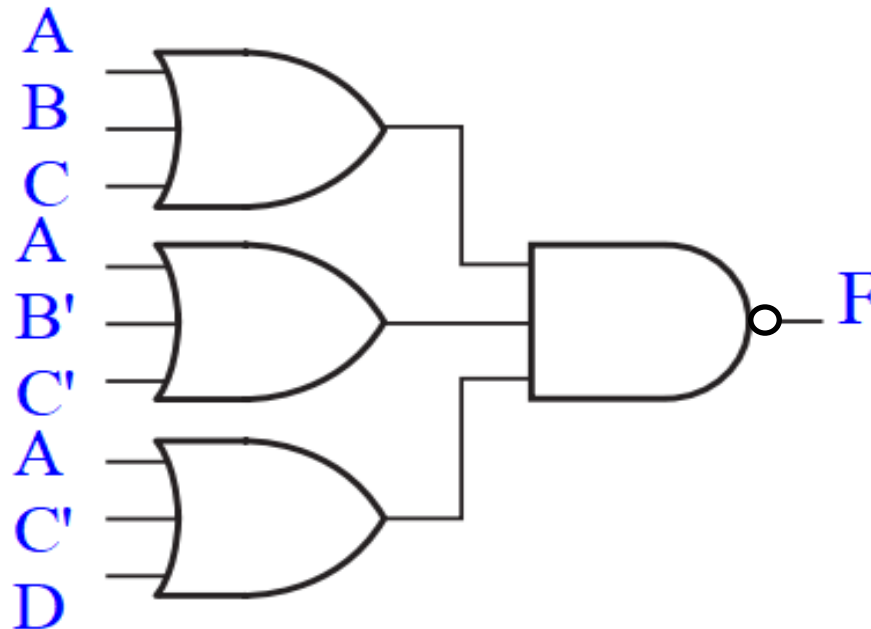
$$F(A,B,C,D) = \overline{A + BC' + B'CD}$$



CẤU TRÚC CÔNG OR – AND - INVERTER

Biểu thức của hàm đi từ dạng tích các tổng (POS)

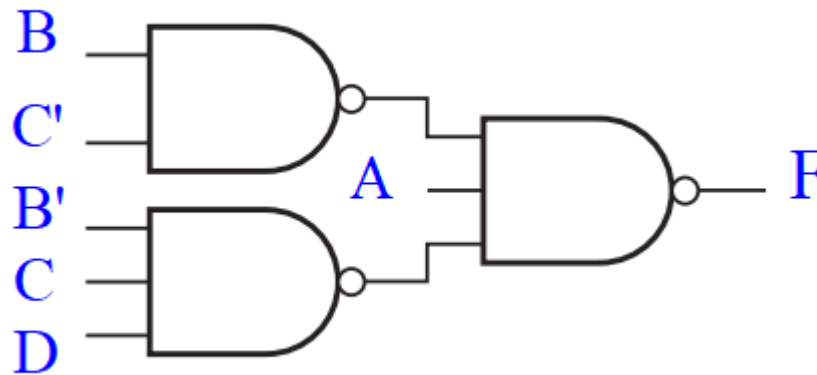
$$F(A,B,C,D) = \overline{(A + B + C)(A + \bar{B} + \bar{C})(A + \bar{C} + D)}$$



CẤU TRÚC CÔNG TOÀN NAND

Biểu thức của hàm phải đi từ dạng tổng các tích (SOP), và lấy bù 2 lần.

$$\begin{aligned} F(A,B,C,D) &= \overline{\overline{A + BC + BCD}} \\ &= \overline{\overline{A} \cdot \overline{BC} \cdot \overline{BCD}} \end{aligned}$$

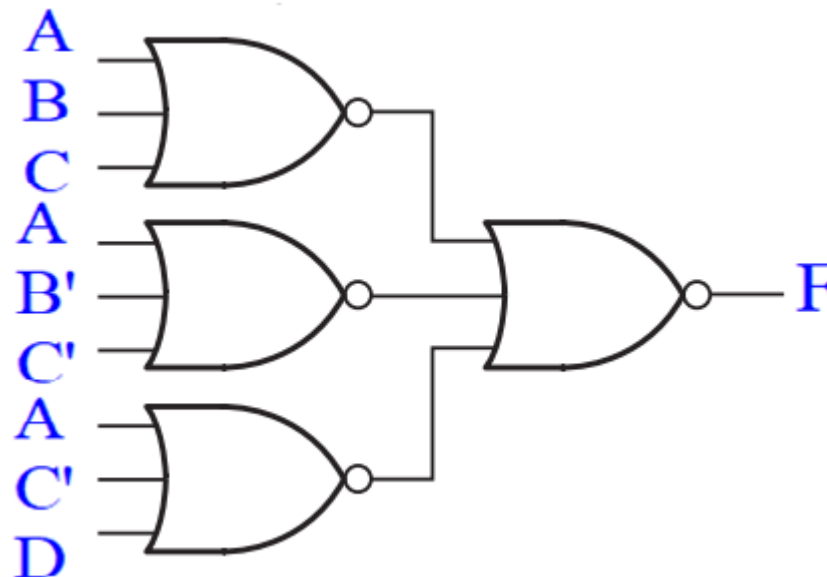


Câu hỏi đặt ra: Nếu chỉ được sử dụng toàn cổng **NAND** có 2 ngõ vào,
 \Rightarrow Giải pháp ?

CẤU TRÚC CÔNG TOÀN NOR

Biểu thức của hàm phải đi từ dạng tích các tổng (POS), và lấy bù 2 lần.

$$\begin{aligned} F(A,B,C,D) &= \overline{\overline{(A + B + C)(A + B' + C')(A + C' + D)}} \\ &= \overline{(A + B + C) + (A + B' + C') + (A + C' + D)} \end{aligned}$$



Câu hỏi đặt ra: Nếu chỉ được sử dụng toàn cổng **NOR** có 2 ngõ vào,
 \Rightarrow Giải pháp ?

VI. HAZARD (*Tham khảo*)



Ví dụ về các xung nhiễu (glitch)

Hazard: trạng thái xuất hiện gai xung nhiễu lên trên tín hiệu hiện có.

Hazard tĩnh 0:

tín hiệu ở mức 0, glitch lên mức 1.



Hazard tĩnh 1:

tín hiệu ở mức 1, glitch xuống 0.

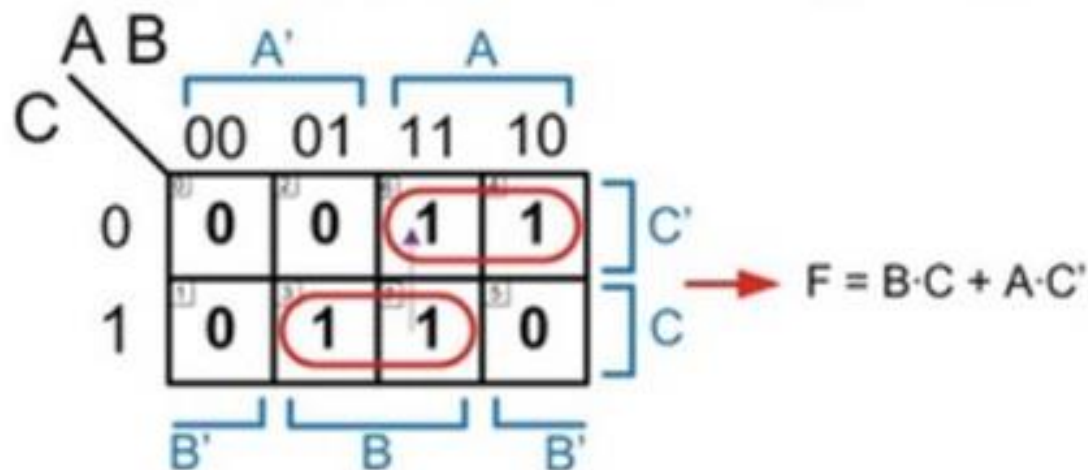


Hazard động:

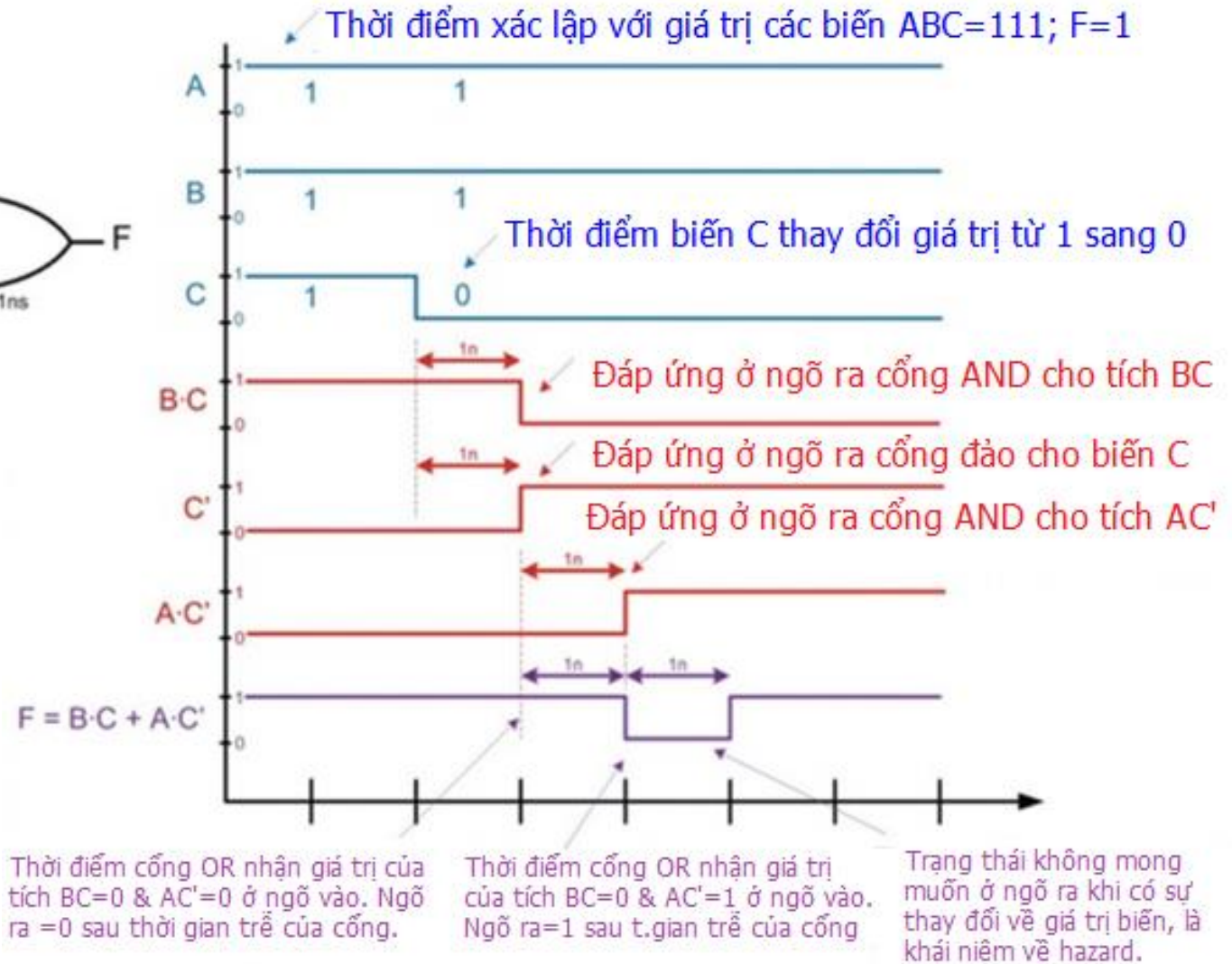
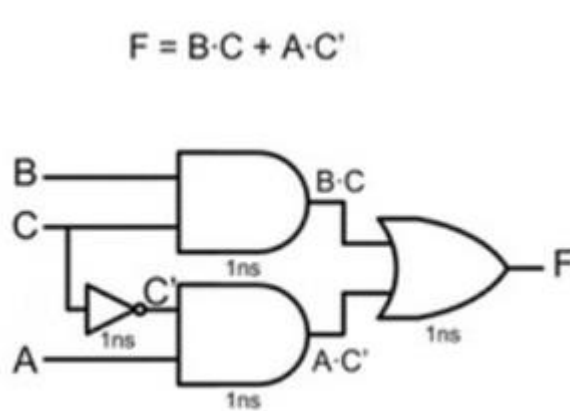
tín hiệu thay đổi lên hoặc xuống



Ví dụ Xét đáp ứng của hàm f sau, khi biến C thay đổi giá trị từ 1 sang 0 của tổ hợp các biến $ABC=111$.



Khảo sát đáp ứng của hàm F



Giải pháp khắc phục hazard

C \ A B	A' (00 01)		A (11 10)	
	00	01	11	10
0	0	0	1	1
1	0	1	1	0

$$F = B \cdot C + A \cdot B + A \cdot C'$$

