

Điểm	ĐỀ THI CUỐI KỲ - Ngày thi: 26/12/2019 MÔN: KỸ THUẬT SỐ Thời gian làm bài: 100 phút – KHÔNG sử dụng tài liệu Làm bài ngay trên đề thi – Đề thi bao gồm 8 câu Sinh viên trình bày cách làm đầy đủ	Chữ ký giám thị
Họ và tên: MSSV: Nhóm:		

		(1) Beginning	(2) Developing	(3) Accomplished	(4) Exemplary
<u>Câu 1 (1.5đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 2 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 3 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 4 (1.0đ)</u>					
<u>Câu 5 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 6 (2.5đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 7 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 8 (1.0đ)</u>					
<u>Tổng cộng (10đ)</u>					

Câu 1: (1.5đ) Hệ chuyển mã có chức năng chuyển từ mã nhị phân 4 bit $\mathbf{B} = \mathbf{B}_3\mathbf{B}_2\mathbf{B}_1\mathbf{B}_0$ (\mathbf{B}_3 : MSB) biểu diễn cho số BCD 8421 sang mã nhị phân 4 bit $\mathbf{F} = \mathbf{F}_3\mathbf{F}_2\mathbf{F}_1\mathbf{F}_0$ (\mathbf{F}_3 : MSB). Biết rằng F là biểu diễn nhị phân cho số bù 9 của giá trị B. Ví dụ: $\mathbf{B} = 0011$ thì ngõ ra $\mathbf{F} = 9 - \text{giá trị}(\mathbf{B}) = 9 - 3 = 6 = 0110$.

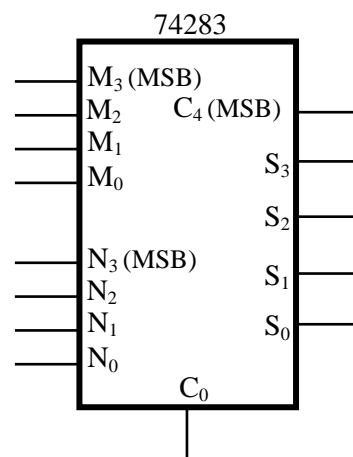
a. Lập bảng chân trị của hệ. (0.5đ)

Ngõ vào B				Ngõ ra F			
\mathbf{B}_3	\mathbf{B}_2	\mathbf{B}_1	\mathbf{B}_0	\mathbf{F}_3	\mathbf{F}_2	\mathbf{F}_1	\mathbf{F}_0
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

b. Sử dụng bìa K rút gọn hàm ngõ ra F_2 dưới dạng SOP. (0.5đ)

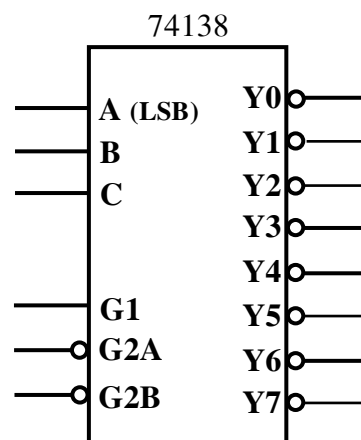
F_2 B_3B_2	B_1B_0			
	00	01	11	10
00				
01				
11				
10				

c. Thực hiện (thiết kế) hệ chuyển mã trên chỉ sử dụng 01 IC cộng 4 bit **74283** và cổng logic cần thiết. (0.5đ)

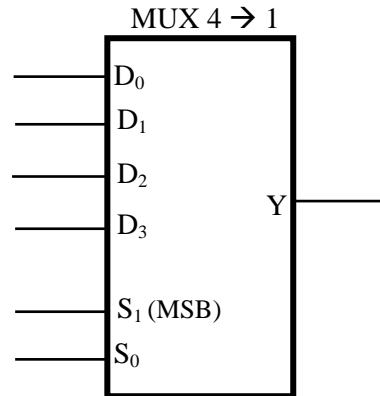


Câu 2: (1.0 đ) Cho hàm $F(A, B, C, D) = A\bar{B}C + [A \oplus (B + D)]C$

a. Cài đặt hàm F chỉ sử dụng 01 Decoder 3 \rightarrow 8 (IC 74138) và 01 cổng AND. (0.5đ)

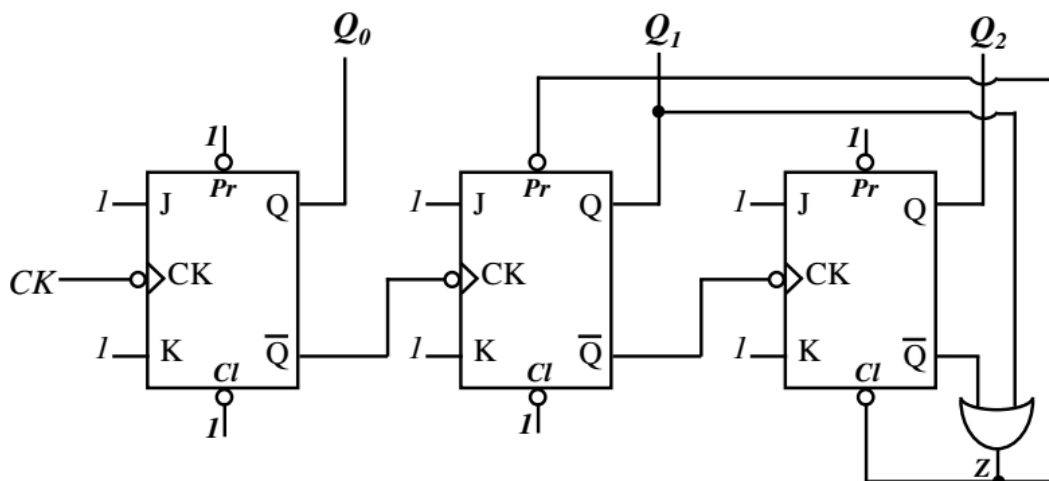


- b. Cài đặt hàm **F** sử dụng **MUX 4 → 1** và các cổng logic nếu cần. (0.5đ)



Câu 3: (1.0 đ) Cho hệ tổ hợp có ngõ vào là một số nhị phân 8 bit $\mathbf{X} = \mathbf{X_7X_6X_5X_4X_3X_2X_1X_0}$ (X_7 : MSB), ngõ ra \mathbf{Y} của hệ biểu diễn tổng số bit 1 có trong ngõ vào. Ví dụ: $\mathbf{X} = 00110101 \rightarrow \mathbf{Y} = 0100$. Thiết kế hệ chỉ sử dụng các bộ cộng toàn phần Full Adder (FA), không sử dụng thêm cổng logic nào khác.

Câu 4: (1.0đ) Cho sơ đồ thiết kế bộ đếm 3 bit $Q_2Q_1Q_0$ (Q_2 : MSB) sử dụng JK flip-flop như hình bên dưới. Trình bày cách xác định chu kỳ đếm (hay dãy đếm) và modulo của bộ đếm.



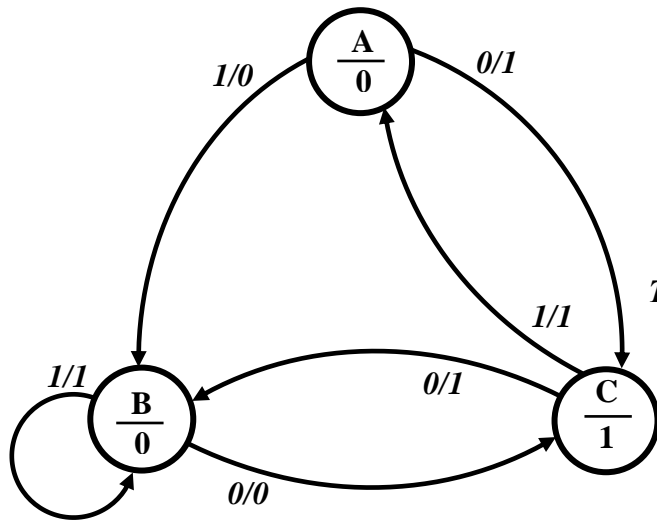
Câu 5: (1.0đ) Một mạch tuần tự đồng bộ kiểu Moore kích cạnh lên. Tín hiệu ngõ ra Z sẽ trở thành 1 mỗi khi giá trị của tín hiệu ngõ vào W không thay đổi trong hai xung clock liên tiếp (0,0 hay 1,1). Các trường hợp còn lại Z bằng 0. Với trạng thái reset $S0$ là trạng thái chưa có bit nào vào và ngõ ra $Z = 0$.

Ví dụ

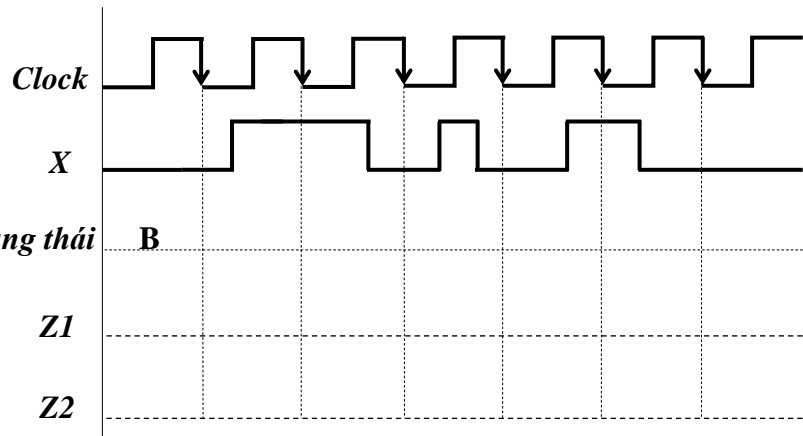
Ngõ vào W:	0	1	1	0	0	0	1	1	0	1	1	1	0	1	0	...	
Ngõ ra Z:	0	0	1	0	1	1	0	1	0	0	1	1	1	0	0	0	...

Thành lập bảng chuyển trạng thái tối thiểu của hệ trên.

Câu 6: (2.5đ) Cho hệ tuần tự có giản đồ trạng thái (graph trạng thái) như hình vẽ. Hệ có 1 ngõ vào là **X**, 2 ngõ ra **Z1** (kiểu **MOORE**) và **Z2** (kiểu **MEALY**). Khi có xung clock cạnh xuống thì hệ chuyển trạng thái.

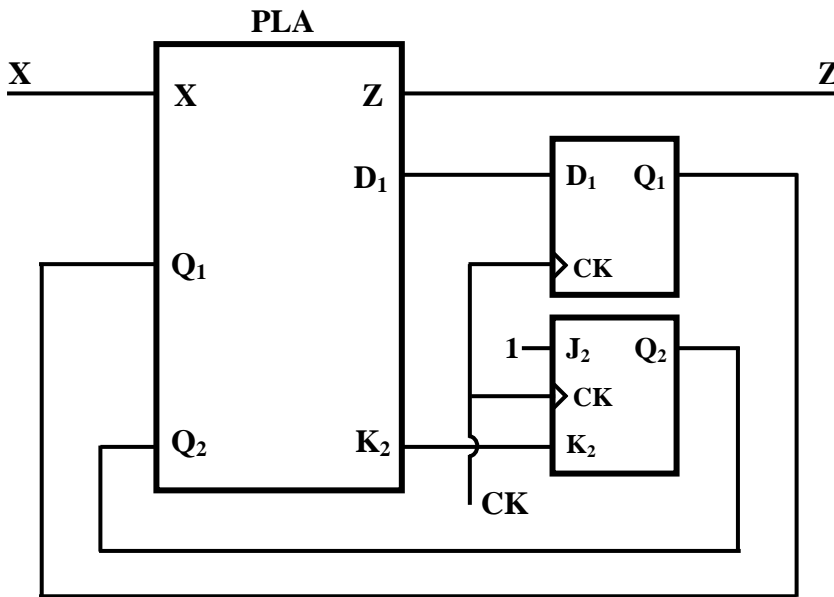


a. Xác định trạng thái kế tiếp và vẽ xung ngõ ra **Z1**, **Z2** theo xung ngõ vào **X** và Clock. Biết rằng trạng thái ban đầu là **B**. (1.0đ)



b. Với gán trạng thái **Q₁Q₂** (**Q₁**: MSB): **A = 11**, **B = 10**, và **C = 01**. Thiết kế hệ trên bằng **PLA** và **T-FF**. (1.5đ)

Câu 7: (1.0đ) Hệ tuần tự có 1 ngõ vào **X** và 1 ngõ ra **Z**, được thiết kế bằng PLA và FF như hình vẽ . Hãy vẽ giản đồ trạng thái (graph trạng thái) của hệ.



Bảng nạp PLA

X	Q₁	Q₂	Z	D₁	K₂
-	-	1	1	1	0
0	0	-	0	1	0
0	-	-	0	0	1
-	0	-	0	0	1

Q₁, Q₂: các biến trạng thái (Q₁: MSB)

Câu 8: (1.0đ) Cho mạch tổ hợp được mô tả bằng mã VHDL như sau:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity cau_8 is
port(x: in  STD_LOGIC_vector(2 downto 0);
     z : out STD_LOGIC);
end cau_8;

architecture structure of cau_8 is
signal nx:std_logic_vector(2 downto 0);
signal f :std_logic_vector(0 to 3);

component nand4_gate
port (a,b,c,d : in  STD_LOGIC;
      s : out STD_LOGIC);
end component;

begin
nx <= not x;
user0: nand4_gate port map (nx(2),nx(1),x(0),x(0),f(0));
user1: nand4_gate port map (nx(2),x(1),x(1),nx(0),f(1));
user2: nand4_gate port map (x(2),nx(1),nx(0),'1',f(2));
user3: nand4_gate port map (x(2),x(1),x(0),'1',f(3));
user4: nand4_gate port map (f(0),f(1),f(2),f(3),z);
end structure;
```

- a. Vẽ sơ đồ logic của hệ tổ hợp được mô tả ở trên. **Lưu ý:** sinh viên ghi chú đầy đủ tên các tín hiệu trung gian (signal) lên hình vẽ. Giả sử cho trước component **nand4_gate** thực hiện chức năng ngõ ra bằng NAND logic 4 tín hiệu ngõ vào: $s = \overline{a.b.c.d}$ (0.5đ).

- b. Chứng minh ngõ ra **z** được mô tả tương đương với 1 cổng logic (0.5đ).