

Điểm	ĐỀ THI CUỐI KỲ - Ngày thi: 20/12/2017 MÔN: KỸ THUẬT SỐ Thời gian làm bài: 110 phút – KHÔNG sử dụng tài liệu Làm bài ngay trên đề thi – Đề thi bao gồm 8 câu Sinh viên trình bày cách làm đầy đủ	Chữ ký giám thị
Họ và tên: MSSV: Nhóm:		

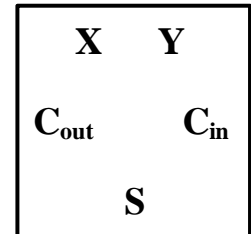
		(1) Beginning	(2) Developing	(3) Accomplished	(4) Exemplary
<u>Câu 1 (2.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 2 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 3 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 4 (1.0đ)</u>					
<u>Câu 5 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 6 (1.5đ)</u>					
<u>Câu 7 (1.5đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Câu 8 (1.0đ)</u>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<u>Tổng cộng (10đ)</u>					

Câu 1: (2.0đ)

- a) Thiết kế các cổng logic NOT, AND (2 ngõ vào), OR (2 ngõ vào), XOR (2 ngõ vào) từ cổng NAND (2 ngõ vào)
- b) Mô tả thiết kế cổng XOR (có 2 ngõ vào x, y và ngõ ra z) dùng ngôn ngữ VHDL (sử dụng mô tả cấu trúc, cho sẵn thiết kế cổng NAND 2 ngõ vào, component ***NAND_2*** có ngõ vào là u, v và ngõ ra là t)

Câu 2: (1.0đ)

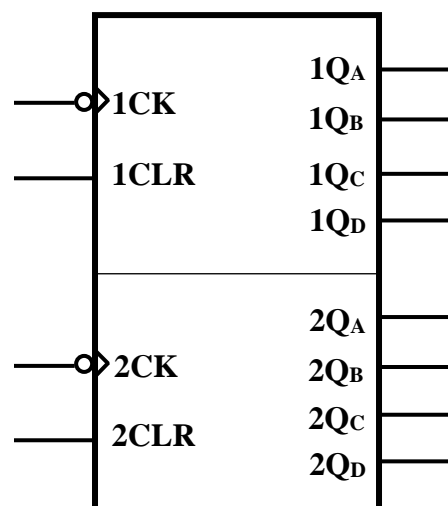
Chỉ dùng các bộ cộng toàn phần (Full-Adder) để thiết kế hàm $f(w, x, y, z) = \overline{(w + xyz)}$ (trình bày và giải thích cách làm)



Câu 3: (1.0đ)

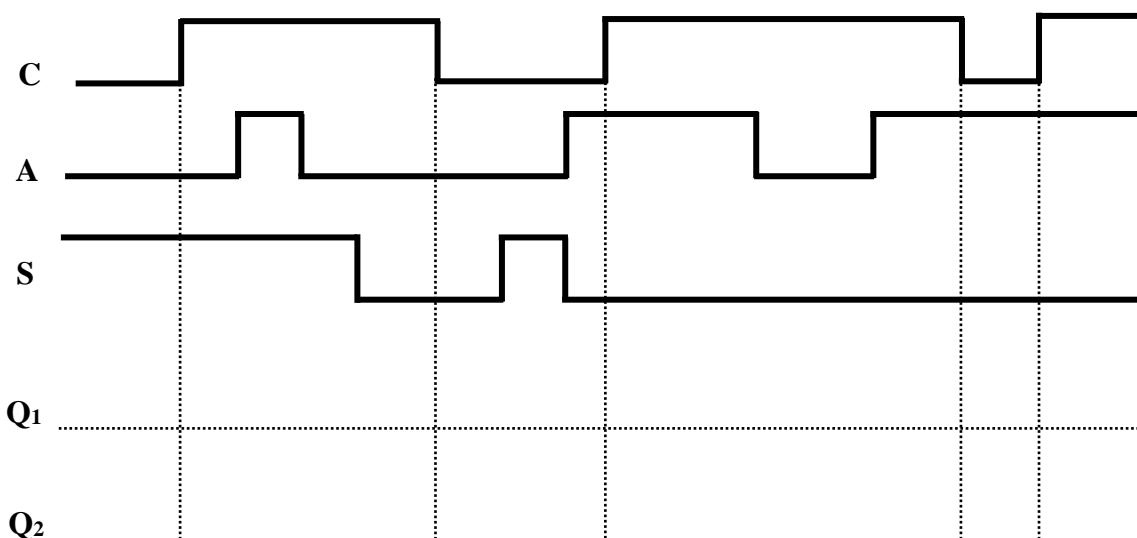
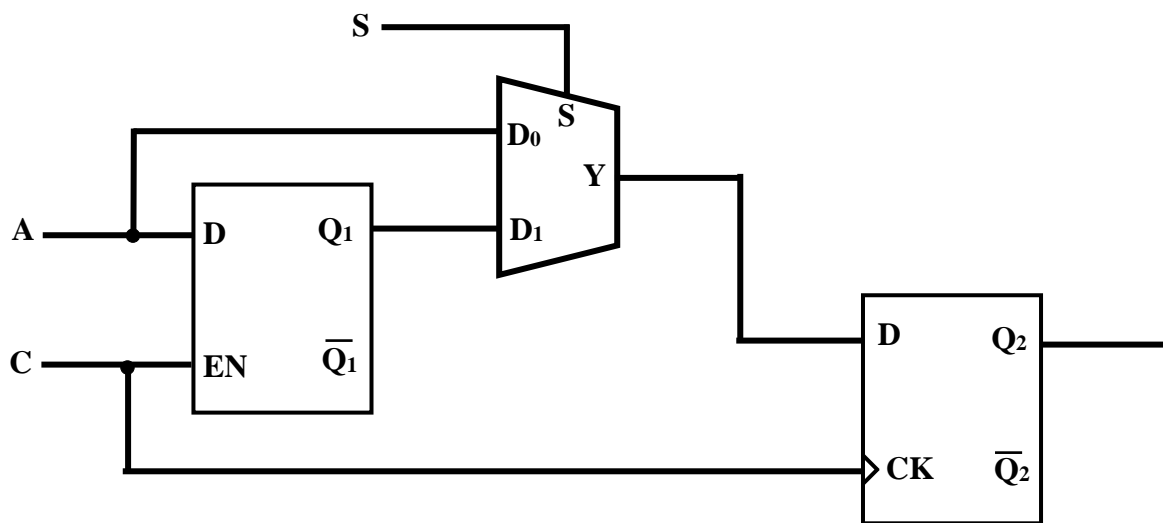
Sử dụng IC 74393 và các cổng logic, hãy thiết kế bộ đếm nhị phân có dãy đếm từ 0 đến 42 (trình bày và giải thích cách làm). Cho biết IC 74393 gồm 2 bộ đếm lên 4 bit, có sơ đồ chân như hình bên dưới, trong đó các bit Q_D là MSB.

CLR	CK	Q_D	Q_C	Q_B	Q_A
1	X	0	0	0	0
0	0, 1, 2	NO CHANGE			
0	3	COUNT UP			



Câu 4: (1.0đ)

Cho sơ đồ mạch logic sau, hãy hoàn thành giản đồ xung bên dưới (cho biết trạng thái ban đầu của $Q_1 = 0$ và $Q_2 = 1$)



Câu 5: (1.0đ)

Hệ thống cung cấp thức ăn và nước uống tự động cho thú cưng gồm 2 ngõ vào là 2 nút nhấn RED, BLUE; và 2 ngõ ra là tín hiệu FOOD, WATER để kích hoạt máy cung cấp thức ăn và nước uống

- Nút RED (tín hiệu R; khi nhấn nút $R=1$, ngược lại $R=0$): khi con vật đói muốn ăn thì cần nhấn nút RED 3 lần liên tiếp. Khi đó tín hiệu F (FOOD) = 1 để kích hoạt máy cung cấp thức ăn.

- Nút BLUE (tín hiệu B; khi nhấn nút $B=1$, ngược lại $B=0$): khi con vật khát muốn uống thì cần nhấn nút BLUE 2 lần liên tiếp. Khi đó tín hiệu W (WATER) = 1 để kích hoạt máy cung cấp nước uống.

Chú ý:

- Khi tín hiệu kích hoạt F hay W bằng 1, nếu nhấn 1 nút bất kỳ hệ thống sẽ trở lại trạng thái reset

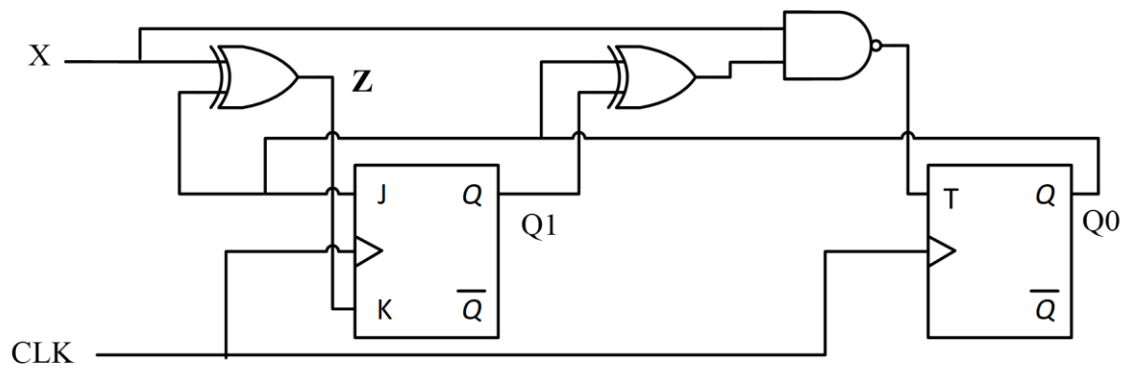
- Ở mỗi thời điểm, chỉ có 1 nút nhấn.

- Các nút nhấn cần phải được tác động liên tiếp, nếu có 1 nút sai trình tự, máy trạng thái sẽ quay trở về trạng thái ban đầu. (ví dụ: khi các nút nhấn được tác động theo trình tự (RED, RED, BLUE), máy trạng thái quay về trạng thái đầu reset).

Hãy thành lập giản đồ trạng thái hoặc bảng chuyển trạng thái mô tả hệ thống trên theo kiểu MOORE

Câu 6: (1.5đ)

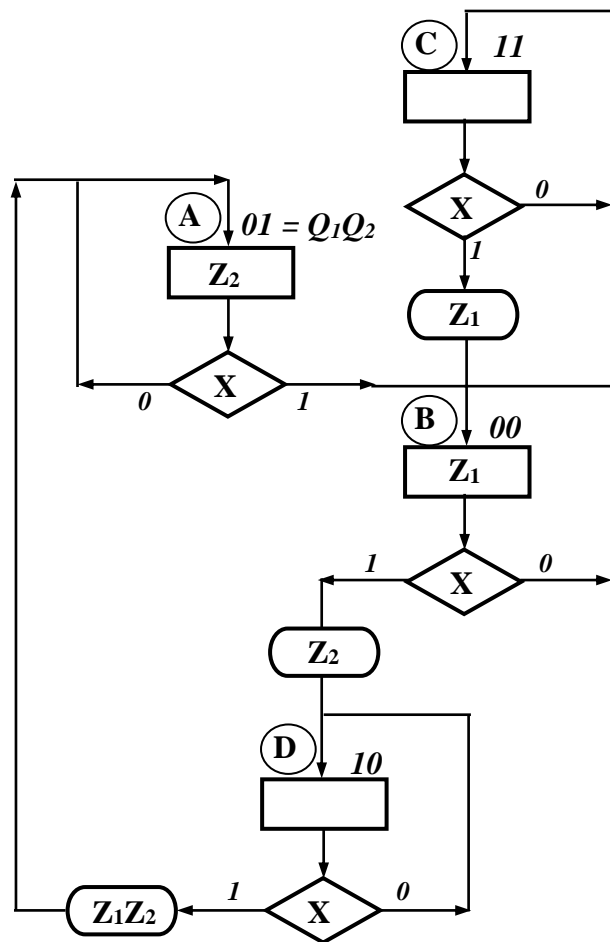
Cho sơ đồ mạch của hệ tuần tự gồm 1 ngõ vào X và 1 ngõ ra Z:



a. Hãy xác định các biểu thức ngõ vào của các Flipflop và ngõ ra Z

b. Vẽ giản đồ trạng thái (trình bày cách làm)

Câu 7: (1.5đ)



a. Xác định phương trình các ngõ ra và các biến trạng thái kế tiếp

b. Thiết kế hệ trên bằng PLA và JK-FF có xung clock kích cạnh xuống

Câu 8: (1.0đ)

Bộ xử lý toán học (AU - Arithmetic Unit) là một mạch tổ hợp để xử lý các tác vụ về toán học dựa trên hai số hạng. Hãy thiết kế một AU (chỉ sử dụng bộ cộng toàn phần và các cổng logic cần thiết), có chức năng thực hiện các phép toán với A và B (là 2 số nhị phân 4 bit $A_3A_2A_1A_0$ và $B_3B_2B_1B_0$) tùy theo 2 ngõ điều khiển S1, S0; ngõ ra là F (4 bit, $F_3F_2F_1F_0$)

S1	S0	Chức năng	Giải thích
0	0	$A + B$	A cộng B
0	1	$A + 1$	A cộng 1
1	0	$A - B$	A trừ B
1	1	$A - B - 1$	A trừ B trừ 1

Hướng dẫn: Tìm biểu thức liên hệ giữa các ngõ vào của bộ cộng toàn phần (x, y, C_0) với các ngõ vào của bộ AU (A, B, S1, S0)