


<b>Giảng viên ra đề:</b> (Chữ ký và Họ tên)	(Ngày ra đề)	<b>Người phê duyệt:</b> (Chữ ký, Chức vụ và Họ tên)	(Ngày duyệt đề)
--	--------------	--	-----------------

 TRƯỜNG ĐH BÁCH KHOA – ĐHQG-HCM KHOA ĐIỆN-ĐIỆN TỬ	KIỂM TRA CUỐI KỲ		Học kỳ/năm học		1	2023-2024
			Ngày thi		24/12/2023	
	Môn học	Kỹ thuật số				
	Mã môn học	EE1009				
	Thời lượng	90 phút	Mã đề	0001		
<b>Ghi chú:</b> - Sinh viên <b>KHÔNG</b> được sử dụng tài liệu. - Sinh viên làm bài trực tiếp lên đề thi. - Đề thi gồm 4 trang.						

**Câu 1: (L.O.4)(1.5đ)** Chỉ sử dụng một IC cộng 4 bit 74LS283 và các cổng logic cần thiết, trình bày chi tiết cách thiết kế mạch chuyển đổi số nhị phân 4 bit  $X_3X_2X_1X_0$  thành số BCD.

Số nhị phân 4 bit có giá trị từ  $0 \rightarrow 15$ ;

Số BCD có 10 từ mã từ  $0 \rightarrow 9$ ;

Chuyển số nhị phân 4 bit  $X_3X_2X_1X_0$  thành số BCD có

2 decade:

Nếu  $X < 10$ : decade thứ 1  $A_2B_2C_2D_2 = 0000$ ;

decade thứ 2  $A_1B_1C_1D_1 = X_3X_2X_1X_0 + 0000$

Nếu  $X \geq 10$ : decade thứ 1  $A_2B_2C_2D_2 = 0001$ ;

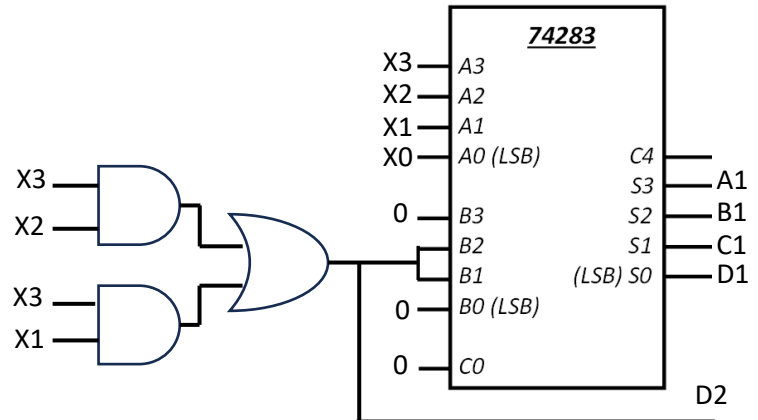
decade thứ 2  $A_1B_1C_1D_1 = X_3X_2X_1X_0 + 0110$

→  $A_3A_2A_1A_0 = X_3X_2X_1X_0$ ;  $B_3 = B_0 = 0$ ;

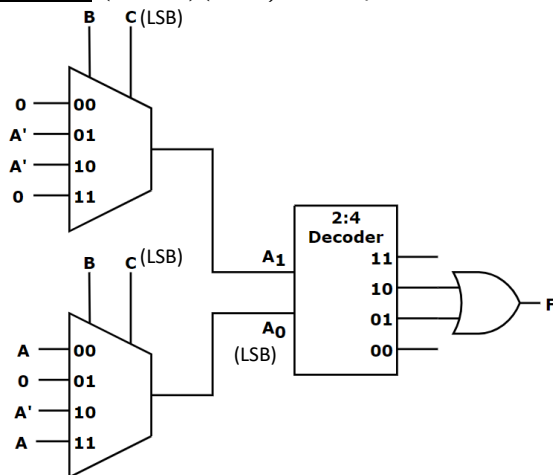
$B_2 = B_1 = D_2 = \sum(10, 11, \dots, 15)$

→  $B_2 = B_1 = D_2 = X_3X_2 + X_3X_1$

**Bổ sung:** D2 có thể lấy ngõ ra C4



**Câu 2: (L.O.4)(1.5đ)** Xác định biểu thức tối giản của hàm Boole  $F(A,B,C)$



A	B	C	A1	A0	F
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	1	0
0	1	1	0	0	0
1	0	0	0	1	1
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	1	1

$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + ABC$$

$$\text{hoặc } F = \bar{B}(A \oplus C) + ABC = \bar{A}\bar{B}C + A(\bar{B} \oplus \bar{C})$$

Ngõ ra 2 bộ MUX 4->1:  $A1 = \bar{A}\bar{B}C + \bar{A}B\bar{C}$   $A0 = \bar{A}B\bar{C} + \bar{A}\bar{B}C + ABC$

$$F = A1\bar{A}0 + \bar{A}1A0 = (\bar{A}\bar{B}C + \bar{A}B\bar{C})(\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC) + (\bar{A}\bar{B}C + \bar{A}B\bar{C})(\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC)$$

$$= (\bar{A}\bar{B}C + \bar{A}B\bar{C})(\bar{A} + B + C)(A + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C}) + (\bar{A}\bar{B}C + \bar{A}B\bar{C})(\bar{A} + B + \bar{C})(A + \bar{B} + C)(\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC)$$

$$= (\bar{A}\bar{B}C + \bar{A}B\bar{C})(A + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C}) + (A + B + \bar{C})(\bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC)$$

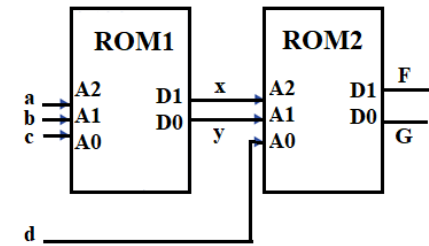
$$= (\bar{A}\bar{B}C)(\bar{A} + \bar{B} + \bar{C}) + (\bar{A}B\bar{C} + ABC) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + ABC$$

**Xác định đúng A1, A0: mỗi hàm 0.5 điểm.**

**Xác định đúng hàm F: 0.5 điểm.**

MSSV: ..... Họ và tên SV: ..... Trang 1

**Câu 3: (L.O.4)(1đ)** Để thực hiện 2 hàm Boole  $F(a,b,c,d)=abc+d$  và  $G = a'$ , người thiết kế sử dụng 2 bộ nhớ ROM với kích thước 8x2(bit) như hình vẽ. Xác định bảng nạp ROM cho 2 bộ nhớ trên, biết  $x=a$ ,  $y=abc$ .



$$F = abc + d = y + d = A_1 + A_0$$

$$G = \bar{a} = \bar{x} = \bar{A}_2$$

Bảng nạp ROM1 (0.5đ)

a	b	c	x	y
A2	A1	A0	D1	D0
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

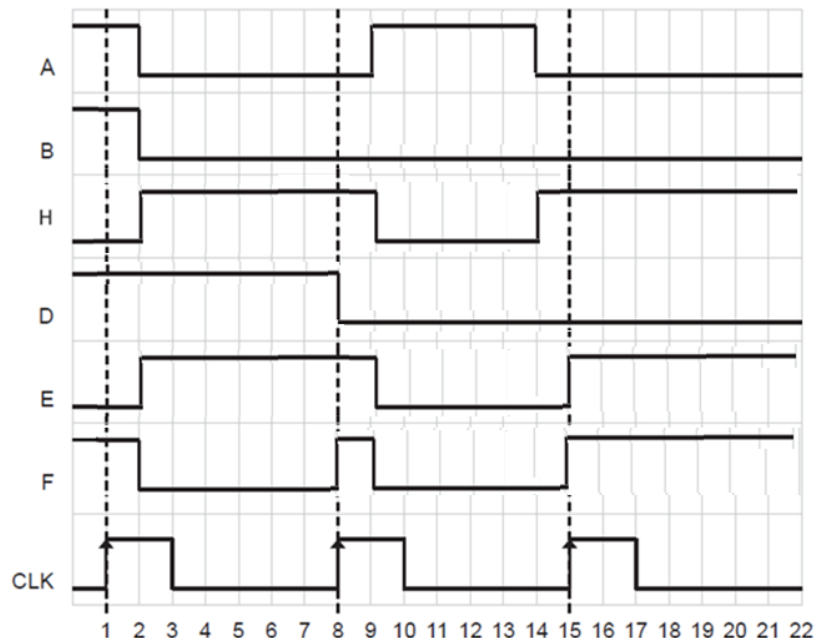
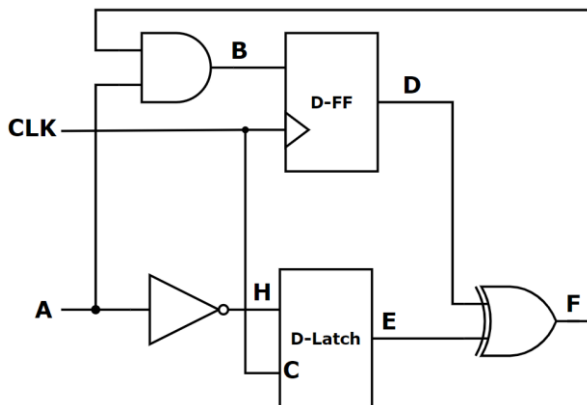
Bảng nạp ROM2 (0.5đ)

x	y	d	F	G
A2	A1	A0	D1	D0
0	0	0	0	1
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

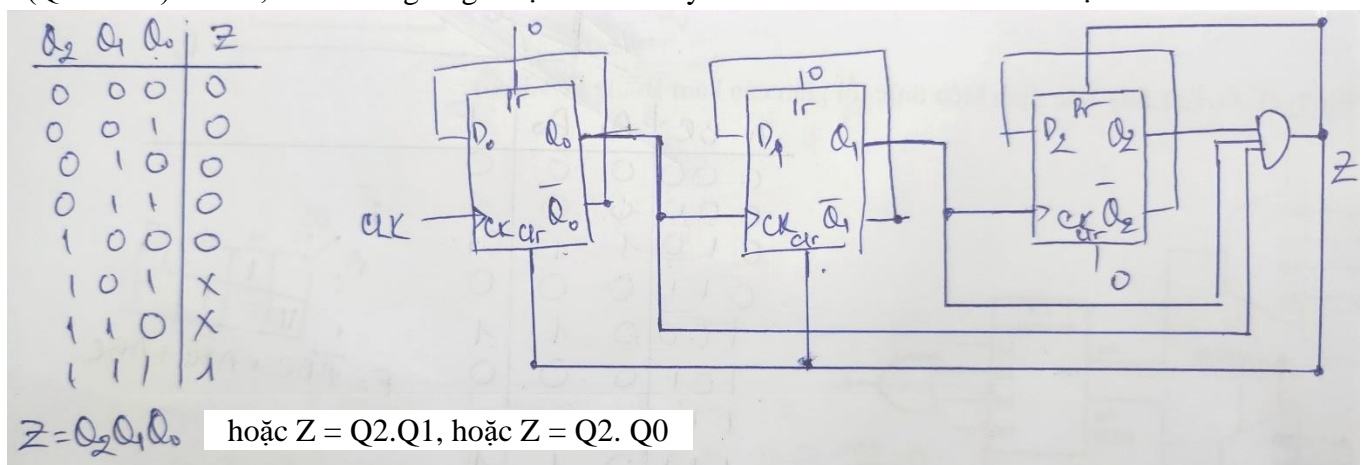
**Câu 4: (L.O.5)(1đ)** Xét mạch logic sau, biết D-FF có ngõ vào clock kích cạnh lên và D latch có ngõ vào cho phép tích cực mức cao. Hoàn tất giản đồ xung của các tín hiệu B, H, D, E, F:

(mỗi tín hiệu đúng: 0.2đ)

- $B = A \cdot F$
- $H = A'$
- $D = B \uparrow$
- $E = H$  (khi  $C = 1$ )
- $F = D \oplus E$



**Câu 5: (L.O.5)(1đ)** Sử dụng D-FF có ngõ vào xung clock kích theo cạnh lên, các ngõ vào bất đồng bộ Preset (Pr) và Clear (Cl) tích cực mức cao, thiết kế bộ đếm nối tiếp (bộ đếm bất đồng bộ) 3 bit  $Q_2Q_1Q_0$  ( $Q_2$ : MSB) mod 5, đếm xuống từ giá trị 4. Trình bày chi tiết và vẽ sơ đồ thiết kế bộ đếm.

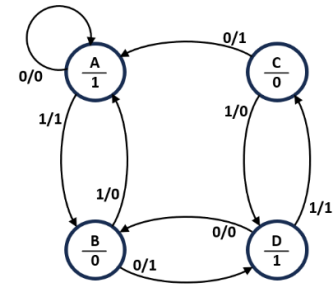


Có thể không cần Z nối vào Pr của  $Q_2$

**Câu 6: (L.O.5)(2đ)**

Cho hệ tuần tự có 1 ngõ vào X; 2 ngõ ra: Z1 kiểu Mealy và Z2 kiểu Moore. Hệ có giản đồ trạng thái (graph trạng thái) như hình vẽ.

a. (1.5đ) Gán trạng thái A là  $Q_1Q_2=00$ ; B là  $Q_1Q_2=11$ ; C là  $Q_1Q_2=01$  và D là  $Q_1Q_2=10$ . Hãy thiết kế hệ trên với T.FF cho biến trạng thái  $Q_1$  và JK.FF cho biến trạng thái  $Q_2$  (các FF có xung clock kích cạnh xuống). Sử dụng PLA có số ngõ vào, ngõ ra và số hạng tích ít nhất có thể.



(0.5đ)

X	Q1	Q2	Z1	Z2	Q1 <sup>+</sup>	Q2 <sup>+</sup>	T1	J2	K2
0	0	0	0	1	0	0	0	0	X
0	0	1	1	0	0	0	0	X	1
0	1	0	0	1	1	1	0	1	X
0	1	1	1	0	1	0	0	X	1
1	0	0	1	1	1	1	1	1	X
1	0	1	0	0	1	0	1	X	1
1	1	0	1	1	0	1	1	1	X
1	1	1	0	0	0	0	1	X	1

$$Z1 = X \overline{Q2} + \overline{X} Q2$$

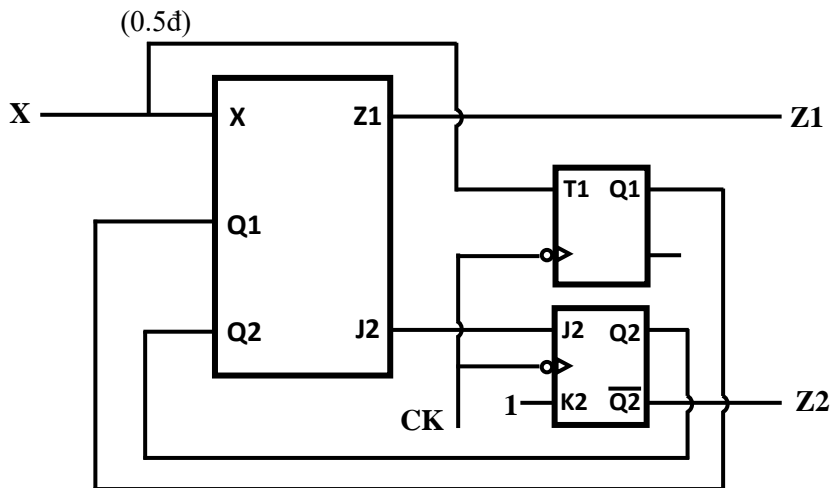
$$Z2 = \overline{Q2}$$

$$T1 = X$$

$$J2 = X + Q1$$

$$K2 = 1$$

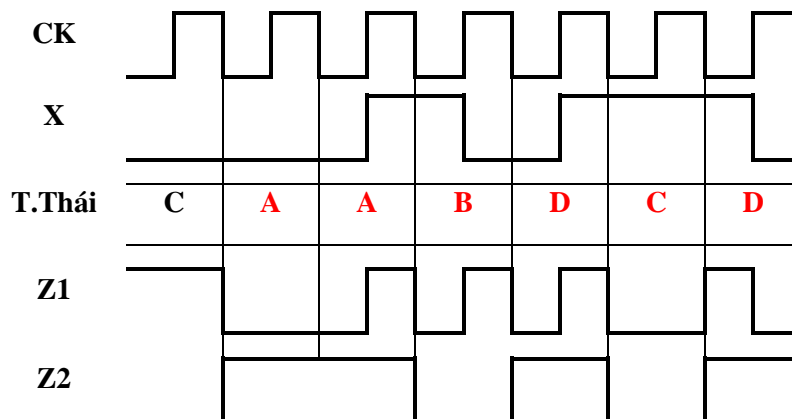
(0.5đ)



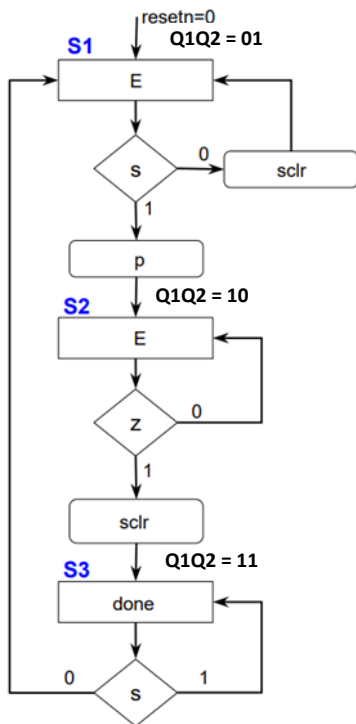
**Bảng nạp PLA**

X	Q1	Q2	Z1	J2
1	-	0	1	0
0	-	1	1	0
1	-	-	0	1
-	1	-	0	1

b. (0.5đ) Khảo sát giá trị ngõ ra và trạng thái kế tiếp



**Câu 7: (L.O.5)(1đ)** Cho lưu đồ SM như hình vẽ.



a. (0.75đ) Xác định biểu thức của các ngõ ra (E, done, p, sclr) và biến trạng thái kế tiếp ( $Q_1^+$ ,  $Q_2^+$ )

Ngõ ra TT kế tiếp

$$E = \overline{Q_1}Q_2 + Q_1\overline{Q_2}$$

$$Q_1^+ = zQ_1\overline{Q_2} + sQ_1Q_2 + s\overline{Q_1}Q_2 + \overline{z}Q_1\overline{Q_2}$$

$$done = Q_1Q_2$$

$$= Q_1\overline{Q_2} + sQ_2$$

$$p = s\overline{Q_1}Q_2$$

$$Q_2^+ = \overline{s}Q_1Q_2 + \overline{s}\overline{Q_1}Q_2 + zQ_1\overline{Q_2} + sQ_1Q_2$$

$$sclr = zQ_1\overline{Q_2} + \overline{s}\overline{Q_1}Q_2$$

$$= Q_1Q_2 + \overline{s}\overline{Q_1}Q_2 + zQ_1\overline{Q_2}$$

SV không rút gọn các pt này thì vẫn chấm đủ điểm

b. (0.25) Từ lưu đồ SM, mô tả trạng thái S2 theo dạng bảng chuyển trạng thái.

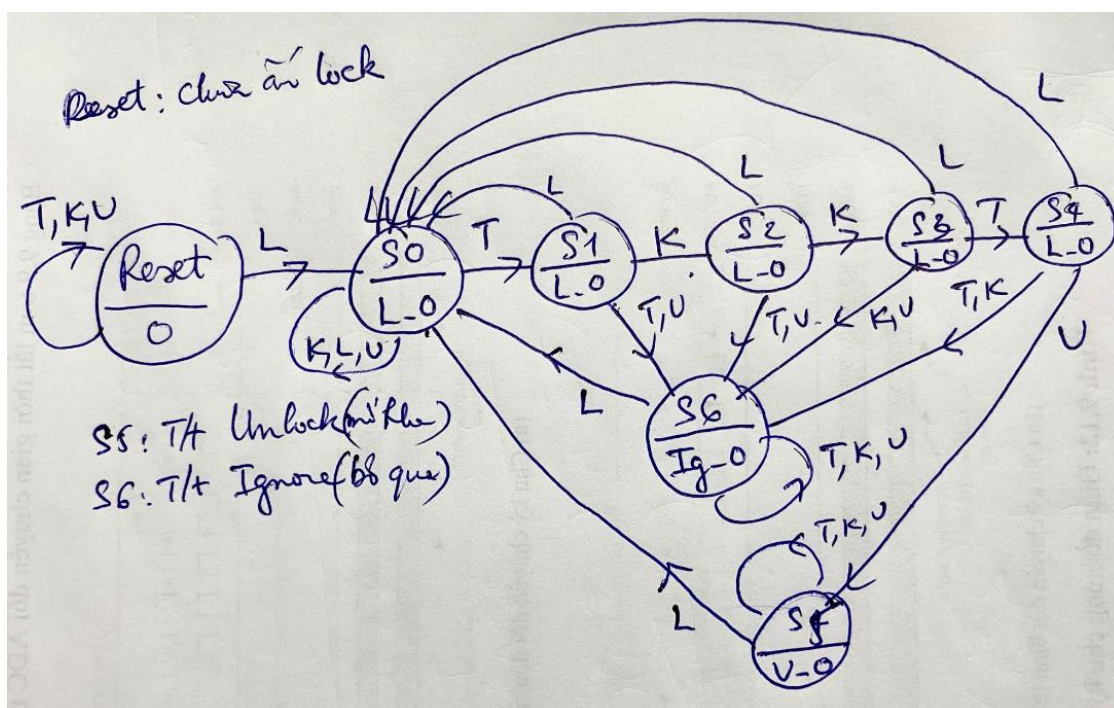
TTHT	TTKT				Ngõ ra (E,done,p,sclr)			
	sz=00	01	10	11	sz=00	01	10	11
S2	S2	S3	S2	S3	1000	1001	1000	1001

**Câu 8: (L.O.5)(1đ)** Khóa điện tử của một ngăn chứa bí mật có 4 nút nhấn: **T**, **K**, **Lock (L)**, and **Unlock (U)**; và 3 ngõ ra: **Locked (L\_O)**, **Unlocked (U\_O)**, **IgnoringInput (Ig\_O)**. Khóa điện tử này hoạt động theo nguyên lý sau:

- Khi khóa đang đóng, người dùng cần nhập mã khóa theo đúng thứ tự **T K K T Unlock** để mở khóa ( $U_O = 1$ ).
- Khi nút Lock được nhấn, khóa sẽ đóng ( $L_O = 1$ ) và xóa trình tự tất cả các nút đã được nhấn trước đó.
- Khi nhấn mở không đúng trình tự, khóa sẽ bỏ qua tất cả các nút được nhấn sau đó ( $Ig_O = 1$ ) cho tới khi nút Lock được nhấn.

Quy ước: mỗi thời điểm chỉ được nhấn 1 nút và khi nút được nhấn sẽ tạo ra tín hiệu ngõ vào bằng 1.

Xây dựng giản đồ trạng thái (hoặc bảng chuyển trạng thái) của khóa điện tử trên.



**Chú ý:**

- Hình trên là hệ tuần tự kiểu Moore, có thể chọn kiểu Mealy.
- Có thể chọn trạng thái đầu là đã khóa L, bỏ trạng thái Reset
- Ở TT S0 (đã ấn Lock): khi ấn K hay U có thể chuyển tới S6 (Ignore) vì coi như không đúng trình tự

Bảng chuyển trạng thái:

TTHT	Input (T, K, L, U)	TTKT	Output (L_O, U_O, Ig_O)
<b>Reset</b> (chưa ấn Lock)	<b>L</b> T, K, U	S0 Reset	<b>0</b>
<b>S0</b> (Khóa)	<b>T</b> L <b>K, U</b>	S1 S0 S0 ( <b>S6</b> )	<b>L_O</b>
<b>S1</b> (T)	<b>K</b> T, U L	S2 S6 S0	<b>L_O</b>
<b>S2</b> (T, K)	<b>K</b> T, U L	S3 S6 S0	<b>L_O</b>
<b>S3</b> (T, K, K)	<b>T</b> K, U L	S4 S6 S0	<b>L_O</b>
<b>S4</b> (T, K, K, T)	<b>U</b> T, K L	S5 S6 S0	<b>L_O</b>
<b>S5</b> (T, K, K, T, U)	L T, K, U	S0 S5	<b>U_O</b>
<b>S6</b> (Bỏ qua)	L T, K, U	S0 S6	<b>Ig_O</b>

**Do mỗi thời điểm chỉ có 1 phím ấn, nên có bảng chuyển TT tương tự:**

Chú thích	TTHT	TTKT				Ngõ ra			
		TKLU =	1000	0100	0010	0001	L_O	U_O	Ig_O
Chưa ấn Lock	Reset		Reset	Reset	S0	Reset	0	0	0
Ấn Lock	S0		S1	S0 (S6)	S0	S0 (S6)	1	0	0
T	S1		S6	S2	S0	S6	1	0	0
T, K	S2		S6	S3	S0	S6	1	0	0
T, K, K	S3		S4	S6	S0	S6	1	0	0
T, K, K, T	S4		S6	S6	S0	S5	1	0	0
Unlock (mở khóa)	S5		S5	S5	S0	S5	0	1	0
Ignore (bỏ qua)	S6		S6	S6	S0	S6	0	0	1