

Chương 4: **HỆ TUẦN TỰ**

I. KHÁI NIỆM VỀ HỆ TUẦN TỰ

II. CÁC PHẦN TỬ NHỚ - CHÓT(Latch) , FLIPFLOP.

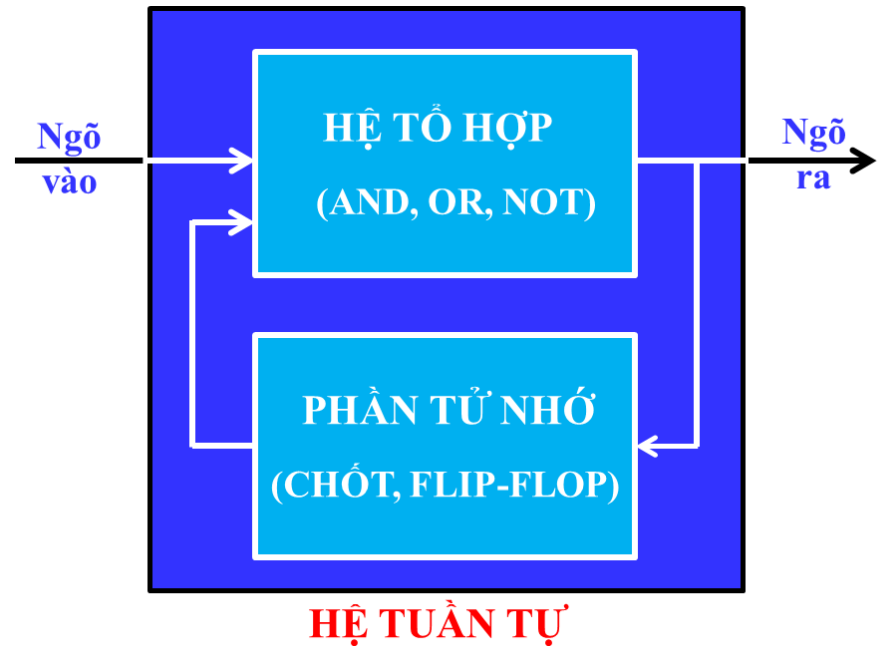
III. BỘ ĐẾM - THANH GHI DỊCH

IV. PHÂN TÍCH VÀ THIẾT KẾ HỆ TUẦN TỰ TỔNG QUÁT

V. MÁY TRẠNG THÁI - TK HỆ TUẦN TỰ DÙNG MÁY TRẠNG THÁI

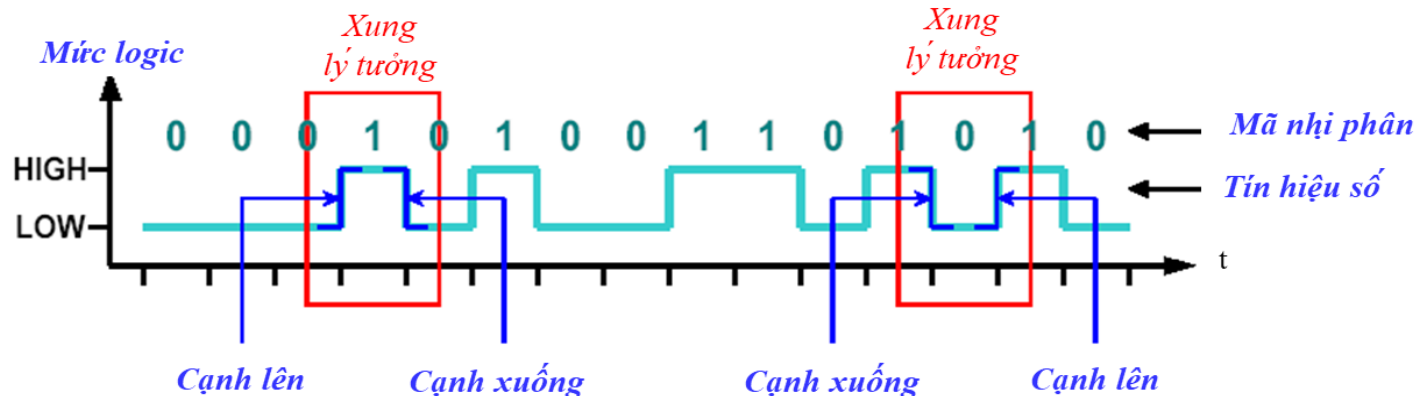
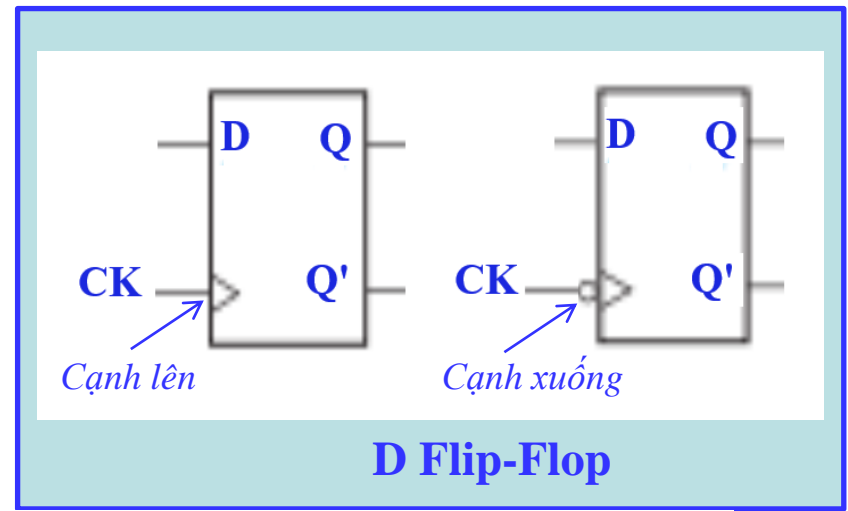
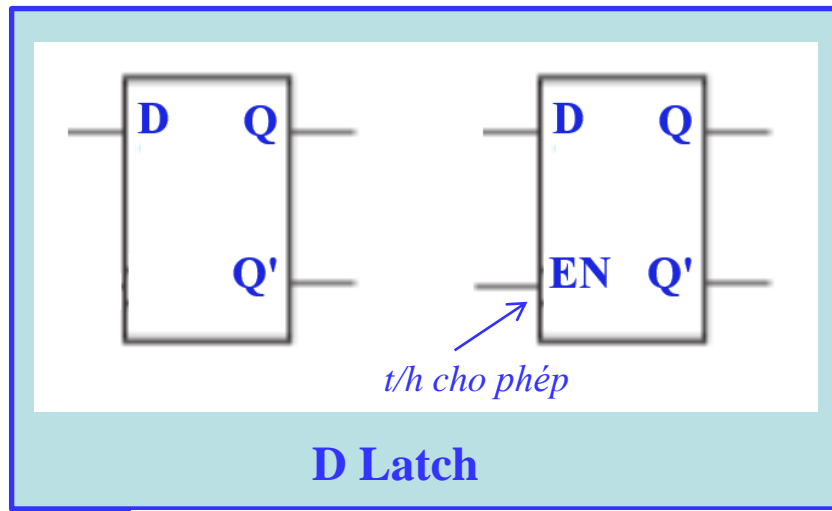
I. KHÁI NIỆM

- Các ngõ ra của một hệ tuần tự không chỉ phụ thuộc trạng thái các ngõ vào mà còn phụ thuộc trạng thái ngõ ra trước đó của hệ (được lưu giữ bởi các phần tử nhớ là chốt (Latch) hoặc FlipFlop (FF)).
- Mạch tuần tự được chia ra 2 loại: **Đồng bộ** (Synchronous) và **Bất đồng bộ** (Asynchronous).
- Hệ tuần tự đồng bộ (hay còn gọi là song song), trong hệ này các phần tử nhớ được đồng bộ bằng xung nhịp hay còn gọi là xung đồng hồ CK(Clock).
- Hệ tuần tự không đồng bộ (hay nối tiếp) hoạt động không có xung nhịp đồng bộ, các phần tử nhớ chỉ hoạt động theo hàm chức năng, có thể tác động ở bất kỳ thời điểm nào.



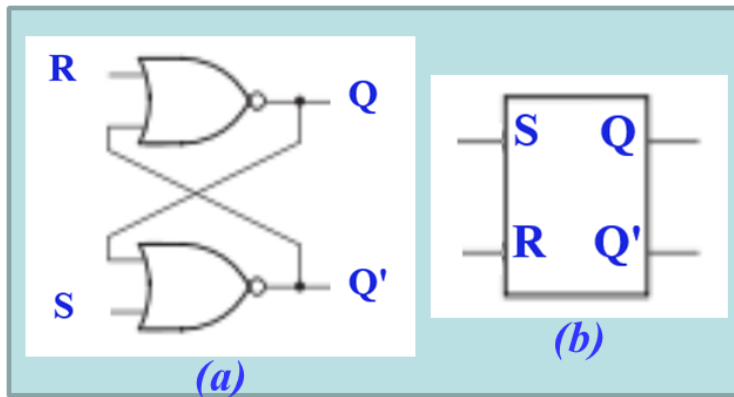
II. CÁC PHẦN TỬ NHỚ

- Các phần tử nhớ được chia làm 2 loại: **Chốt** (Latch) và **FlipFlop** (FF).
- **Chốt** là phần tử nhớ hoạt động có ngõ ra thay đổi theo sự thay đổi ở các ngõ vào thông tin. Ngõ ra của các **FlipFlop** chỉ thay đổi tại vị trí tác động của xung CK (cạnh lên hoặc cạnh xuống) theo các ngõ vào thông tin.



Các mạch chốt

a. Chốt SR (Set-Reset Latch):



Cấu trúc bên trong (a) và ký hiệu (b) của chốt SR tích cực cao

S	R	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

→

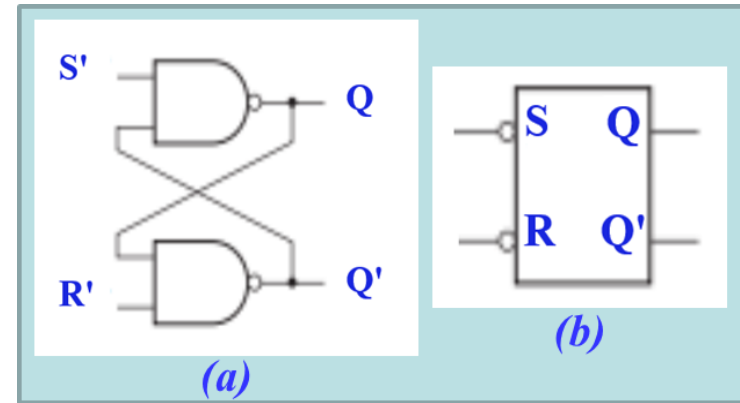
S	R	Q ⁺
0	0	Q
0	1	0
1	0	1
1	1	X

Phương trình đặc tính

$$Q^+ = S + R'Q$$

$$SR=0$$

TT cấm sử dụng



Cấu trúc bên trong (a) và ký hiệu (b) của chốt SR tích cực thấp

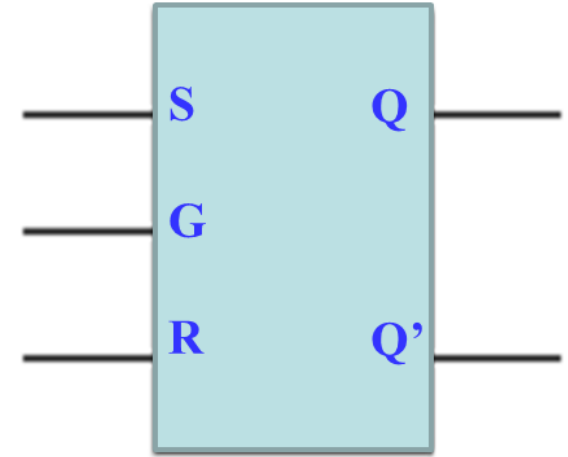
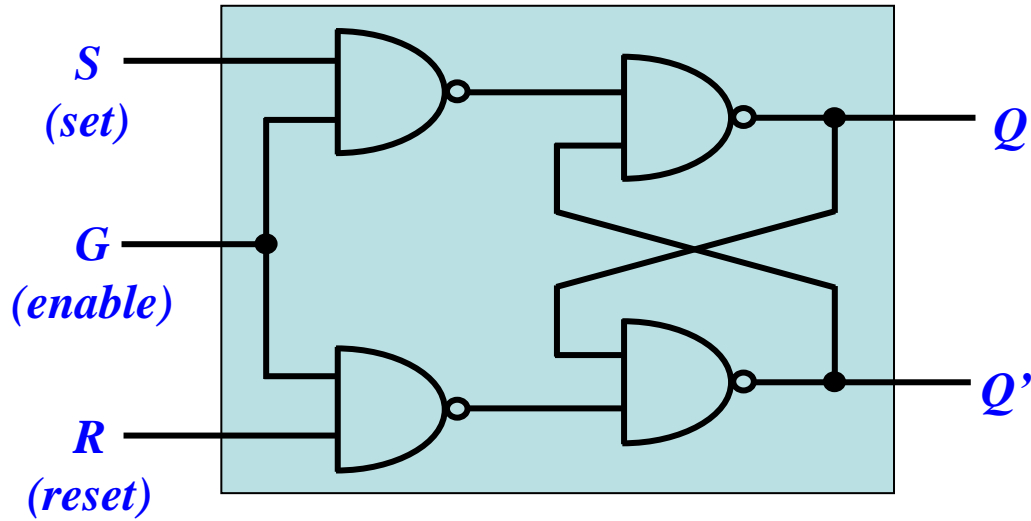
S	R	Q	Q ⁺
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

TT cấm sử dụng

→

S	R	Q ⁺
0	0	X
0	1	1
1	0	0
1	1	Q

b. Chốt SR có ngõ vào cho phép:



Ký hiệu

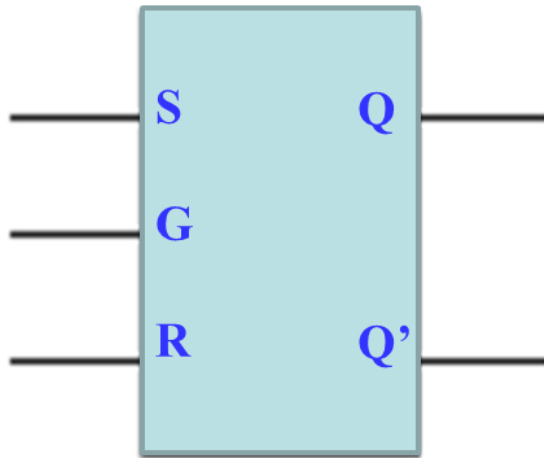
Bảng hoạt động

TTHT (PS: Present State) Q	TTKT Q^+ (NS – Next State)							
	$G = 0$				$G = 1$			
	SR 00	SR 01	SR 11	SR 10	SR 00	SR 01	SR 11	SR 10
0	0	0	0	0	0	0	1	1
1	1	1	1	1	1	0	1	1

→

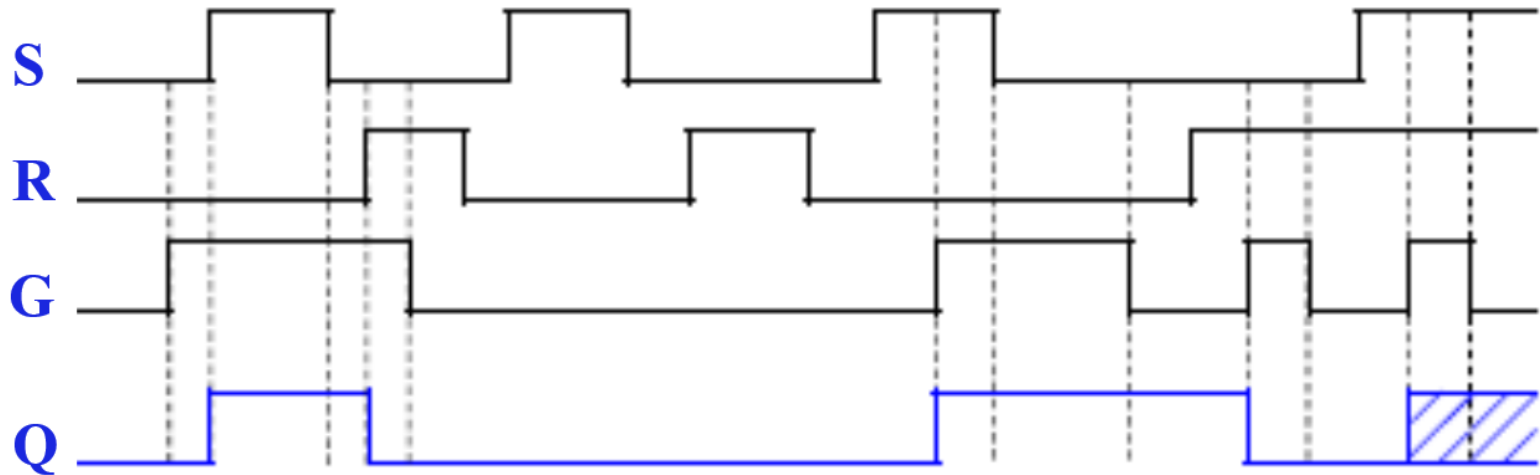
G	S	R	Q^+
0	X	X	Q
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	X

Khảo sát giản đồ xung của SR có ngõ vào cho phép tích cực cao



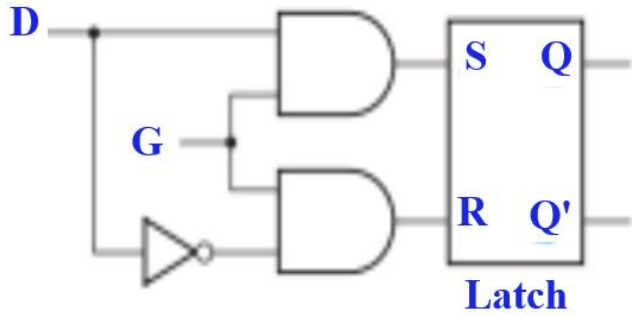
Bảng hoạt động

G	S	R	Q ⁺
0	X	X	Q
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	X



(Giả sử ban đầu $Q=0$)

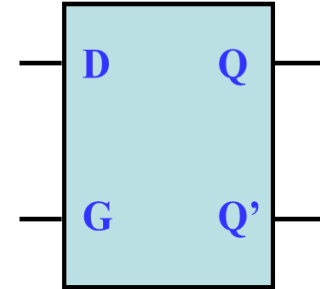
c. Chốt D



Bảng hoạt động

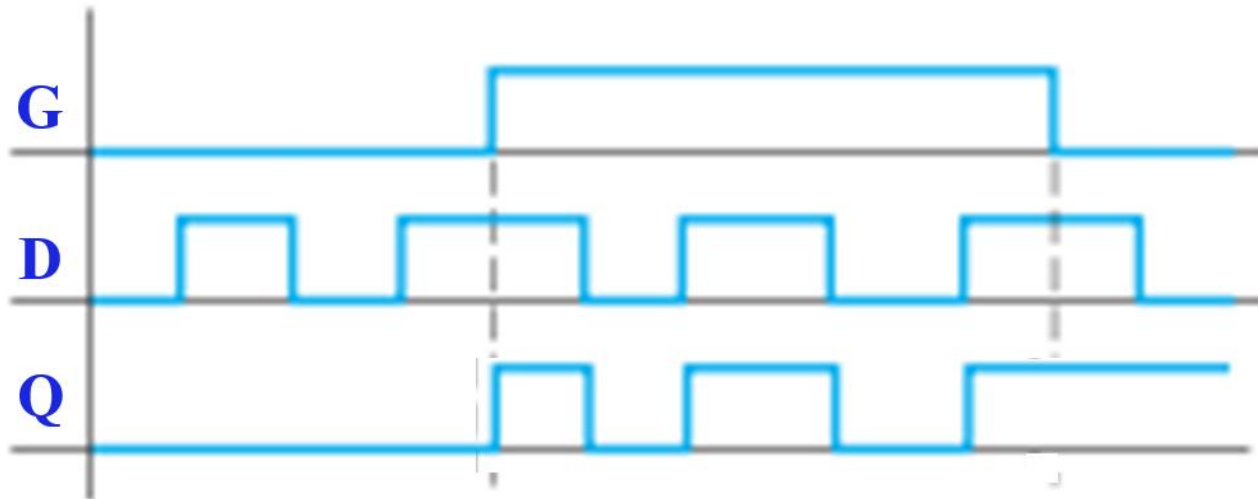
G	D	Q ⁺
0	X	Q
1	0	0
1	1	1

Ký hiệu



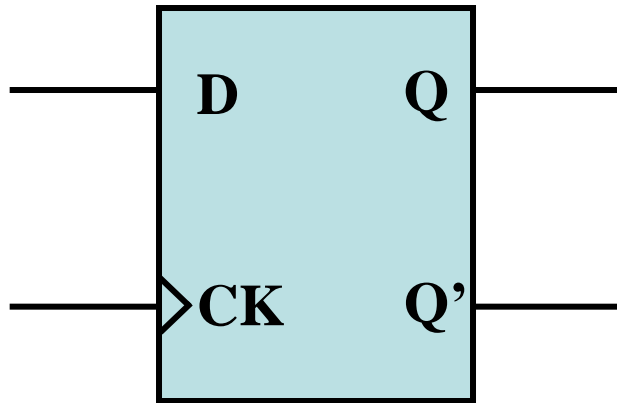
Phương trình đặc tính : $Q^+ = D$

Khảo sát giản đồ xung



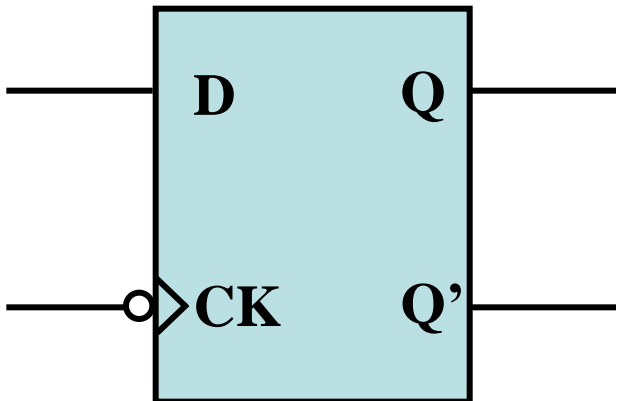
2. Flip_Flop (FF):

a. Flip_Flop D (D-FF):



Bảng hoạt động

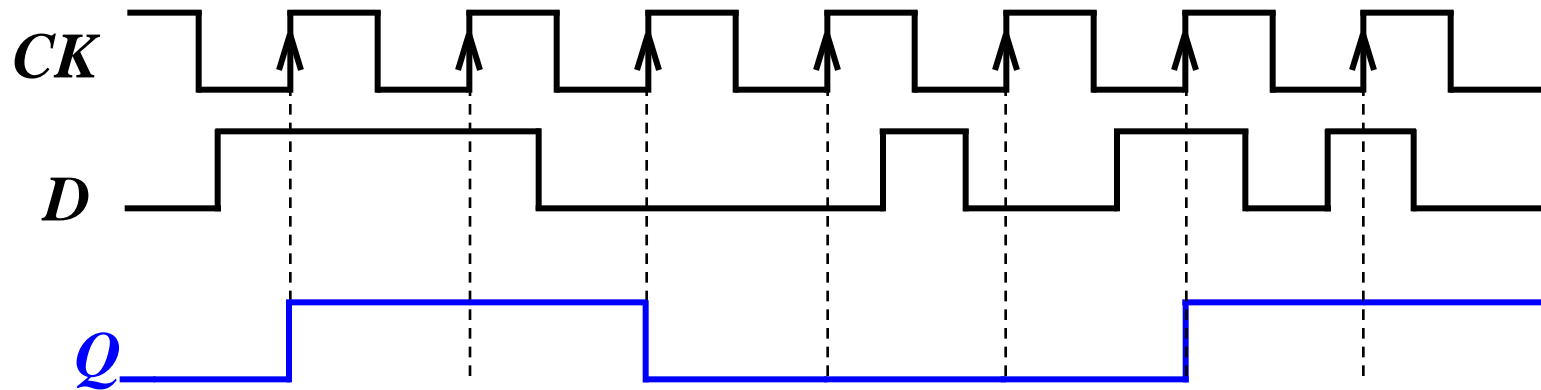
CK	D	Q ⁺
0,1,↓	X	Q
↑	0	0
↑	1	1



Bảng hoạt động

CK	D	Q ⁺
0,1,↑	X	Q
↓	0	0
↓	1	1

** Khảo sát giản đồ xung*



(Cho Q ban đầu là 0)

** Bảng đặc tính và phương trình đặc tính*

D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1

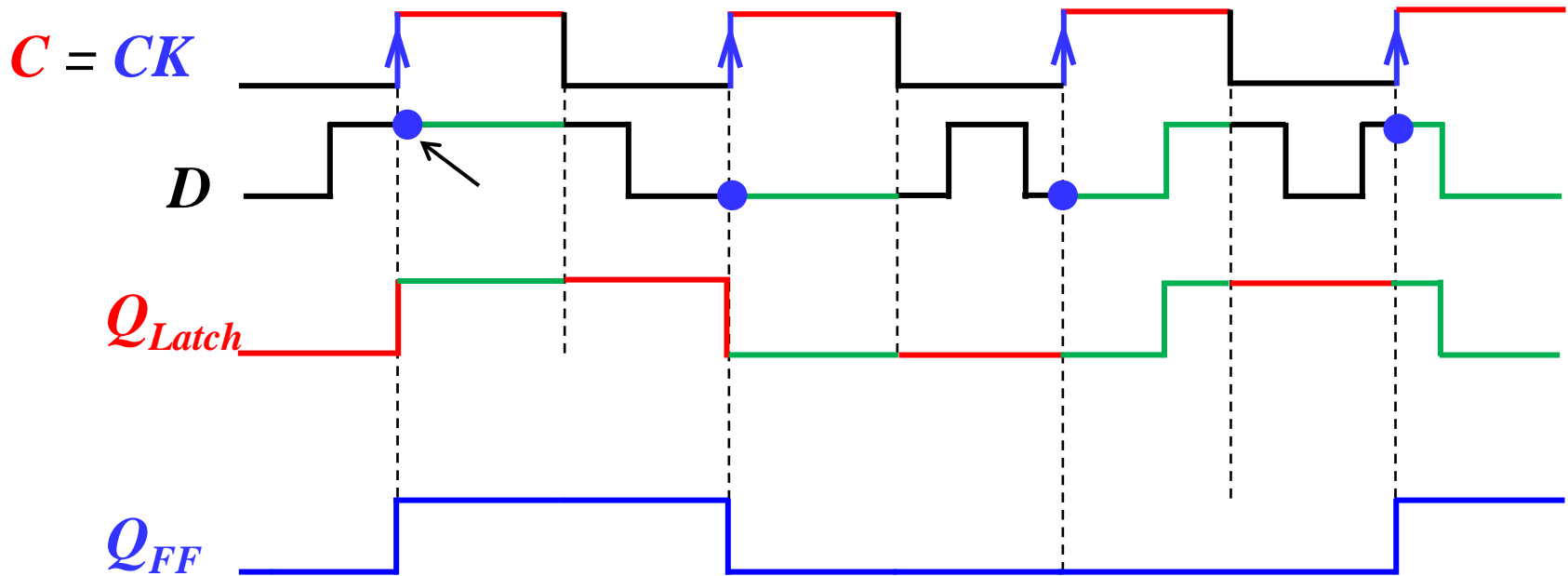
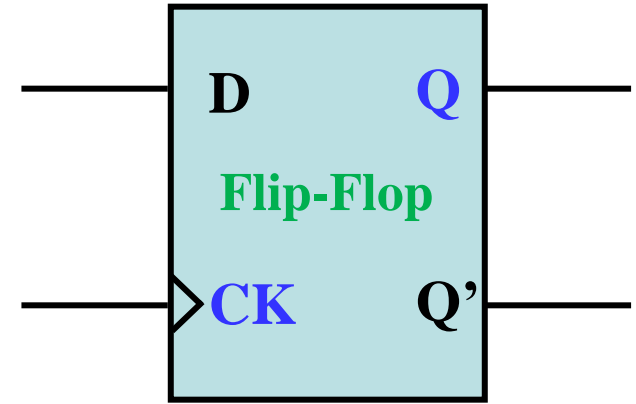
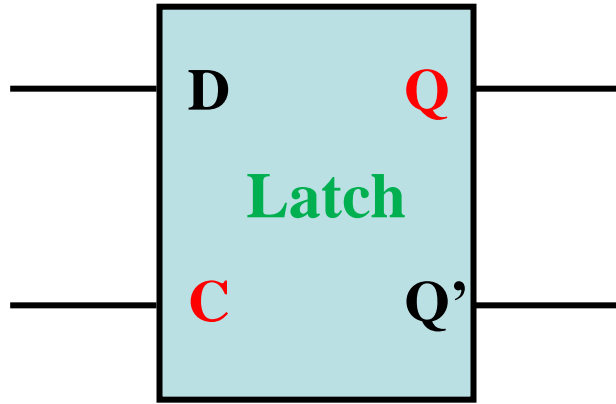
$$Q^+ = D$$

** Bảng kích thích*

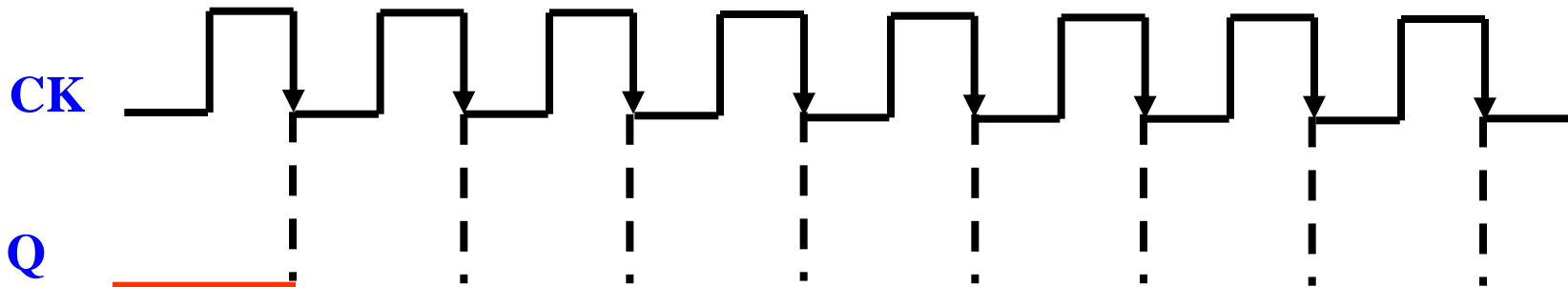
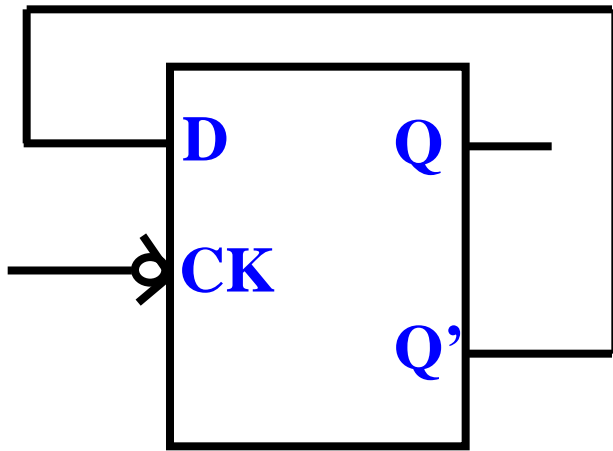
Q	Q ⁺	D
0	0	0
0	1	1
1	0	0
1	1	1

$$D = Q^+$$

** So sánh sự khác nhau giữa Chốt D và FlipFlop - D*

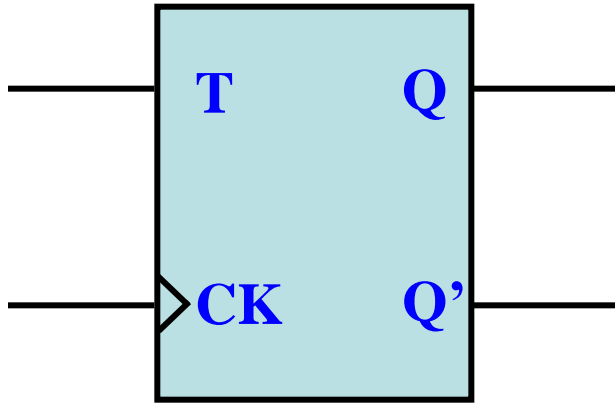


Ví dụ : Vẽ giản đồ xung tại ngõ ra Q khi có giản đồ xung CK của một D-FF (CK có cạnh xuống) như sau. Giả sử ban đầu Q=0.



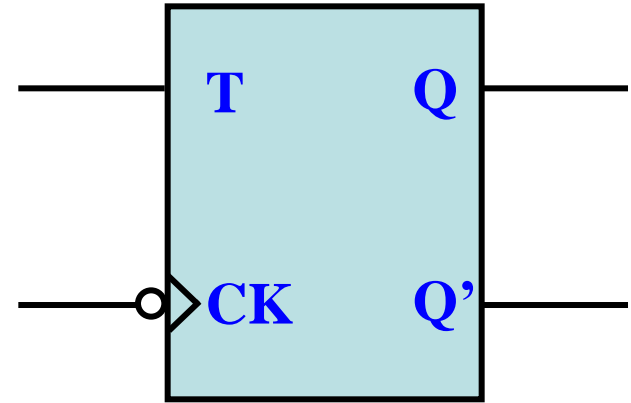
Nhận xét gì về hoạt động của FF trên?

b. Flip_Flop T (T-FF):



Bảng hoạt động

T	Q^+
0	Q
1	Q'



** Bảng đặc tính và phương trình đặc tính*

T	Q	Q^+
0	0	0
0	1	1
1	0	1
1	1	0

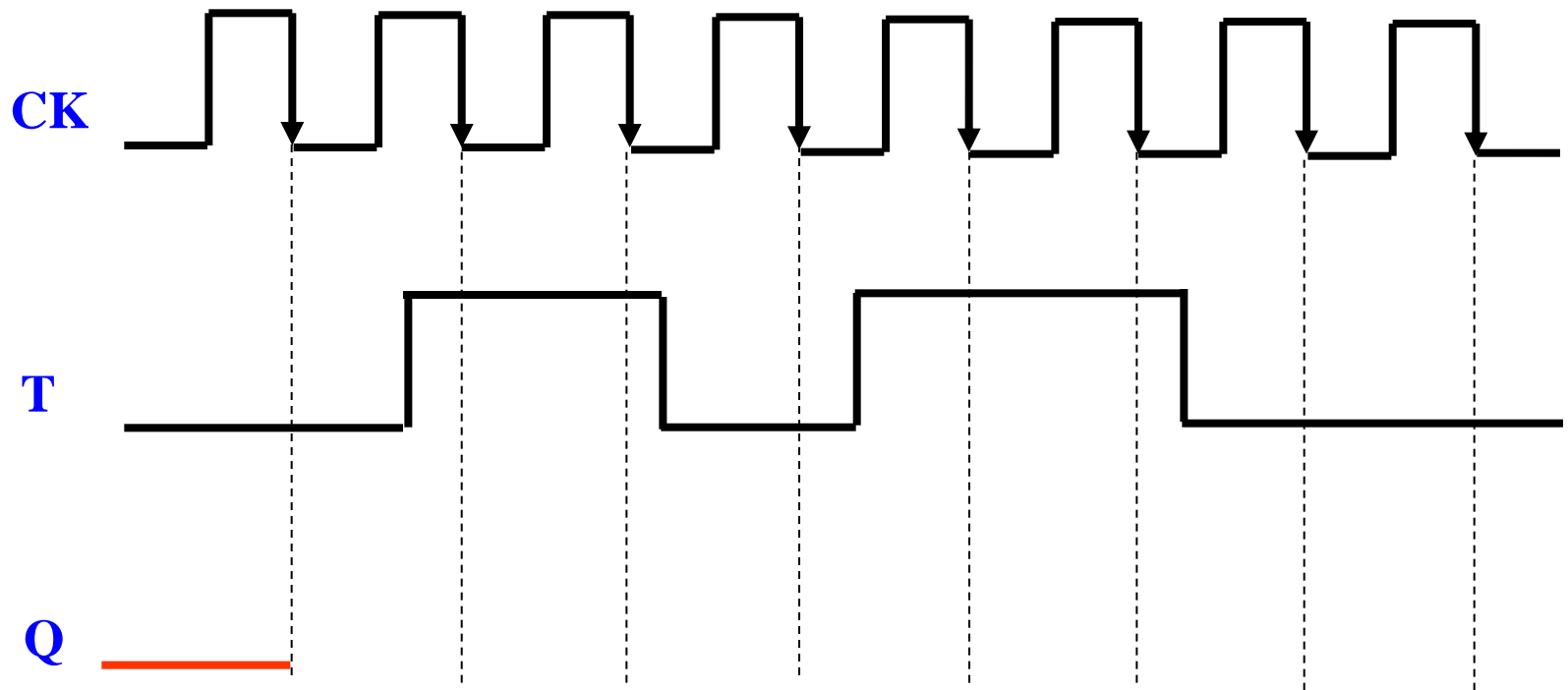
$$Q^+ = T \oplus Q$$

** Bảng kích thích*

Q	Q^+	T
0	0	0
0	1	1
1	0	1
1	1	0

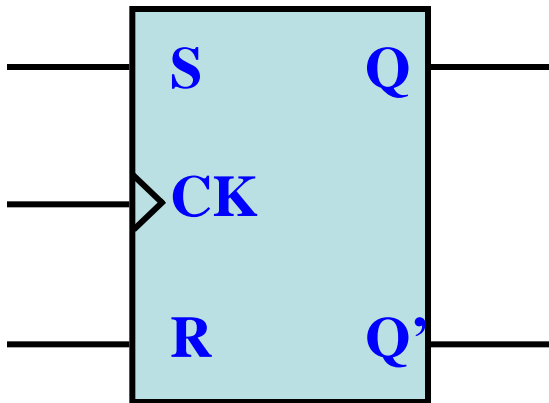
$$T = Q \oplus Q^+$$

Ví dụ : Vẽ giản đồ xung tại ngõ ra Q khi có giản đồ xung CK và ngõ dữ liệu T của một T-FF (CK có cạnh xuống) như sau. Giả sử ban đầu $Q=0$.

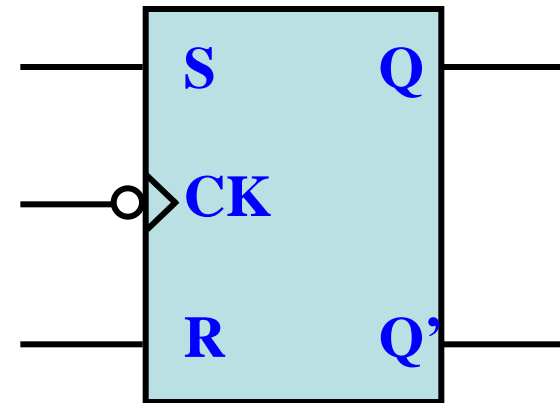


c. Flip_Flop SR (SR-FF):

Bảng hoạt động:



S	R	Q^+
0	0	Q
0	1	0
1	0	1
1	1	X



** Bảng đặc tính và phương trình đặc tính*

S	R	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

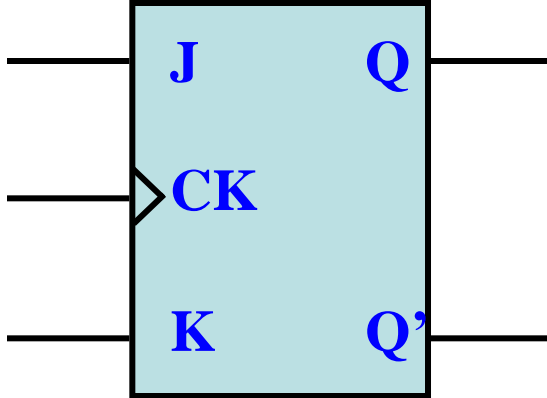
$$Q^+ = S + R'Q$$

$$SR=0$$

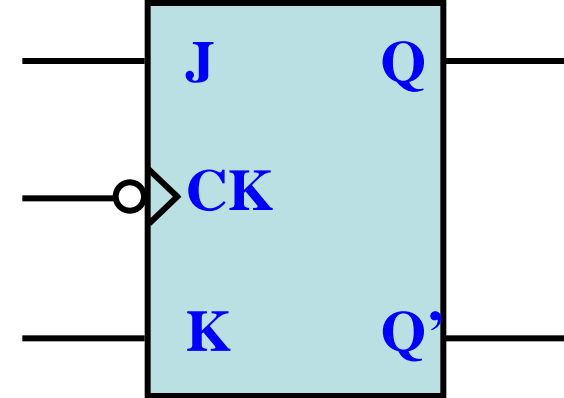
** Bảng kích thích*

Q	Q^+	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

d. Flip_Flop JK (JK-FF)



J	K	Q^+
0	0	Q
0	1	0
1	0	1
1	1	Q'



** Bảng đặc tính và phương trình đặc tính*

J	K	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

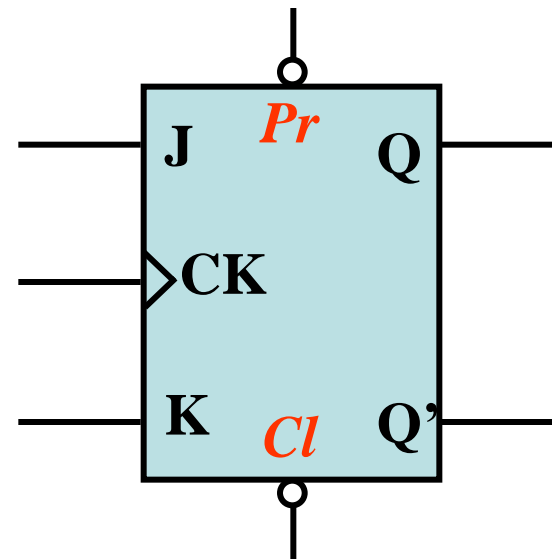
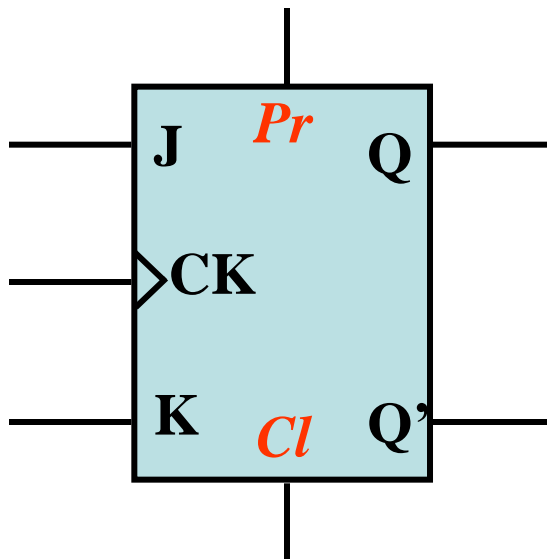
$$Q^+ = JQ' + K'Q$$

** Bảng kích thích*

Q	Q^+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

e. Các ngõ vào bất đồng bộ:

- Các ngõ vào này sẽ làm thay đổi giá trị ngõ ra tức thời, bất chấp xung clock.
- Có 2 ngõ vào bất đồng bộ: Preset (Pr) và Clear (Cl).
 - + *Khi ngõ vào Preset tích cực thì ngõ ra Q được set lên 1.*
 - + *Khi ngõ vào Clear tích cực thì ngõ ra Q được xóa về 0.*



- + *Khi ngõ vào Preset và Clear không tích cực thì FF mới hoạt động.*

Chuyển đổi qua lại giữa các FF

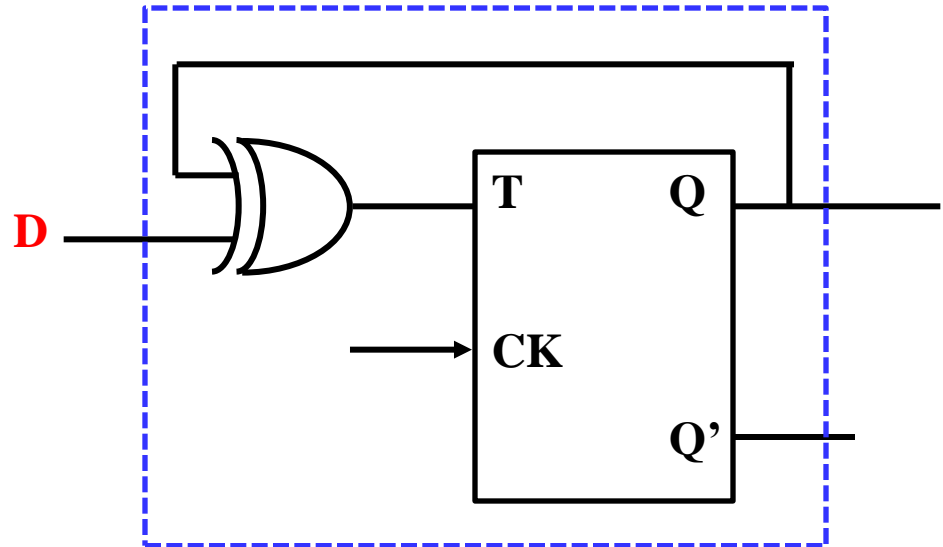
- Lập bảng kích thích giữa 2 loại FF nguồn và đích.
- Xem các ngõ vào thông tin của các FF nguồn là hàm, biến là các ngõ vào thông tin và trạng thái hiện tại của các FF đích.
- Thực hiện rút gọn hàm.
- Vẽ sơ đồ thực hiện.

VD: Chuyển T-FF sang D-FF

Q	Q+	T	D
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1

$$T = Q \oplus D$$

Nếu chuyển từ D-FF sang T-FF?



III. BỘ ĐẾM & THANH GHI DỊCH

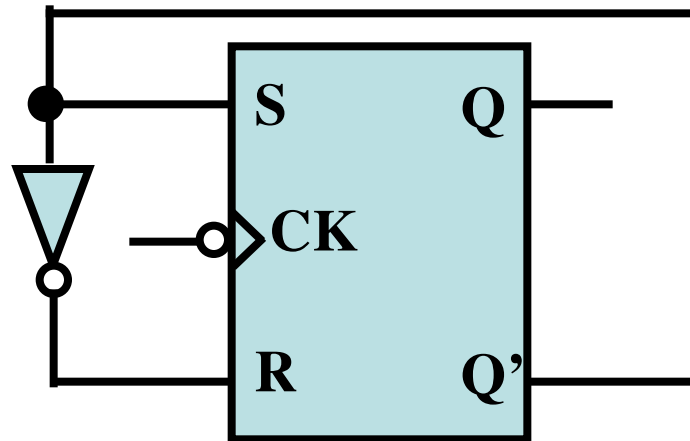
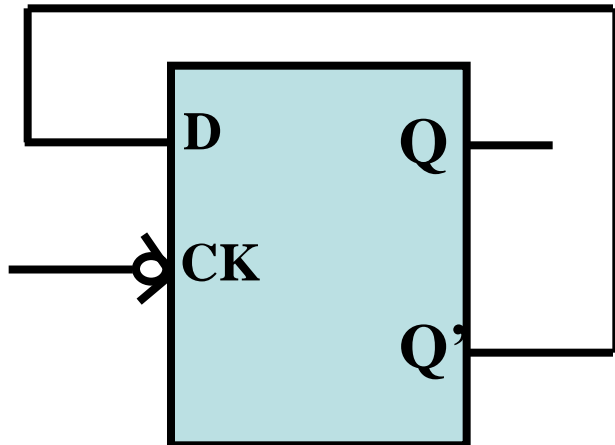
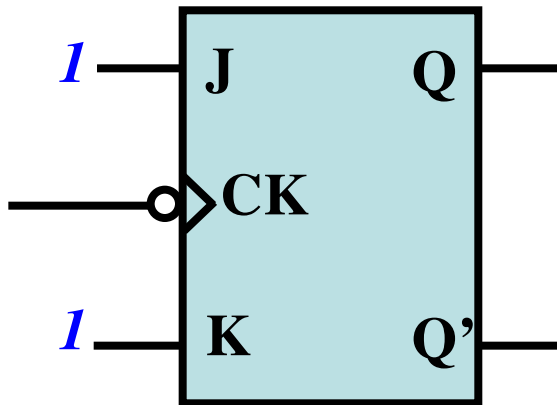
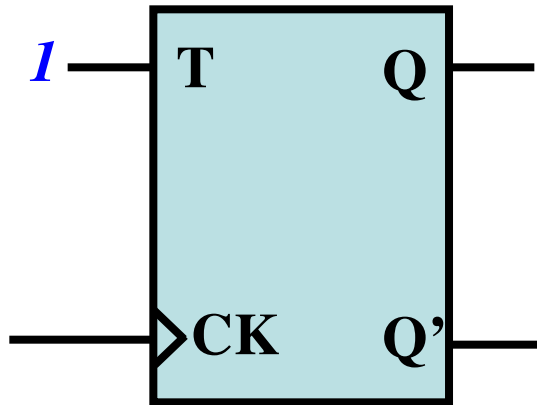
BỘ ĐẾM

- Bộ đếm là một mạch thực hiện đếm số xung ở ngõ vào bằng cách thay đổi các trạng thái ở ngõ ra của nó.
- Mỗi bộ đếm được cấu tạo bởi nhiều FF và mỗi FF giữ vai trò là một phần tử nhớ nhị phân. Tổ hợp các trạng thái của FF tạo nên các trạng thái khác nhau của bộ đếm.
- Biểu đồ trạng thái (Graph) biểu diễn sự chuyển đổi của các trạng thái trong bộ đếm.
- Mod đếm (Modulo) là tổng số trạng thái có trong một bộ đếm.
- Tùy theo chiều biến thiên của nội dung bộ đếm mà ta có bộ đếm thuận (đếm lên), đếm nghịch (đếm xuống) hay bộ đếm thuận/nghịch.
- Bộ đếm được chia làm 2 loại: tuần tự (hay không đồng bộ hoặc nối tiếp) và song song (hay đồng bộ), tùy thuộc vào việc tác động của tín hiệu xung Clock vào các FF.

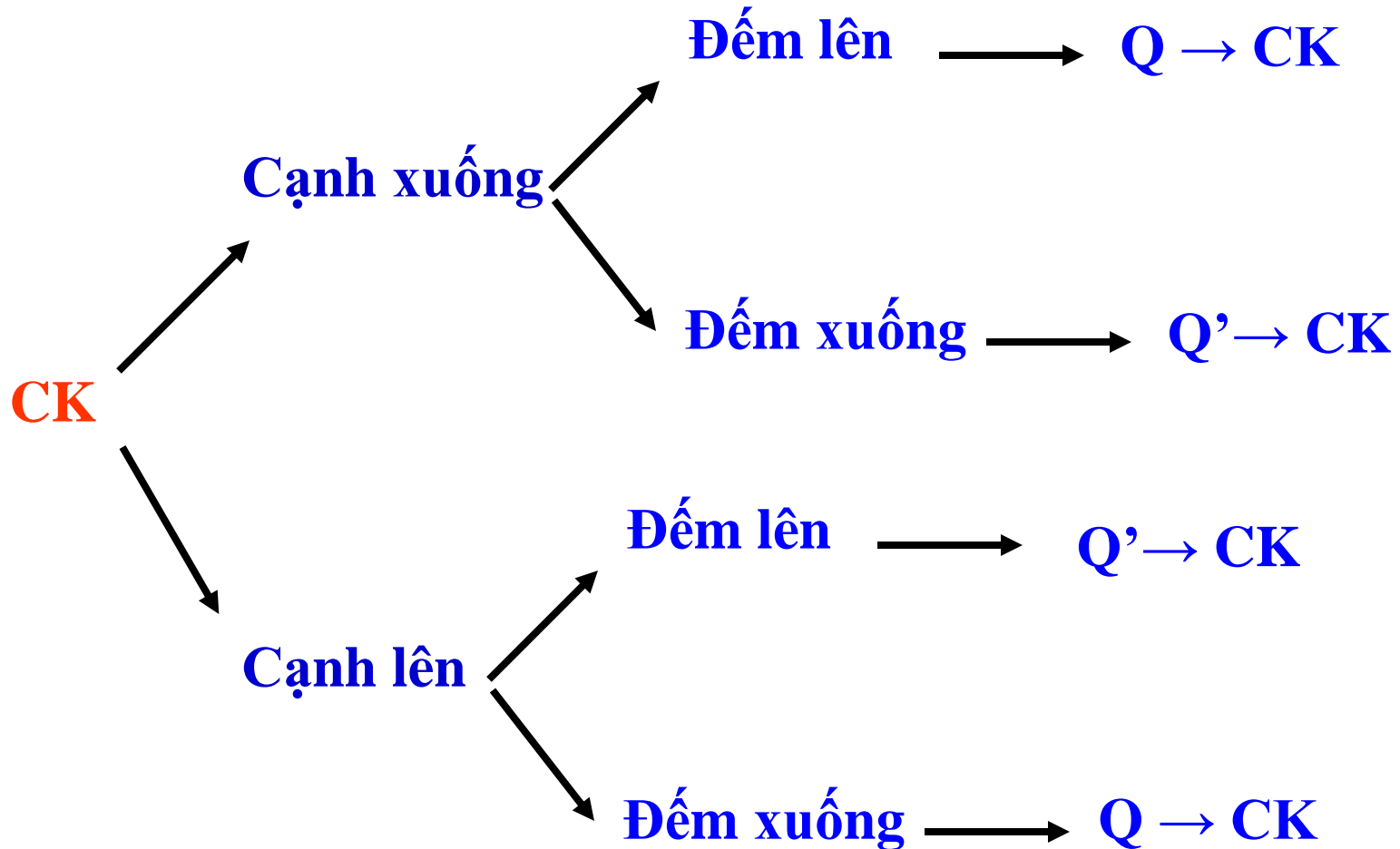
* NGUYÊN TẮC THIẾT KẾ BỘ ĐẾM NỐI TIẾP

a. Bộ đếm nối tiếp đầy đủ ($m = \text{mod } 2^n$).

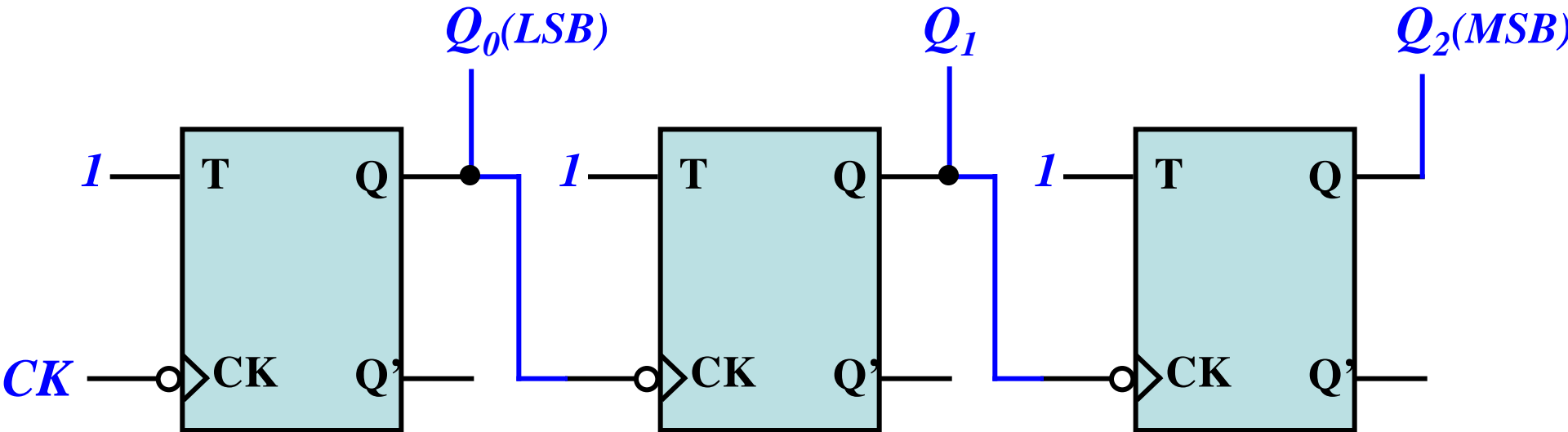
- Dùng n FF, tương đương với loại T-FF có ngõ T = 1.



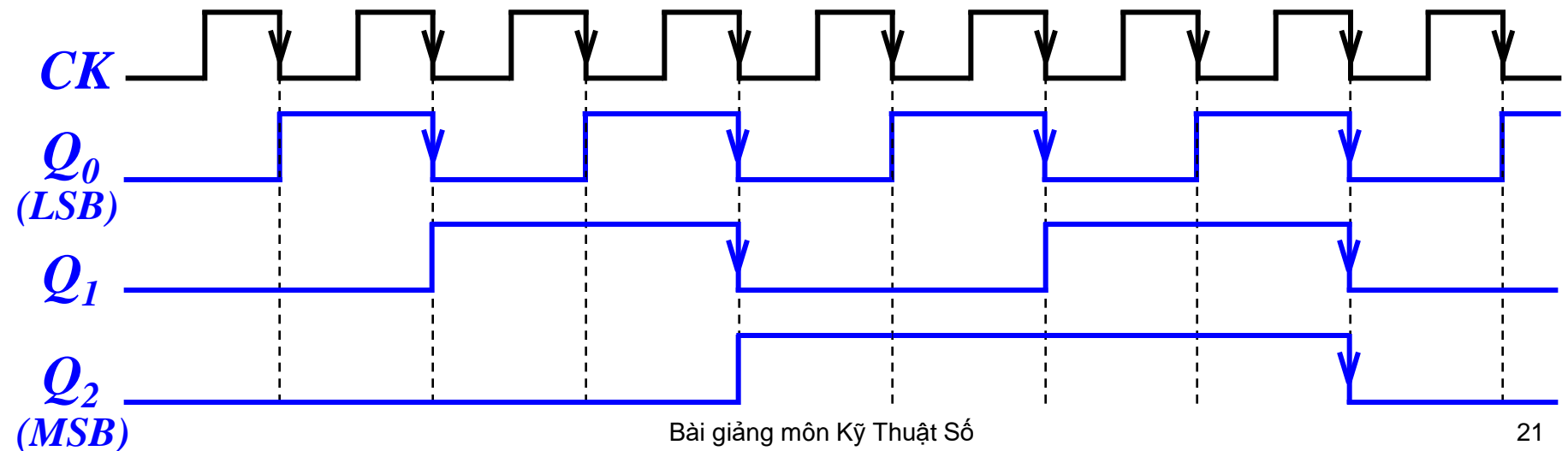
- Các FF được kết nối với nhau theo nguyên tắc sau:

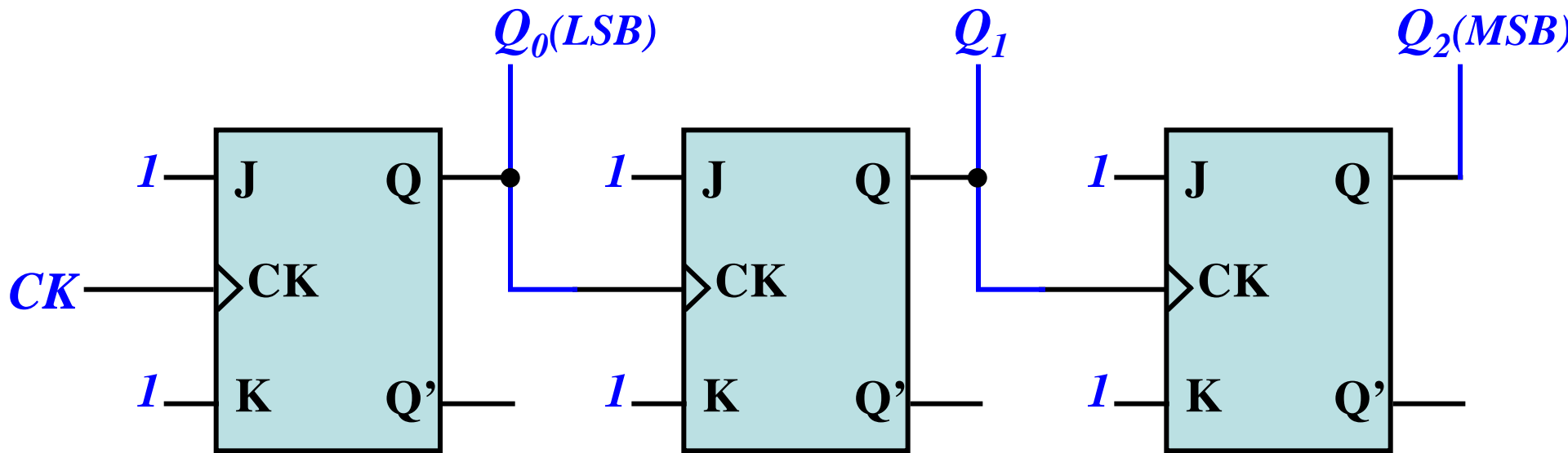


* Ghép $Ck_{i+1} = Q_i$

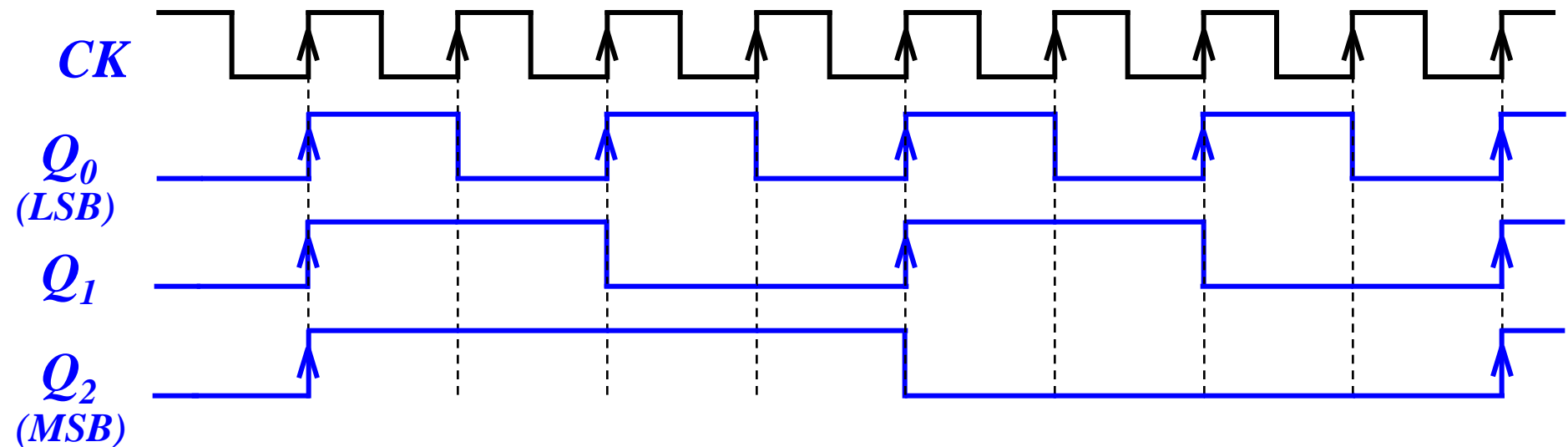


Khảo sát giản đồ xung: Bộ đếm lên

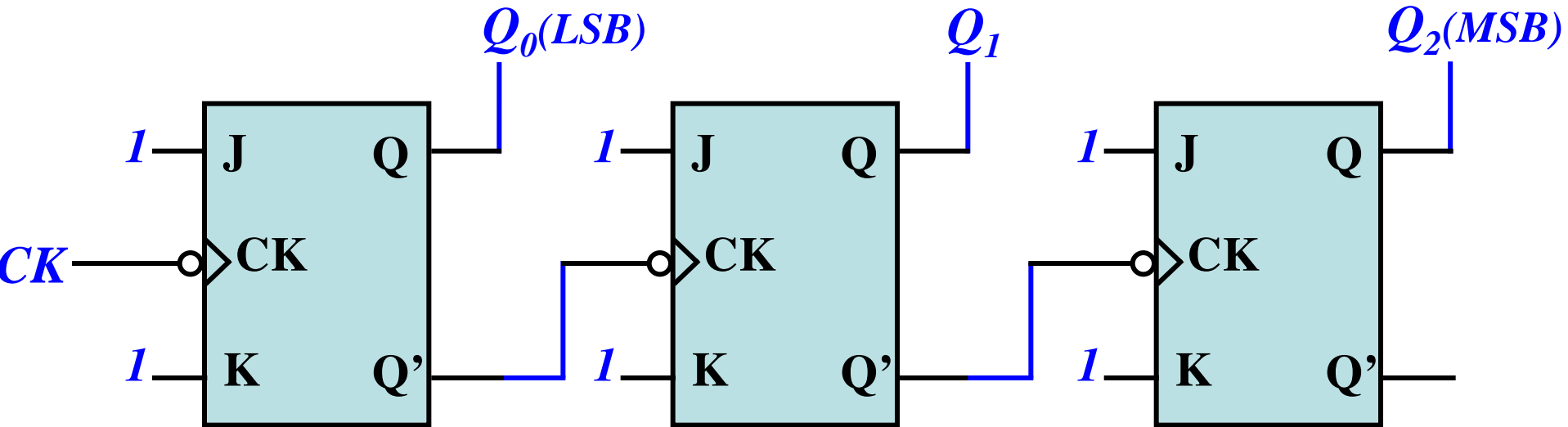




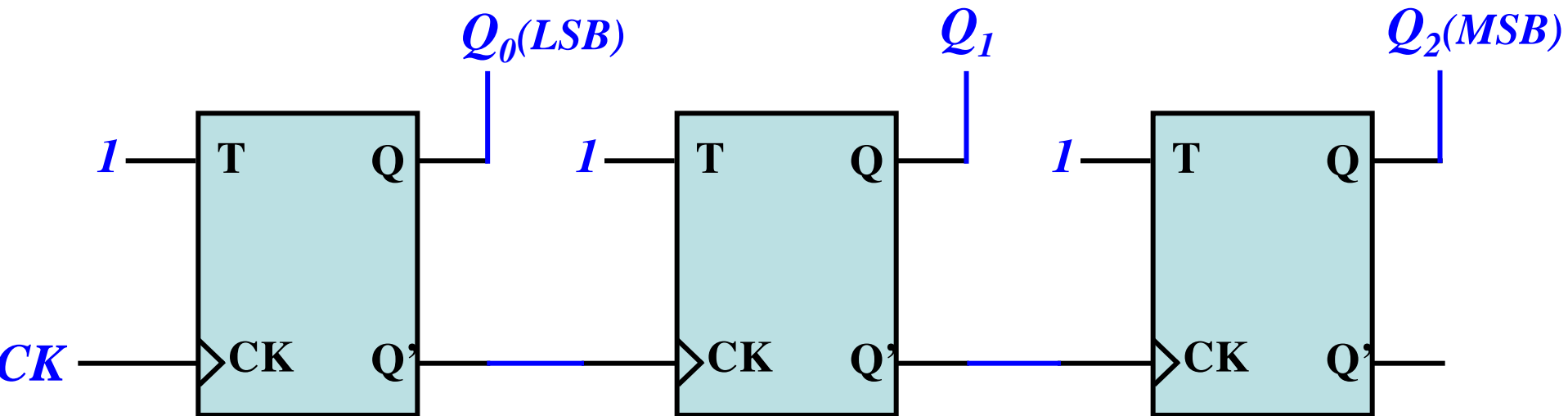
Khảo sát giản đồ xung: Bộ đếm xuống (Count Down)



* Ghép $Ck_{i+1} = \overline{Q_i}$ + Bộ đếm xuống (Count Down):



+ Bộ đếm lên (Count Up):



b. Bộ đếm nối tiếp không đầy đủ ($m < \text{mod } 2^n$).

Bộ đếm không đầy đủ thực hiện dựa trên bộ đếm đầy đủ. Ta cần xác định trạng thái kế tiếp không mong muốn của vòng đếm không đầy đủ.

Dùng trạng thái này để tạo ra tín hiệu tác động tích cực vào các ngõ vào bất đồng bộ Preset hoặc Clear để đưa bộ đếm trở về trạng thái ban đầu (thường gọi là trạng thái reset).

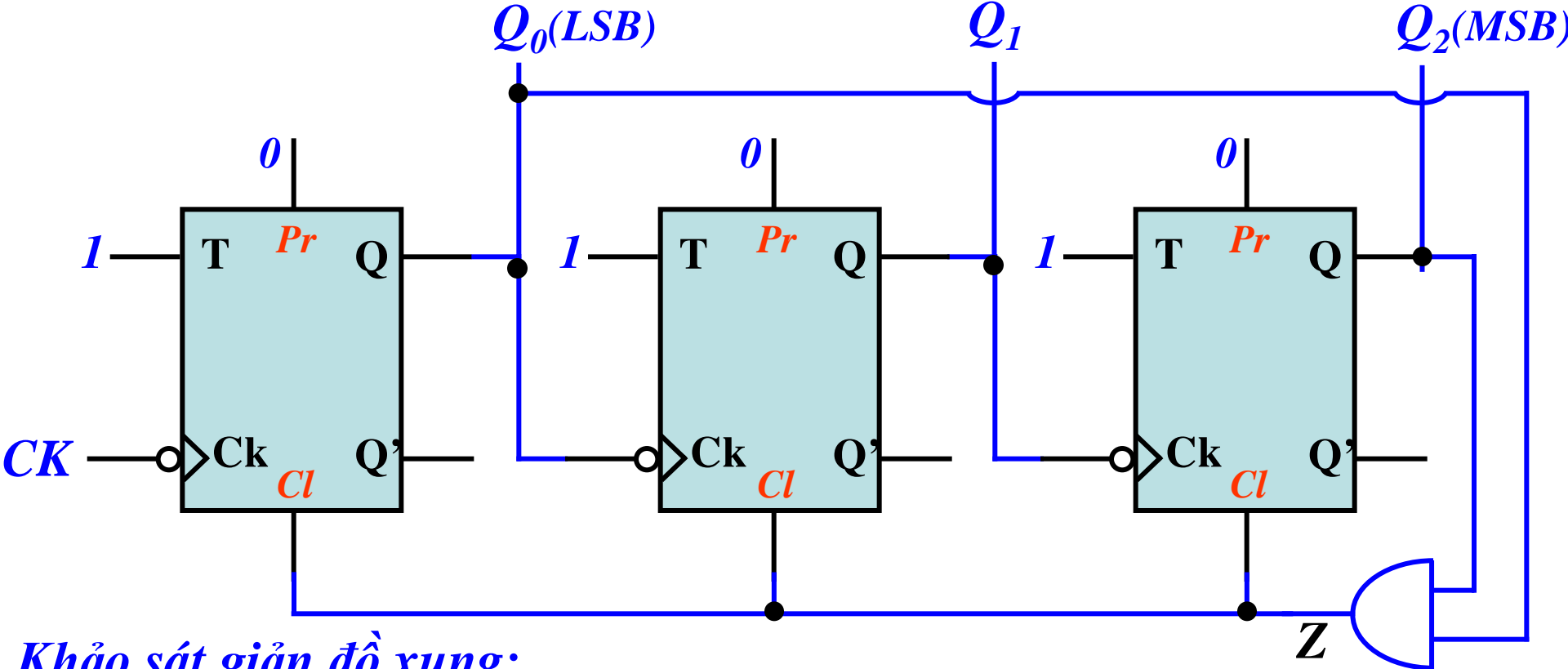
Vd: Sử dụng T-FF có xung clock cạnh xuống và ngõ vào Preset, Clear tích cực cao; thiết kế bộ đếm lên có $m = 5$ và bắt đầu từ 0.

Q_2	Q_1	Q_0	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	X
1	1	1	X

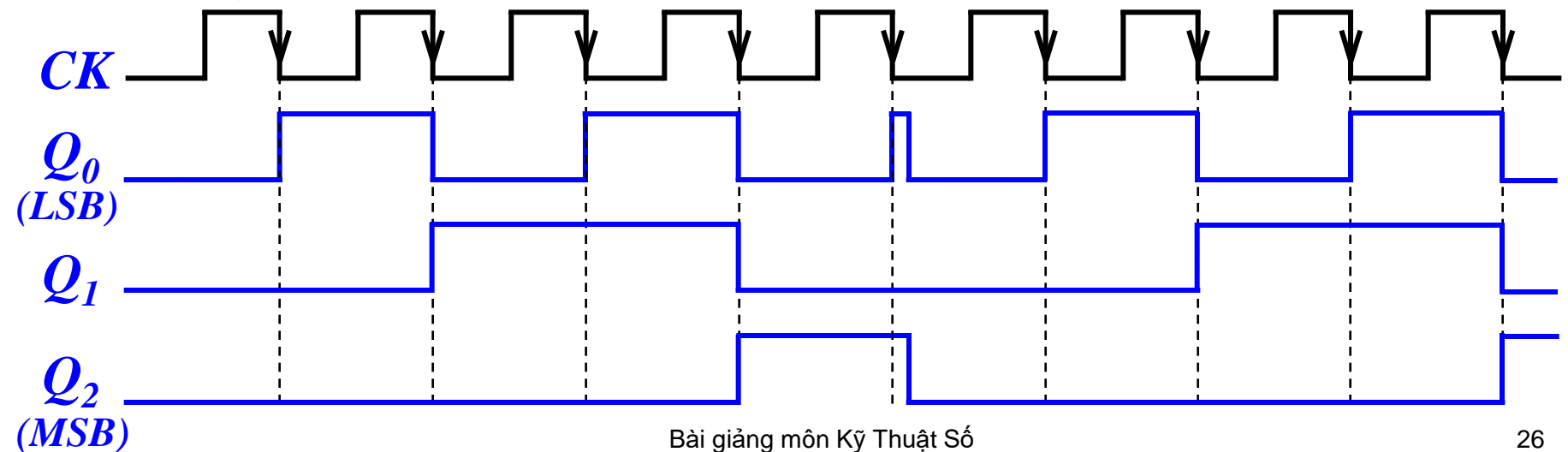
Ta gọi Z là tín hiệu để reset bộ đếm.

		$Q_2 Q_1$			
Z	Q_0	00	01	11	10
	0			X	
	1			X	1

$$Z = Q_2 Q_0$$



Khảo sát giản đồ xung:

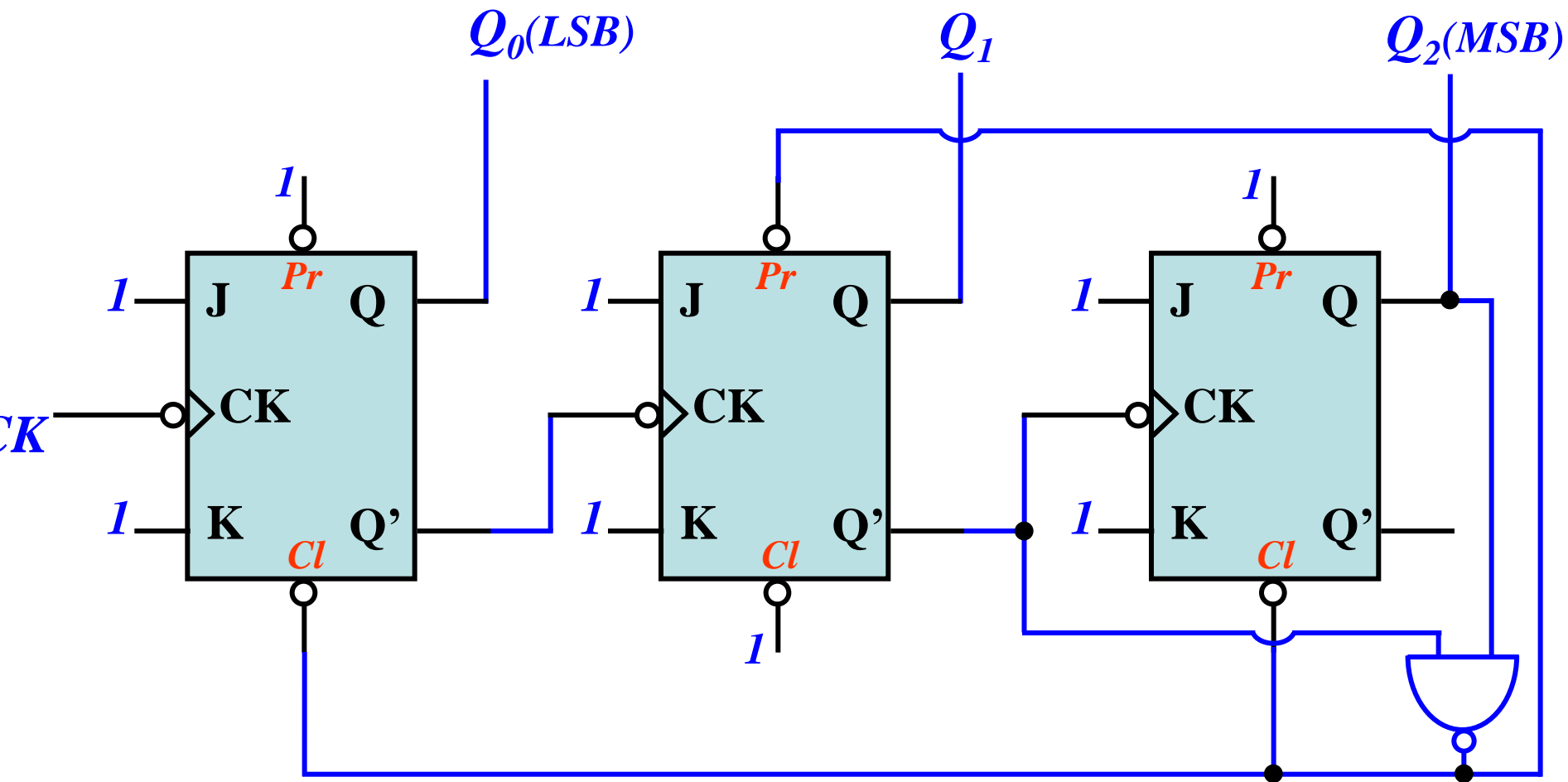


Vd: Sử dụng JK-FF có xung clock cạnh xuống và ngõ vào Pr, Cl tích cực thấp; thiết kế bộ đếm xuống có $m = 5$ và bắt đầu từ giá trị 2.

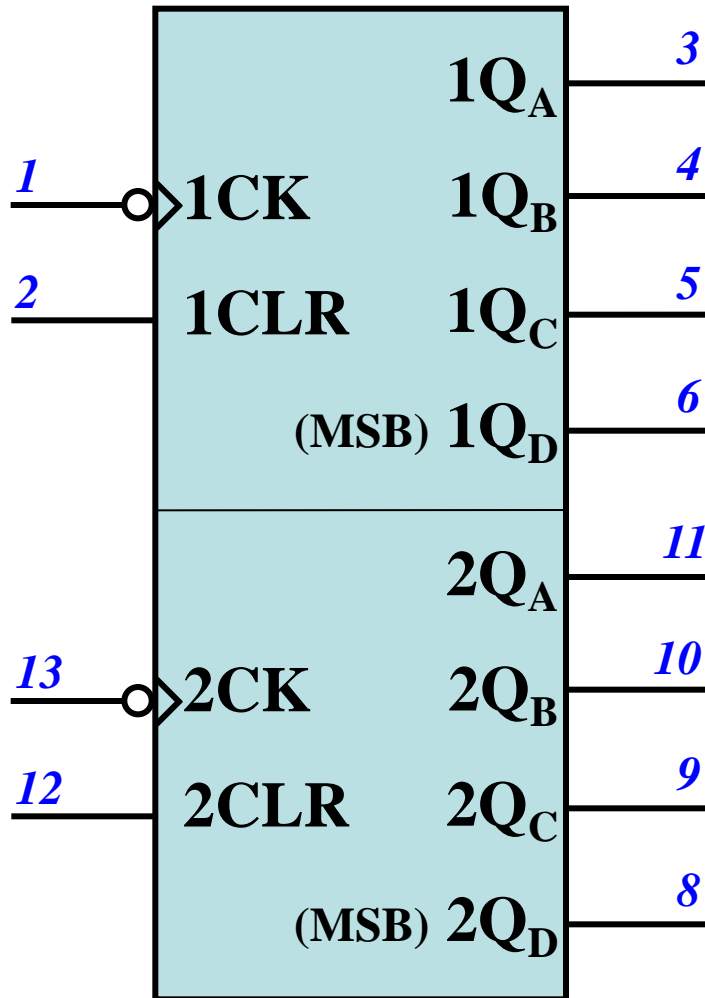
Q_2	Q_1	Q_0	Z
0	1	0	1
0	0	1	1
0	0	0	1
1	1	1	1
1	1	0	1
1	0	1	0
1	0	0	X
0	1	1	X

Z		Q_2Q_1				
		Q_0	00	01	11	10
	0					X
	1		X			0

Tín hiệu reset: $Z = Q_2' + Q_1 = (Q_2 Q_1)'$

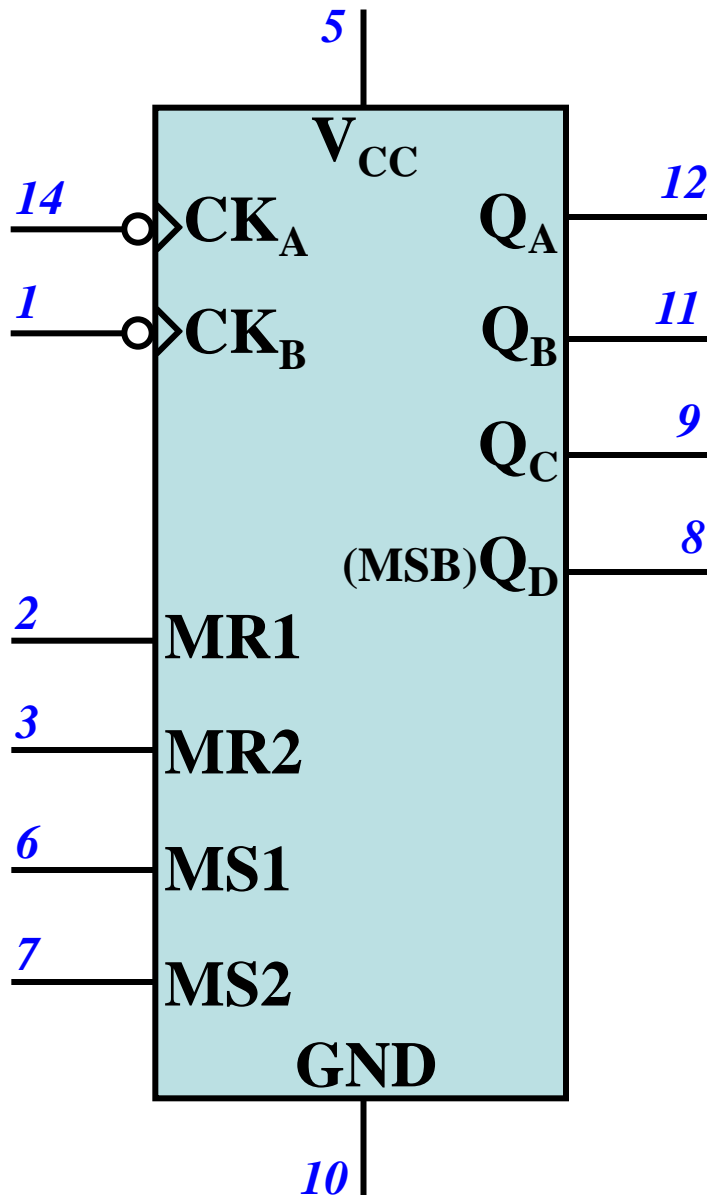


IC 74393: 2 bộ đếm lên đầy đủ 4 bit



CLR	CK	Q _D	Q _C	Q _B	Q _A
1	X	0	0	0	0
0	0, 1, \uparrow	NO CHANGE			
0	\downarrow	COUNT UP			

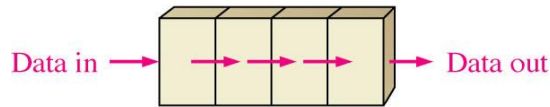
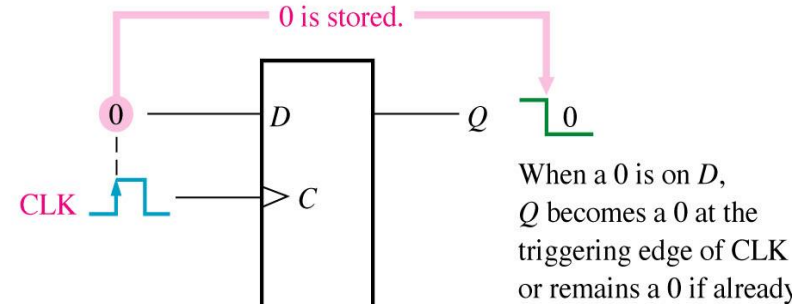
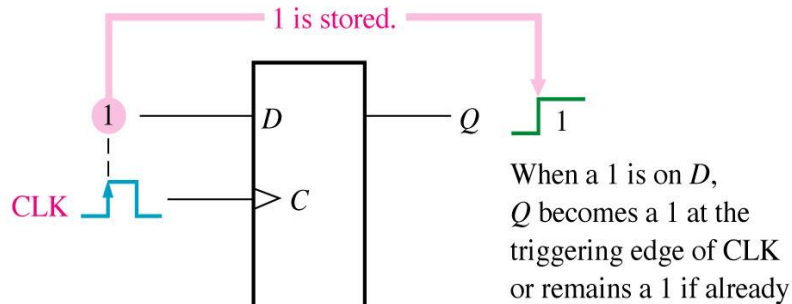
IC 7490: gồm 2 bộ đếm – bộ đếm 2 và bộ đếm 5 (đếm lên)



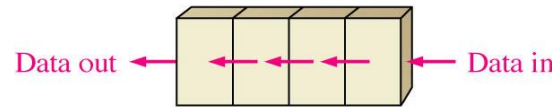
Reset/Set INPUT				OUTPUT			
MR1	MR2	MS1	MS2	Q_D	Q_C	Q_B	Q_A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
0	X	0	X	Counting			
X	0	X	0				
0	X	X	0				
X	0	0	X				

THANH GHI DỊCH

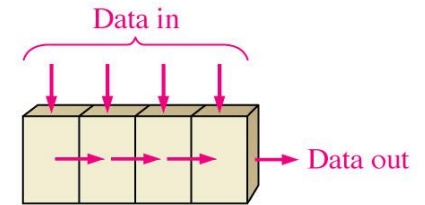
Thanh ghi dịch là hệ tuần tự có khả năng lưu trữ và dịch chuyển dữ liệu.



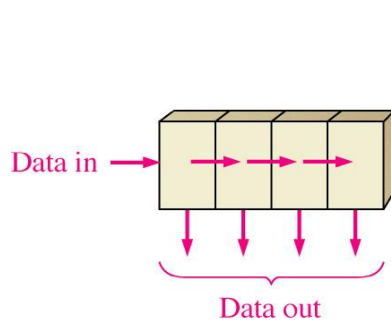
(a) Serial in/shift right/serial out



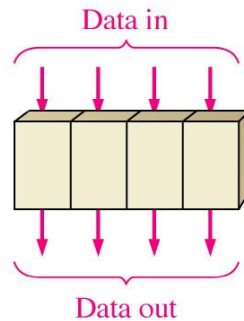
(b) Serial in/shift left/serial out



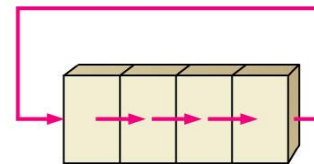
(c) Parallel in/serial out



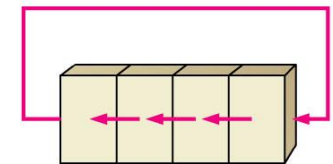
(d) Serial in/parallel out



(e) Parallel in/parallel out

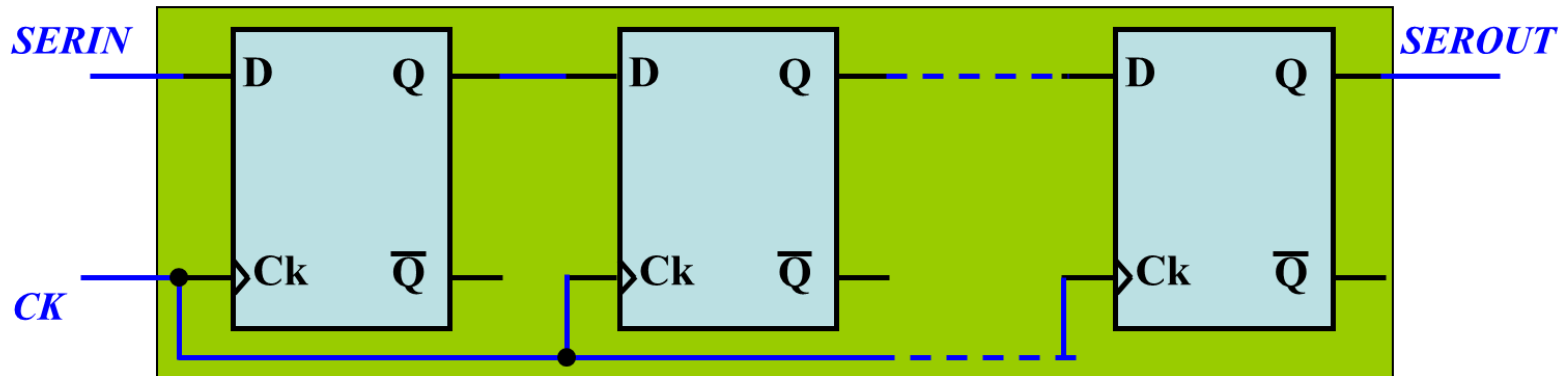


(f) Rotate right

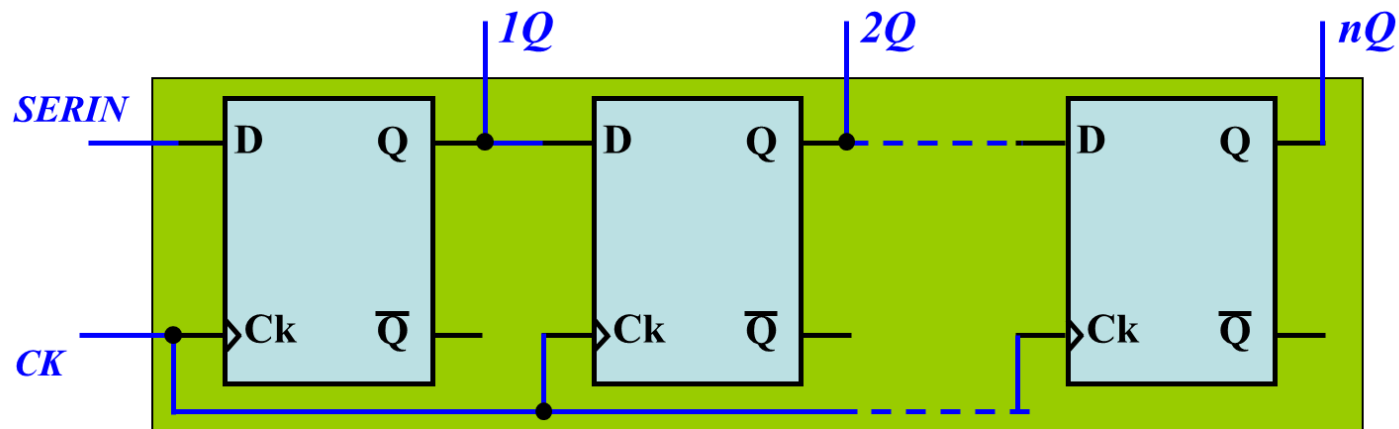


(g) Rotate left

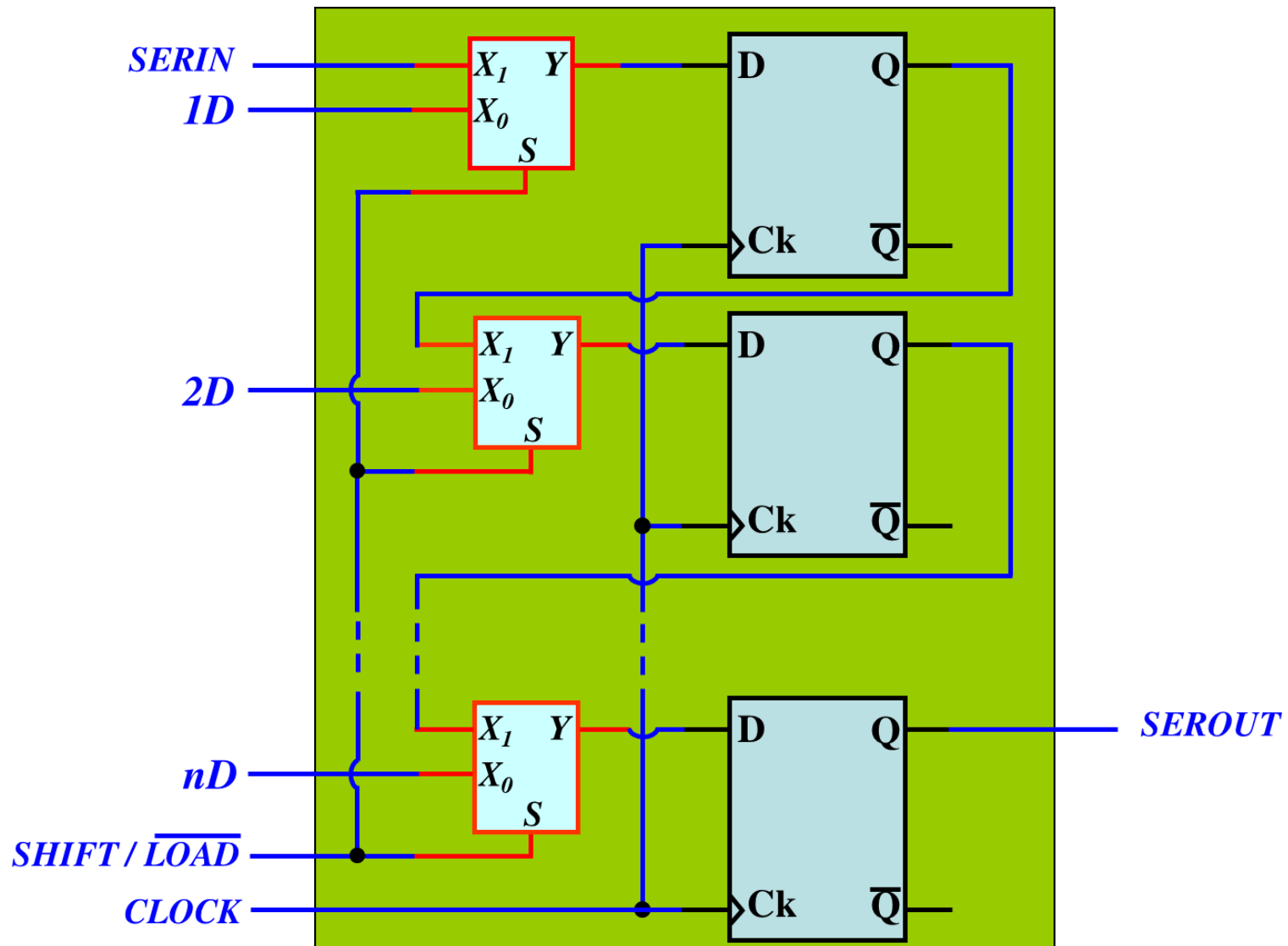
1. Thanh ghi dịch nhập nối tiếp – xuất nối tiếp (SISO):



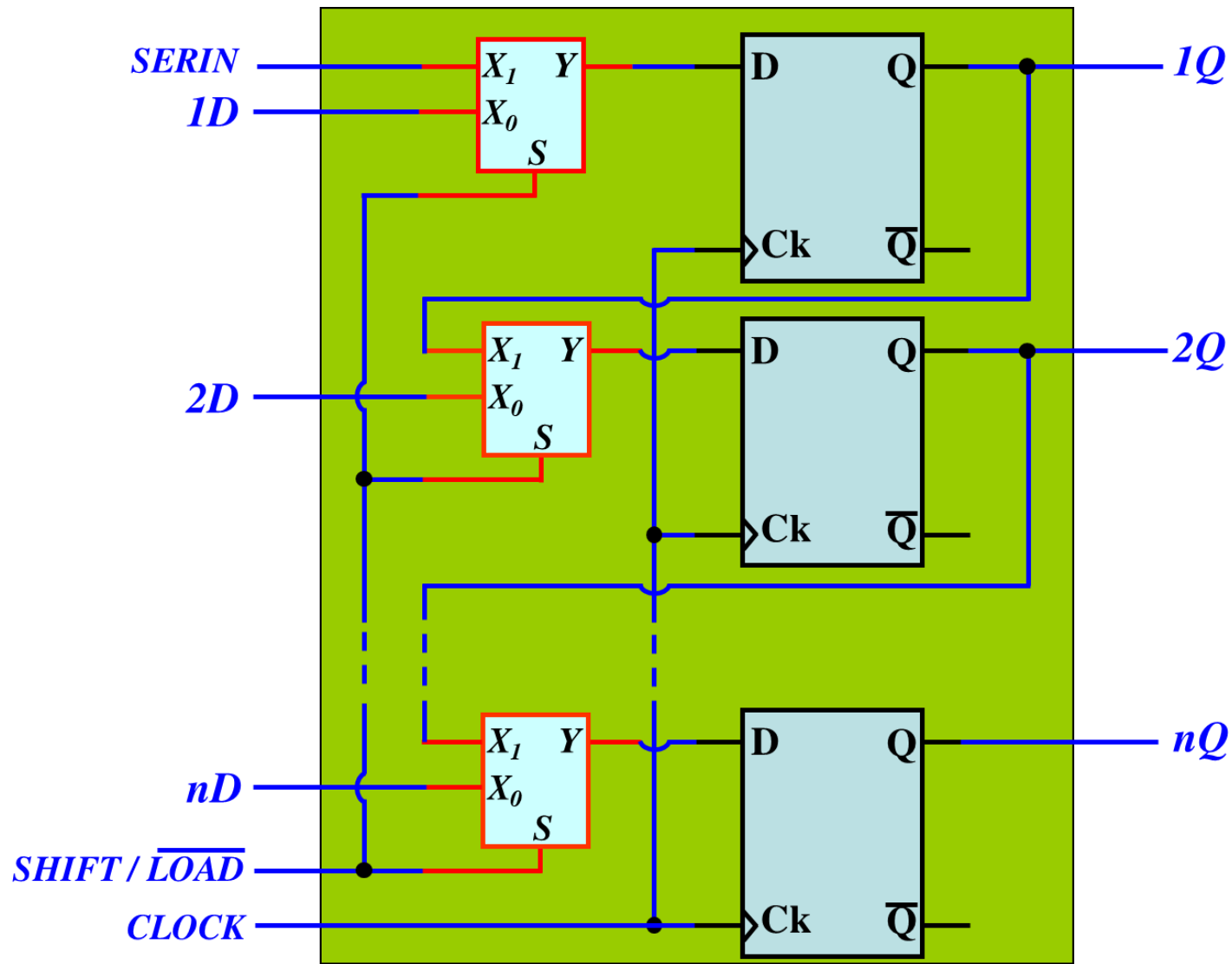
2. Thanh ghi dịch nhập nối tiếp – xuất song song (SIPO):



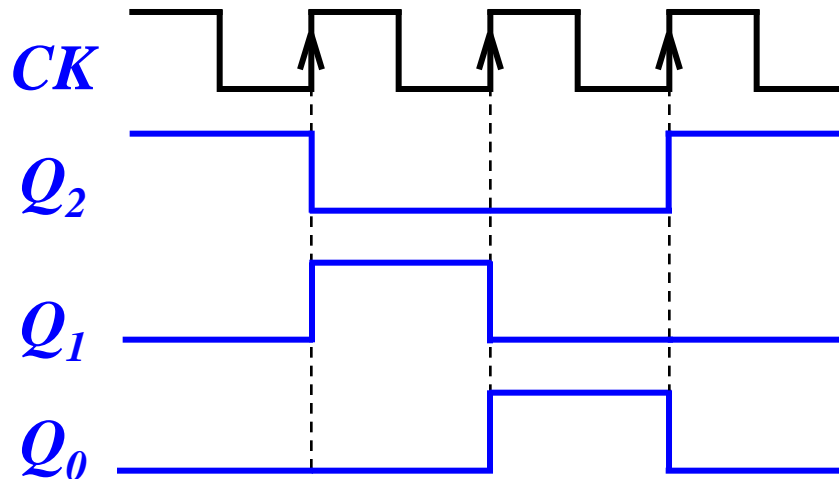
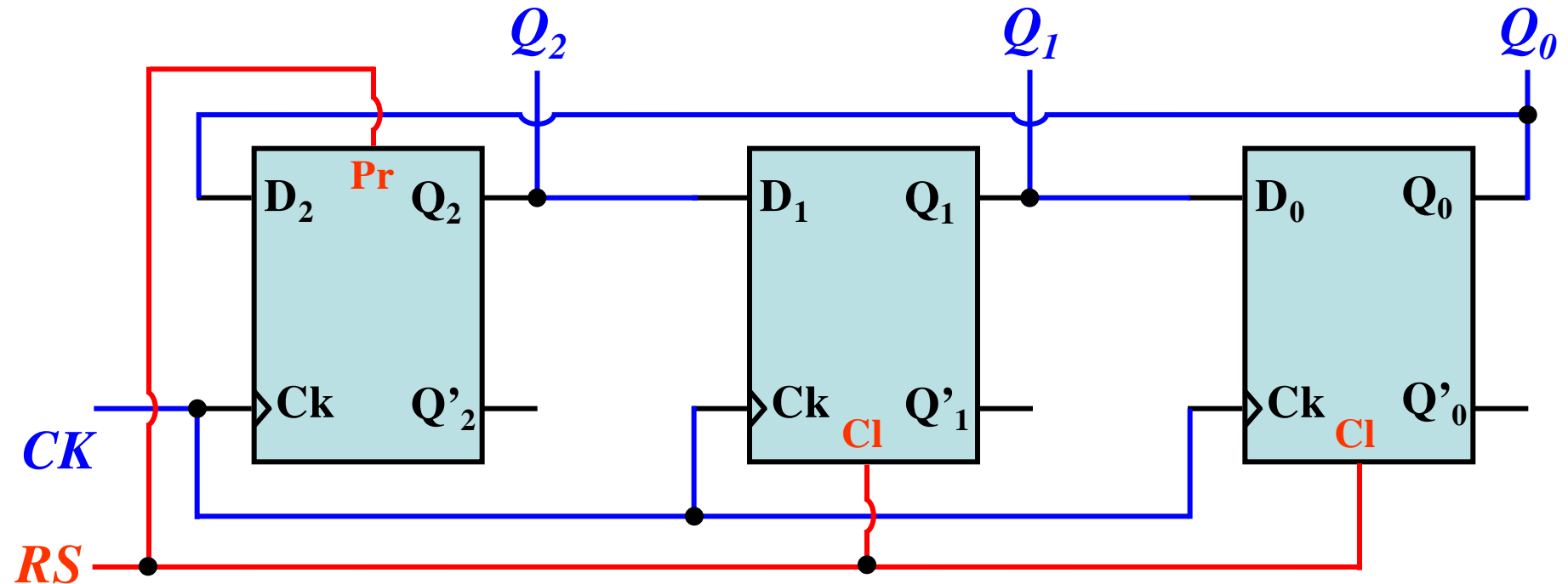
3. Thanh ghi dịch nhập song song – xuất nối tiếp (PISO):



4. Thanh ghi dịch nhập song song – xuất song song (PIPO):

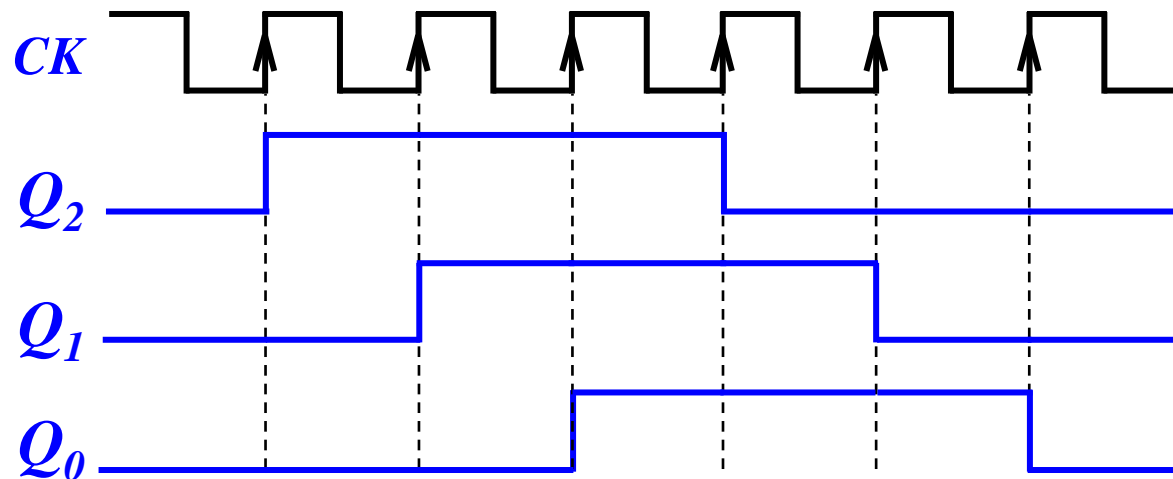
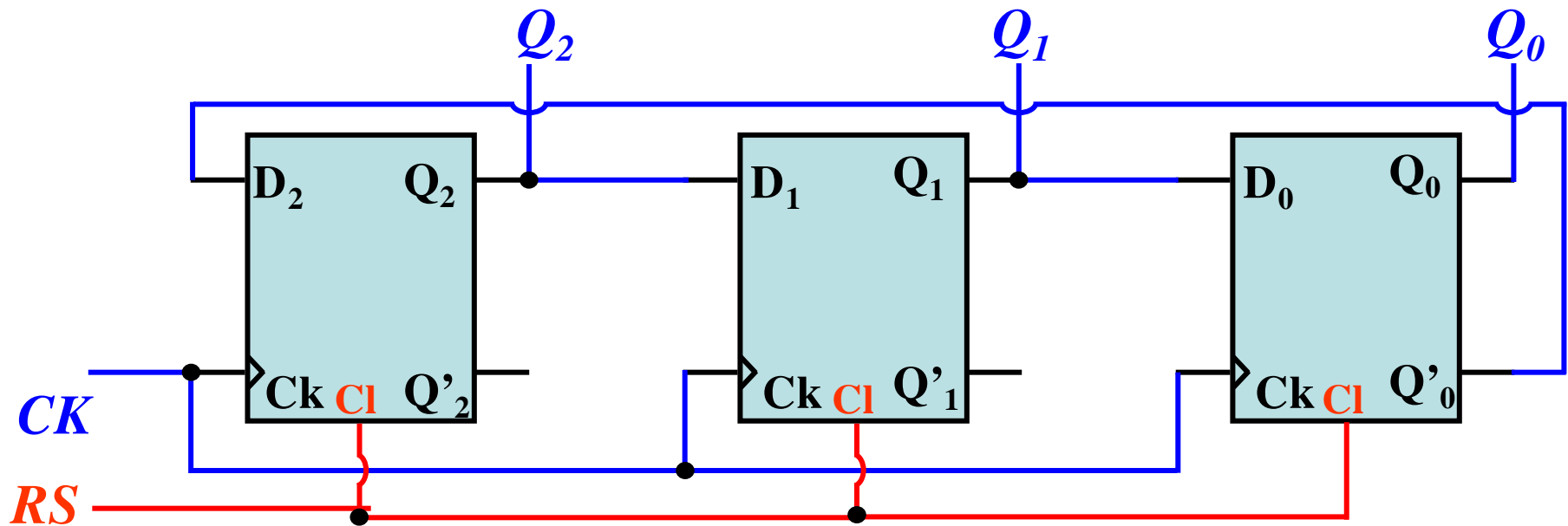


* *Bộ đếm thanh ghi dịch(Shift register counter)*



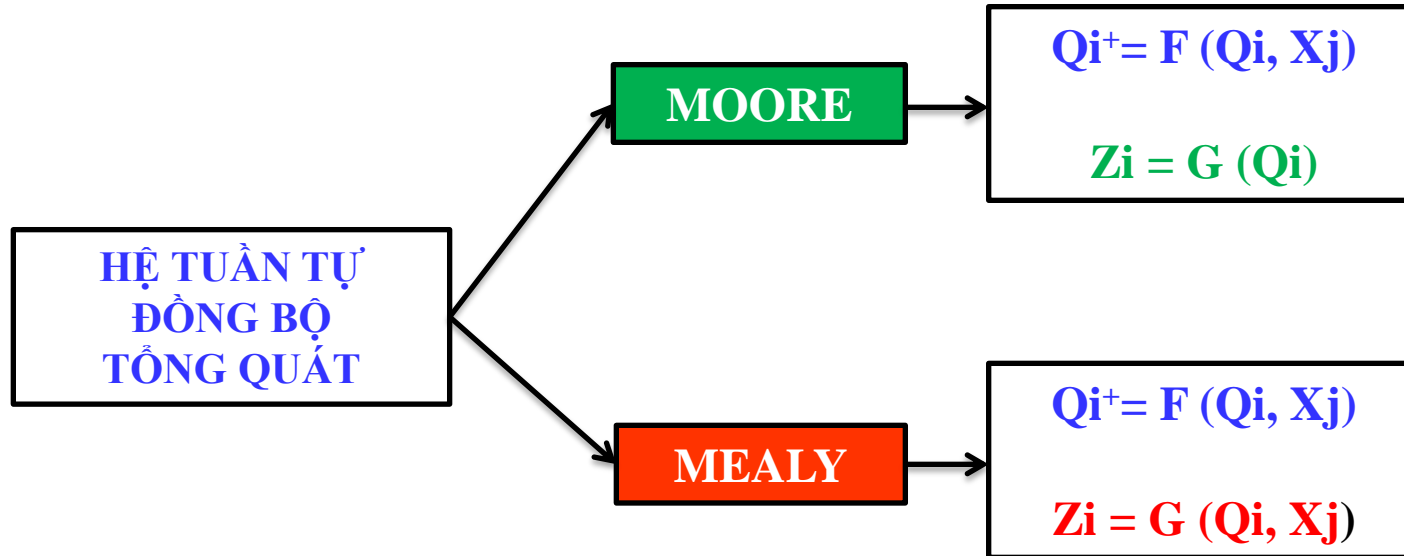
Clock	Q_2	Q_1	Q_0
1	1	0	0
2	0	1	0
3	0	0	1

** Bộ đếm vòng xoắn (Twisted-ring) hay bộ đếm Johnson*



Clock	Q_2	Q_1	Q_0
1	0	0	0
2	1	0	0
3	1	1	0
4	1	1	1
5	0	1	1
6	0	0	1

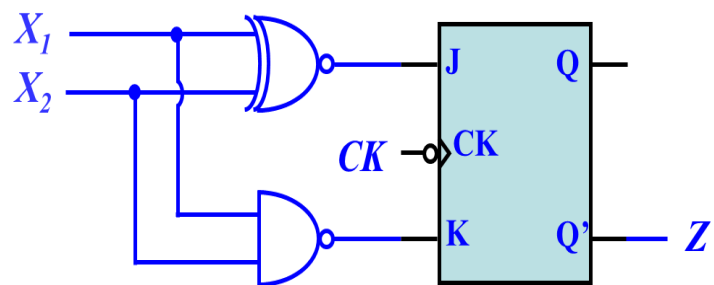
IV. PHÂN TÍCH VÀ THIẾT KẾ HỆ TUẦN TỰ ĐỒNG BỘ TỔNG QUÁT



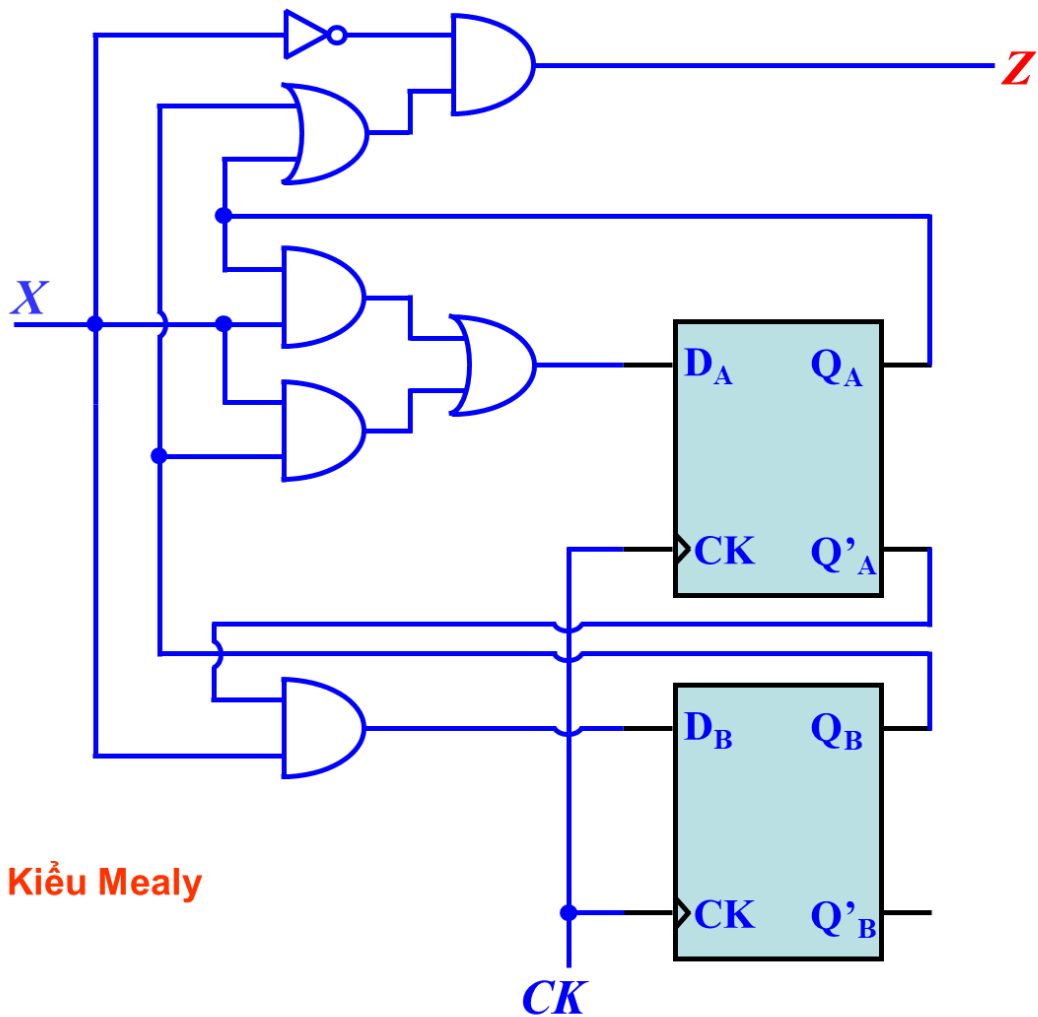
Q_i, Q_i^+ : trạng thái hiện tại và trạng thái kế tiếp của các FF

X_j : các ngõ vào của hệ

Z_i : các ngõ ra của hệ



Kiểu Moore



Kiểu Mealy

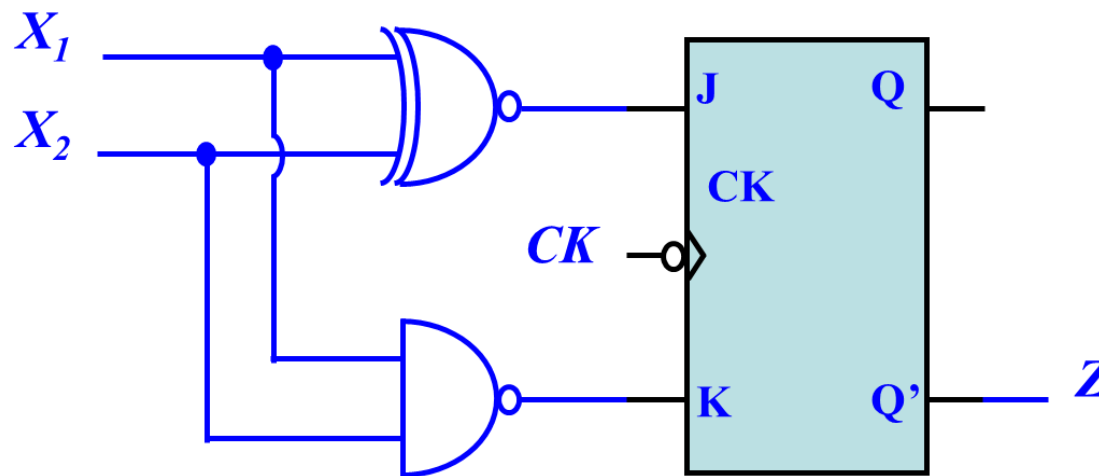
NGUYÊN TẮC PHÂN TÍCH

- Từ sơ đồ mạch, viết phương trình cho các ngõ ra của hệ và các ngõ vào của FF.
- Lập bảng trạng thái chuyển đổi.

Trạng thái hiện tại	Các ngõ vào của hệ	Các ngõ ra của hệ	Các ngõ vào của FF	Trạng thái kế tiếp
---------------------	--------------------	-------------------	--------------------	--------------------

- Vẽ giản đồ trạng thái.

Ví dụ:



Bảng trạng thái

TT HT	Các ngõ vào của hệ		Các ngõ vào của FF		TT KT	Ngõ ra
Q	X2	X1	J	K	Q+	Z
0	0	0	1	1	1	1
0	0	1	0	1	0	1
0	1	0	0	1	0	1
0	1	1	1	0	1	1
1	0	0	1	1	0	0
1	0	1	0	1	0	0
1	1	0	0	1	0	0
1	1	1	1	0	1	0

Các phương trình:

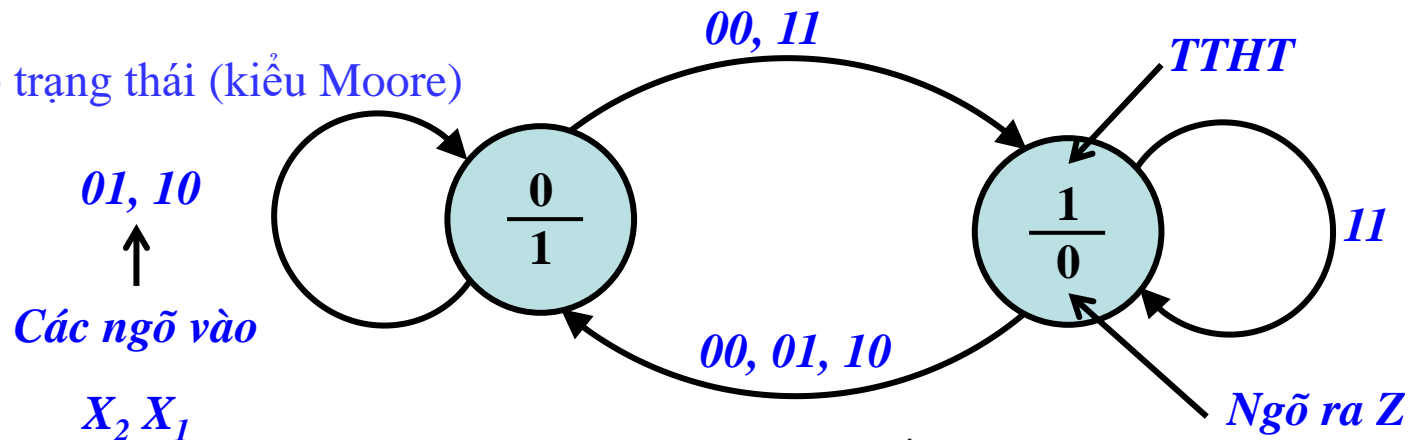
$$Z = Q'$$

$$J = X1 \oplus X2$$

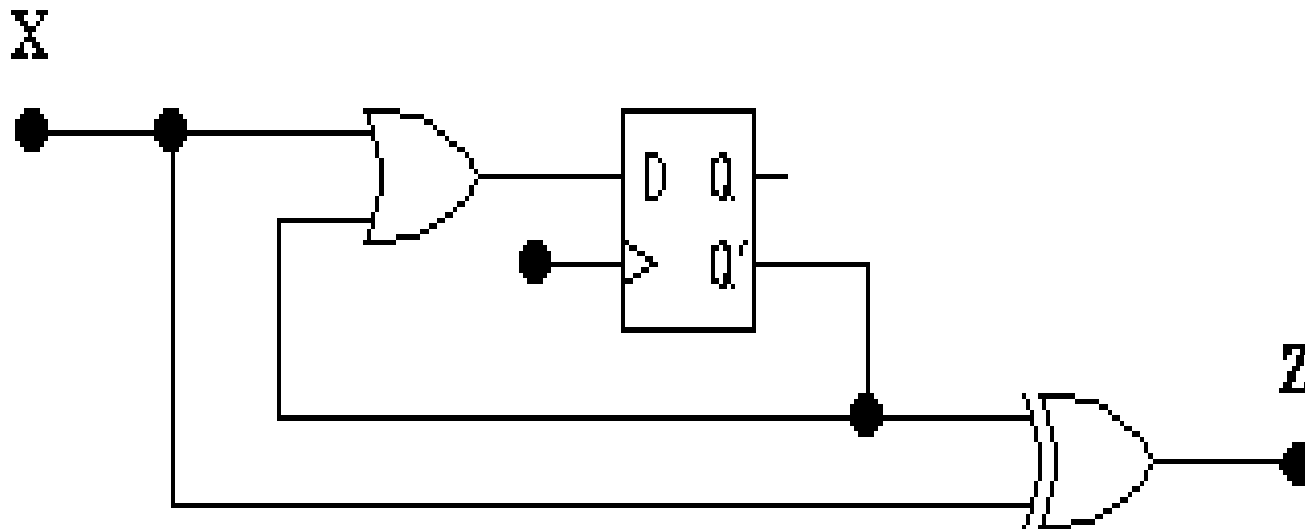
$$K = (X1X2)'$$

TT HT	TTKT				Ngõ ra
Q	X2X1				Z
	00	01	10	11	
0	1	0	0	1	1
1	0	0	0	1	0

Giản đồ trạng thái (kiểu Moore)



Ví dụ: Xác định kiểu và giản đồ trạng thái của mạch sau

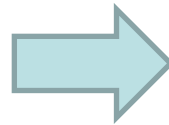


Các phương trình:

$$D = X + Q', Z = X \oplus Q'$$

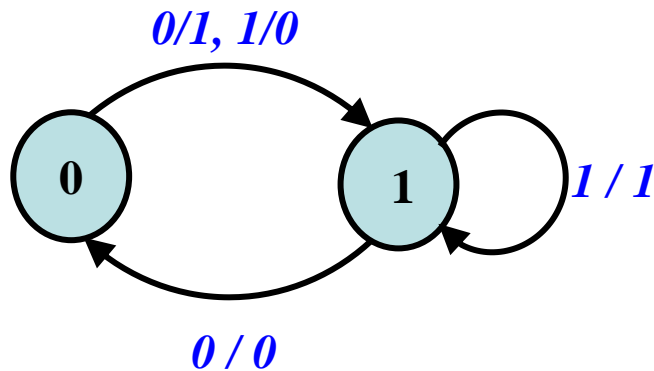
Bảng trạng thái

TTHT	Ngõ vào	Ngõ vào FF	TTKT	Ngõ ra
Q	X	D	Q^+	Z
0	0	1	1	1
0	1	1	1	0
1	0	0	0	0
1	1	1	1	1



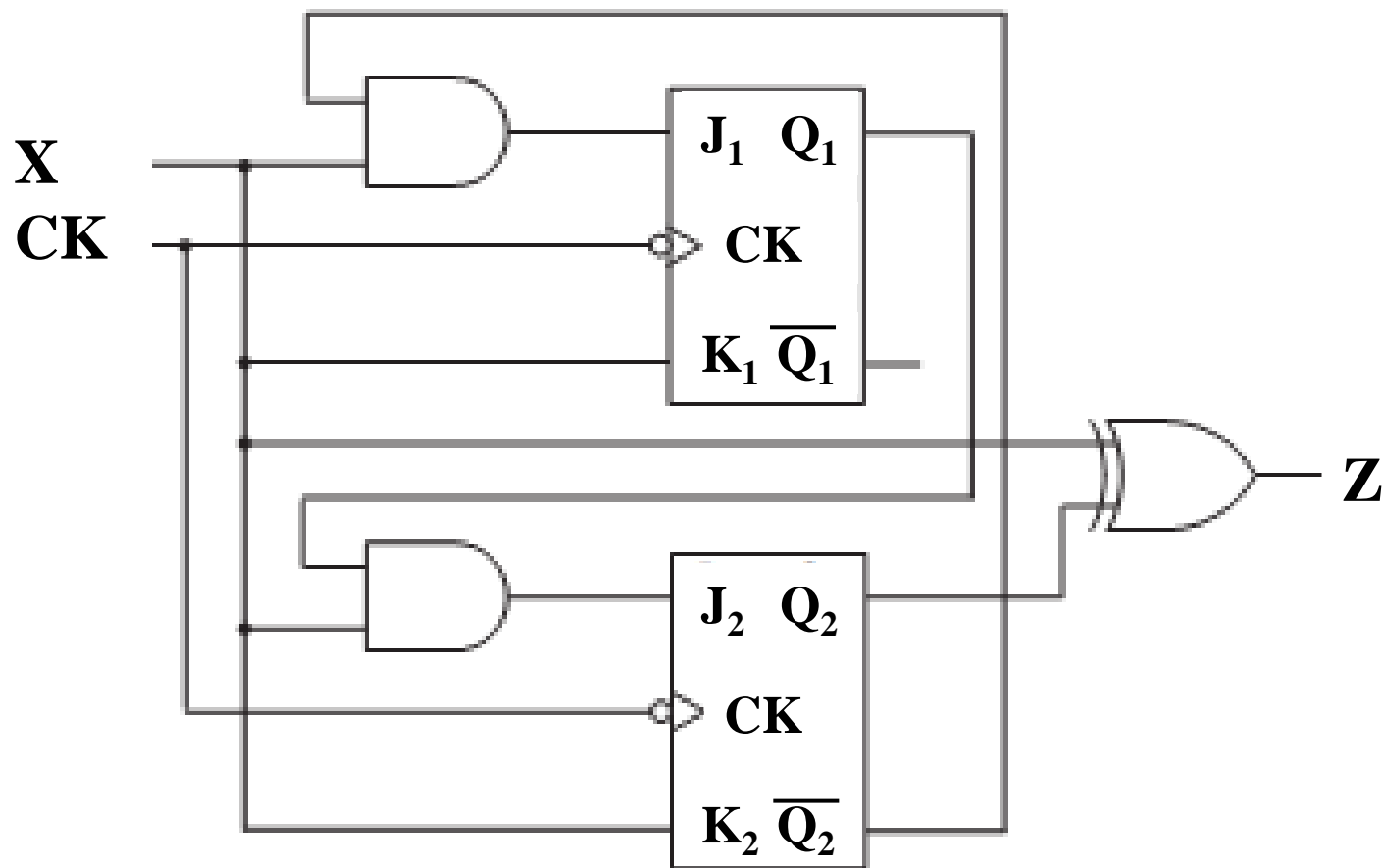
TTHT	TTKT		Ngõ ra	
Q	X		Z	
	0	1	0	1
0	1	1	1	0
1	0	1	0	1

Giản đồ trạng thái (kiểu Mealy)

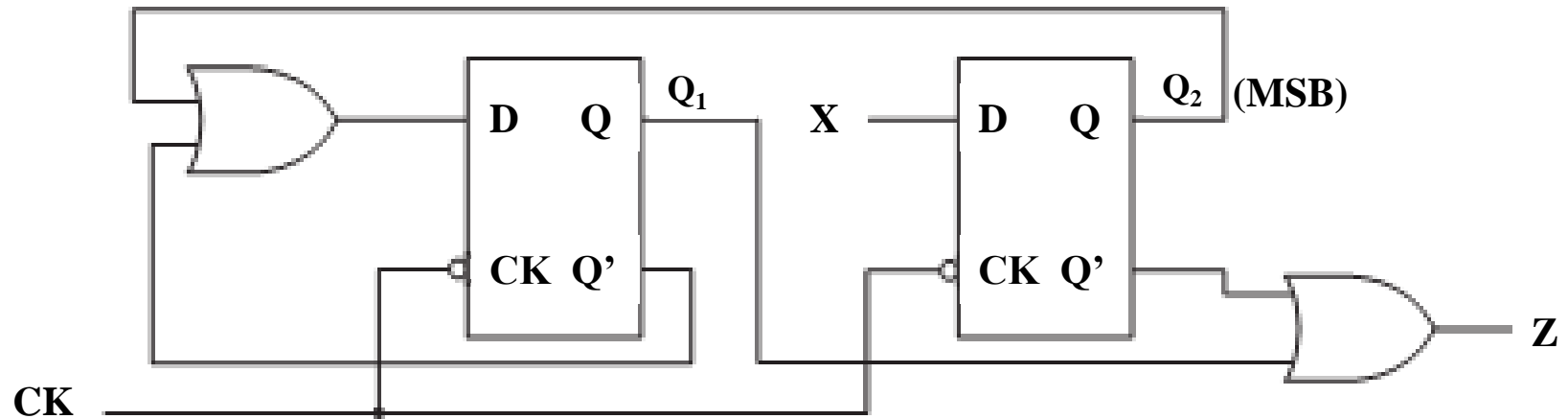


BÀI TẬP ỨNG DỤNG

Bài 1: Phân tích mạch tuần tự sau và phân loại (Mealy hay Moore) với Q_2 là MSB

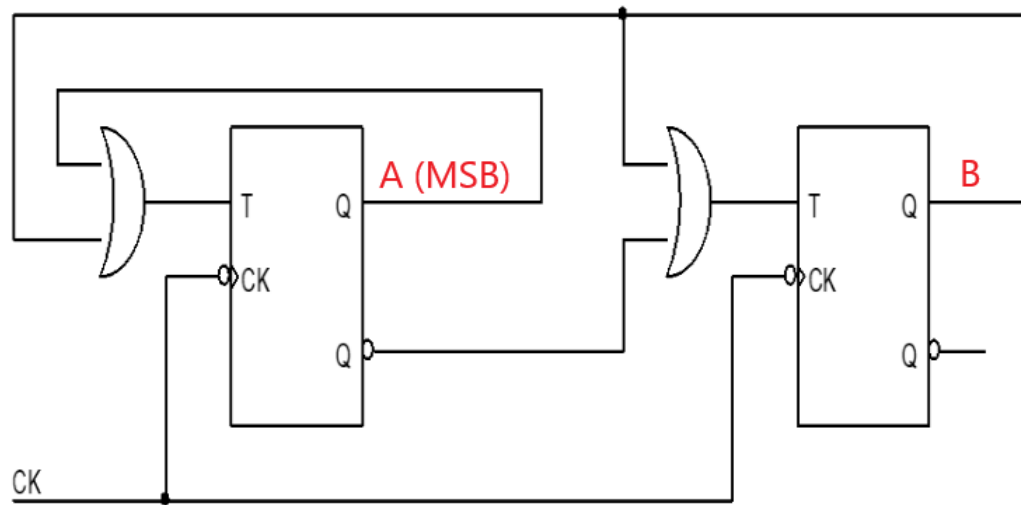


Bài 2: Phân tích mạch tuần tự sau và phân loại (Mealy hay Moore)



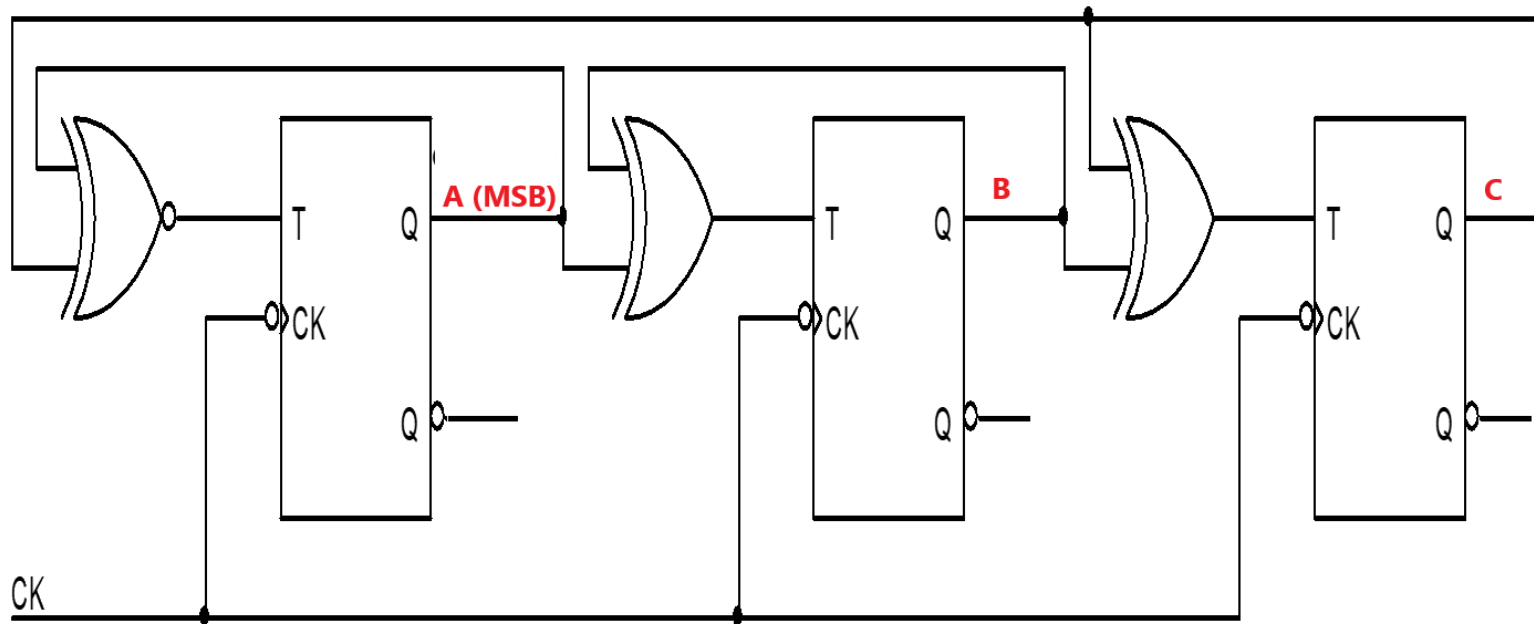
Bài 3

Cho mạch đếm sau:



- Viết hàm kích thích (biểu thức ngõ vào) cho mỗi FF.
- Lập bảng trạng thái chuyển đổi của mạch.
- Vẽ graph (giản đồ) trạng thái của bộ đếm và cho biết hệ số đếm.
- Vẽ giản đồ tín hiệu ra, giả sử trạng thái đầu là AB=11.
- Mạch có cần định trạng thái đầu hay không? Giải thích?

Bài 4

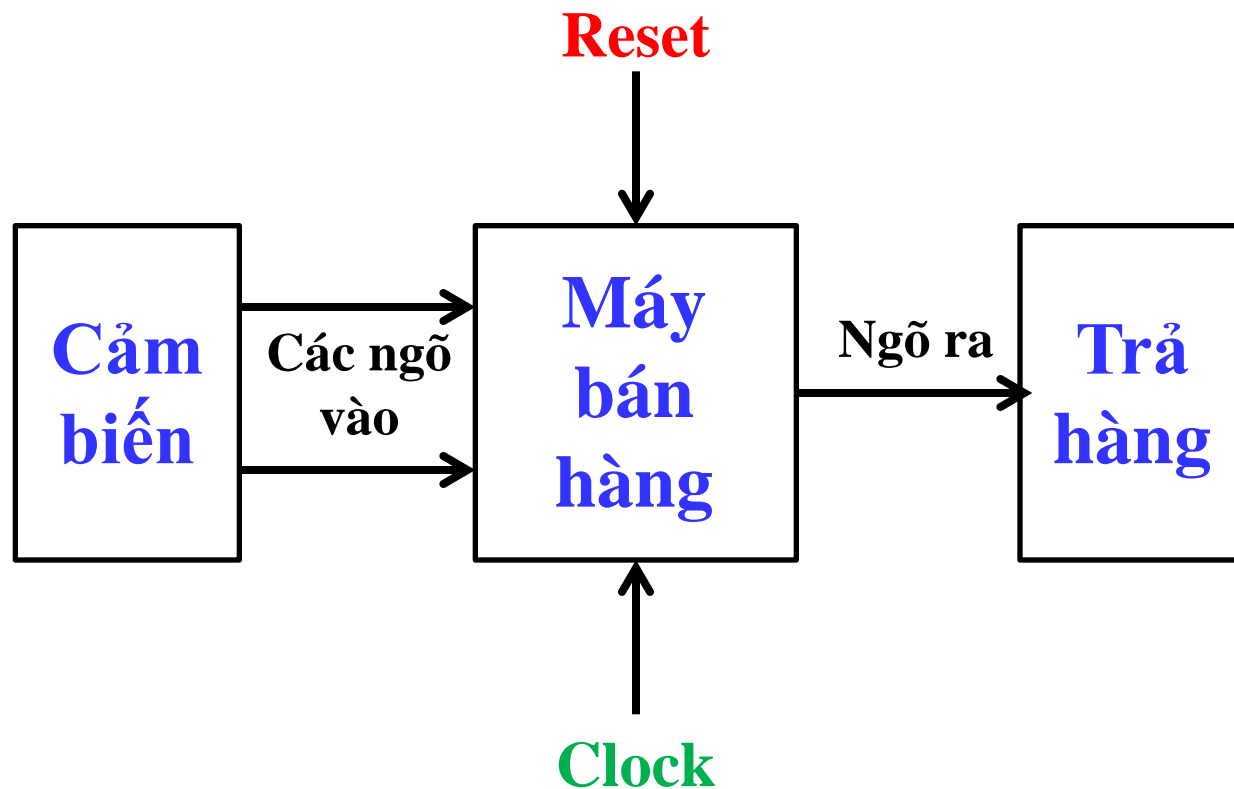


- Viết hàm kích thích cho mỗi Flip-Flop.
- Vẽ graph (giản đồ) trạng thái của bộ đếm.
- Cho biết hệ số đếm của bộ đếm.
- Bộ đếm có tự kích được không? Giải thích?

NGUYÊN TẮC THIẾT KẾ

- Từ phát biểu bài toán thành lập graph trạng thái hoặc bảng chuyển trạng thái.
- Rút gọn trạng thái.
- Gán trạng thái.
- Thiết kế theo yêu cầu (loại FF, các mạch tổ hợp: cổng logic, ROM, PLA..)

Ví dụ: Thiết kế máy bán hàng đơn giản. Giá trị món hàng là 15K. Giả sử chỉ sử dụng 2 loại đồng tiền là 5K và 10K và 1 khe để đưa tiền vào. Nếu đủ số tiền hoặc vượt quá giá trị món hàng thì sau khi trả hàng sẽ quay về trạng thái ban đầu (không trả lại tiền thừa).



- Lập graph trạng thái theo kiểu Moore

Định nghĩa các trạng thái

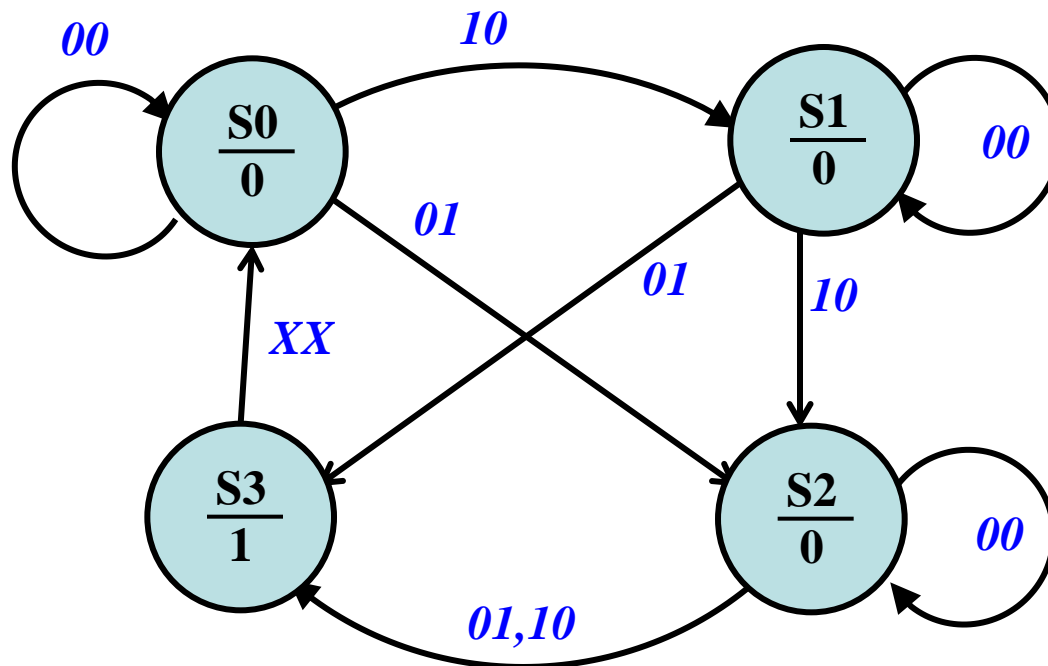
S0 là trạng thái chưa nhận được đồng nào(reset)

S1: nhận được giá trị 5K

S2: nhận được giá trị 10K

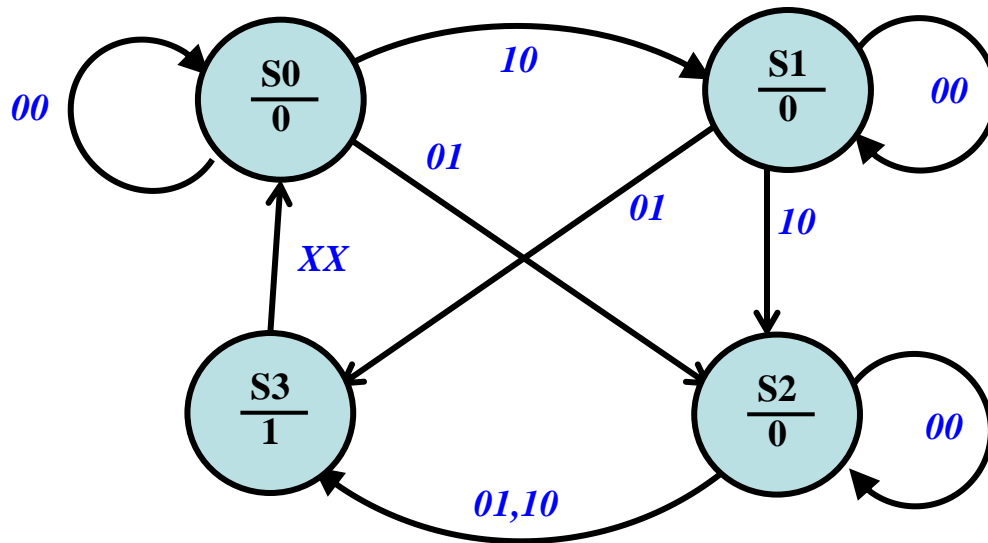
S3: nhận được giá trị lớn hơn hay bằng 15K

X_1X_0 : các ngõ vào tương ứng cho đồng 5K,10K



- Bảng chuyển trạng thái tương đương với graph trạng thái

TTHT	TTKT				Ngõ ra Z
	00	01	10	11	
S0	S0	S2	S1	-	0
S1	S1	S3	S2	-	0
S2	S2	S3	S3	-	0
S3	S0	S0	S0	S0	1



- Lập graph trạng thái theo kiểu Mealy

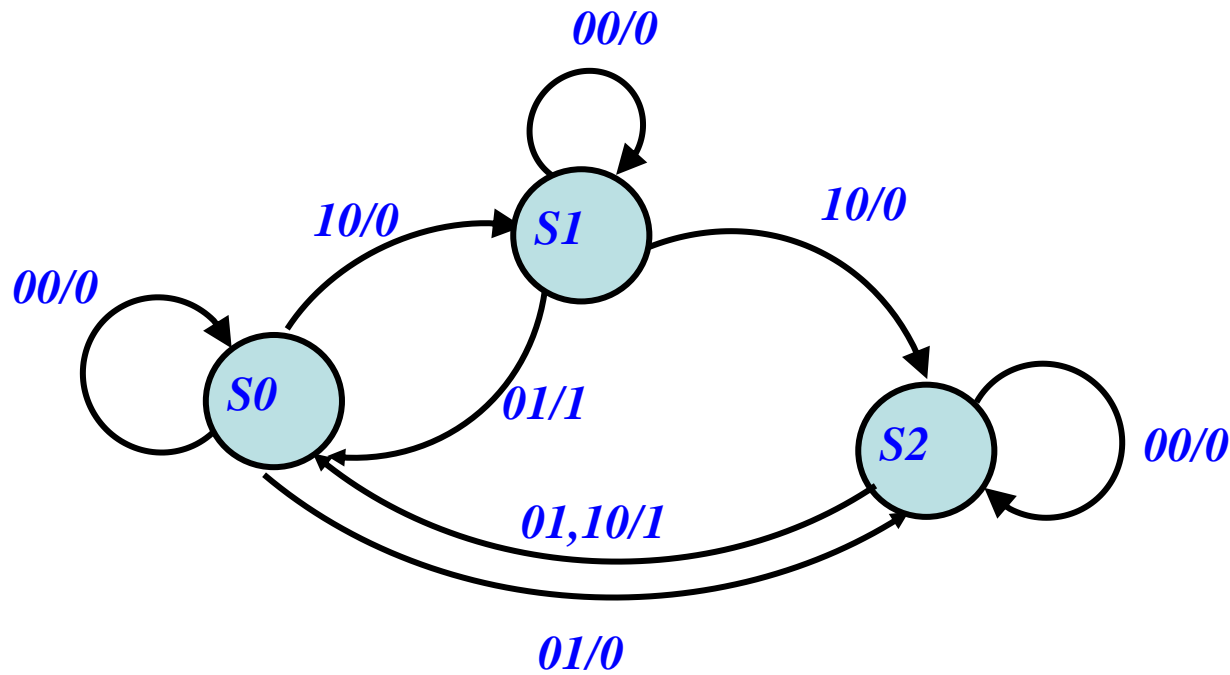
Định nghĩa các trạng thái

S0 là trạng thái chưa nhận được đồng nào(reset)

S1: nhận được giá trị 5K

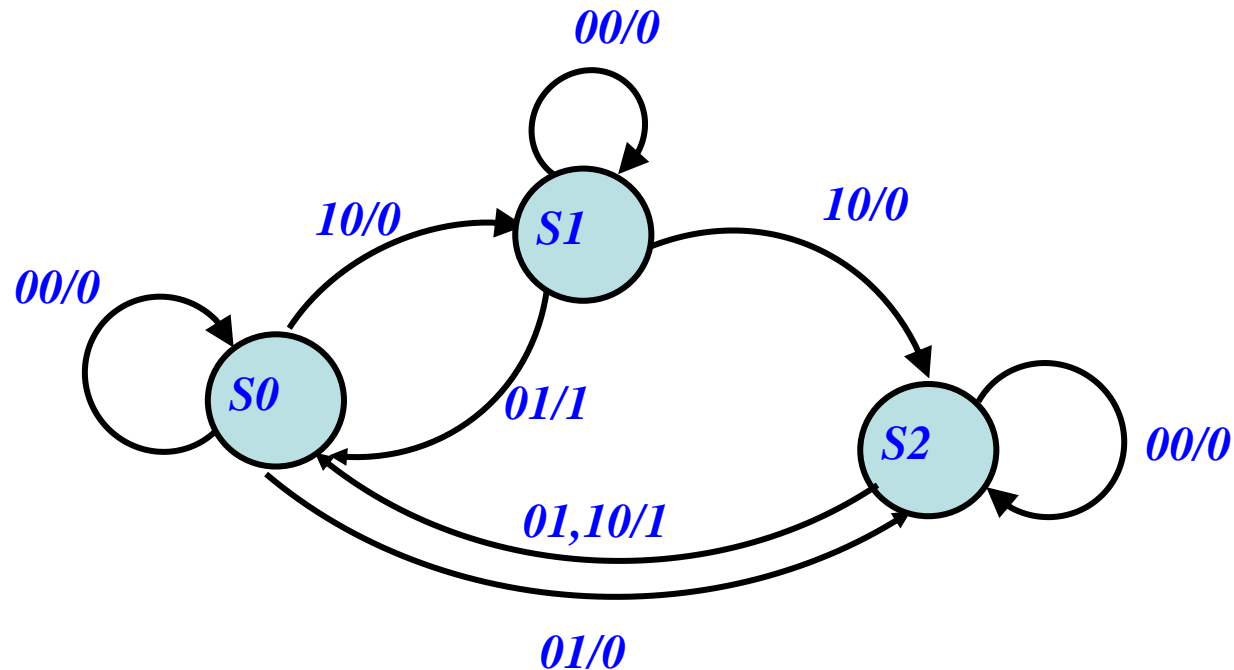
S2: nhận được giá trị 10K

X_1X_0/Z : các ngõ vào tương ứng cho đồng 5K,10K/ ngõ ra



- Bảng chuyển trạng thái

TTHT	TTKT				Ngõ ra Z			
	00	01	10	11	00	01	10	11
S0	S0	S2	S1	-	0	0	0	-
S1	S1	S0	S2	-	0	1	0	-
S2	S2	S0	S0	-	0	1	1	-



- Gán trạng thái: sử dụng mã nhị phân 2 bit(có thể gán theo mã Gray hoặc one hot encoding..)
S0: 00, S1: 01 , S2: 10 , S3: 11 (dùng 2 FF)
- Thiết kế mạch (kiểu Moore)
VD: Sử dụng T-FF kích cạnh lên và các cổng logic

TTHT		Ngõ vào		TTKT		Ngõ vào FF		Ngõ ra
Q1	Q0	X1	X0	Q1 ⁺	Q0 ⁺	T1	T0	Z
0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	1	0	0
0	0	1	0	0	1	0	1	0
0	0	1	1	X	X	X	X	0
0	1	0	0	0	1	0	0	0
0	1	0	1	1	1	1	0	0
0	1	1	0	1	0	1	1	0
0	1	1	1	X	X	X	X	0

TTHT		Ngõ vào		TTKT		Ngõ vào FF		Ngõ ra
Q1	Q0	X1	X0	Q1 ⁺	Q0 ⁺	T1	T0	Z
1	0	0	0	1	0	0	0	0
1	0	0	1	1	1	0	1	0
1	0	1	0	1	1	0	1	0
1	0	1	1	X	X	X	X	0
1	1	0	0	0	0	1	1	1
1	1	0	1	0	0	1	1	1
1	1	1	0	0	0	1	1	1
1	1	1	1	0	0	1	1	1

- Thiết kế

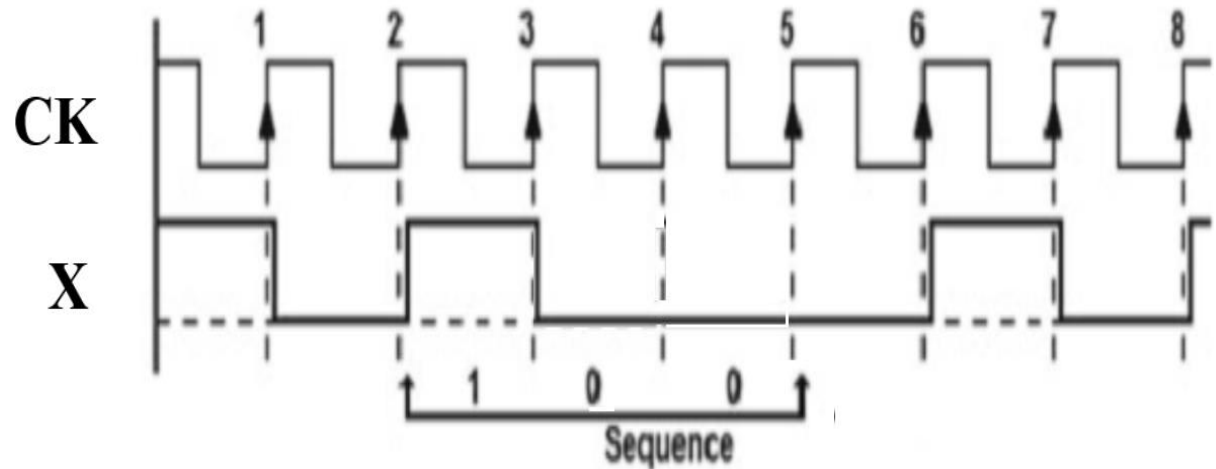
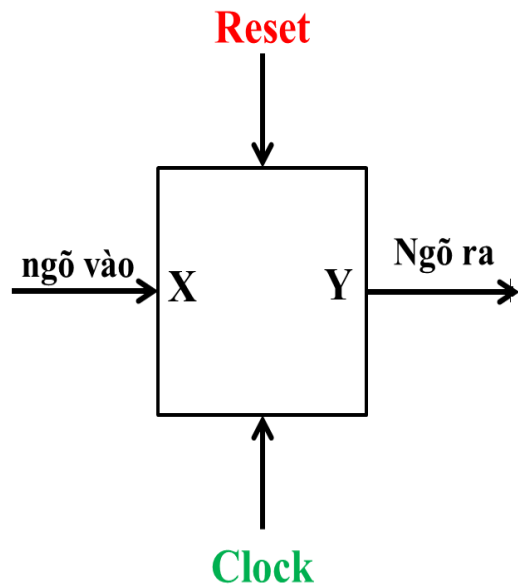
$$Z = Q_1 Q_0,$$

$$T_1 = Q_1' X_0 + Q_1 Q_0 + Q_0 X_1$$

$$T_0 = X_1 + Q_1 Q_0 + Q_1 X_0$$

PHÁT HIỆN CHUỖI BIT

Ví dụ: Thiết kế một hệ tuần tự có 1 ngõ vào X và 1 ngõ ra Y. Ngõ ra sẽ có giá trị là 1 nếu ngõ vào nhận được 1 chuỗi liên tiếp là 100.



- Lập graph trạng thái theo kiểu Moore

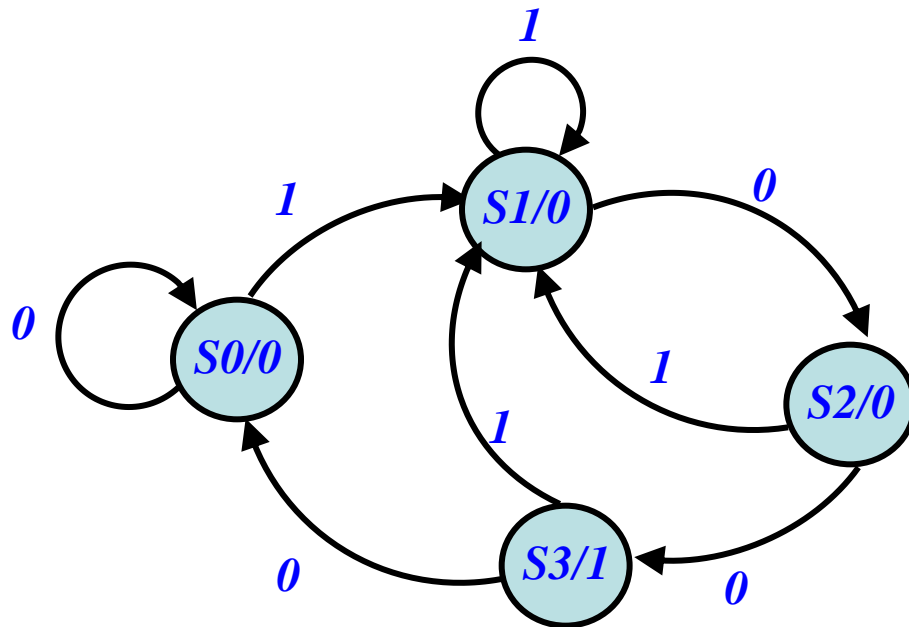
Định nghĩa các trạng thái

S0 là trạng thái chưa nhận được bit đúng đầu tiên trong chuỗi bit đúng(reset)

S1: nhận được 1 bit 1

S2: nhận được 2 bit 10

S3: nhận được 3 bit 100



- Bảng chuyển trạng thái

TTHT	TTKT		Ngõ ra Z
	X=0	X=1	
S0	S0	S1	0
S1	S2	S1	0
S2	S3	S1	0
S3	S0	S1	1

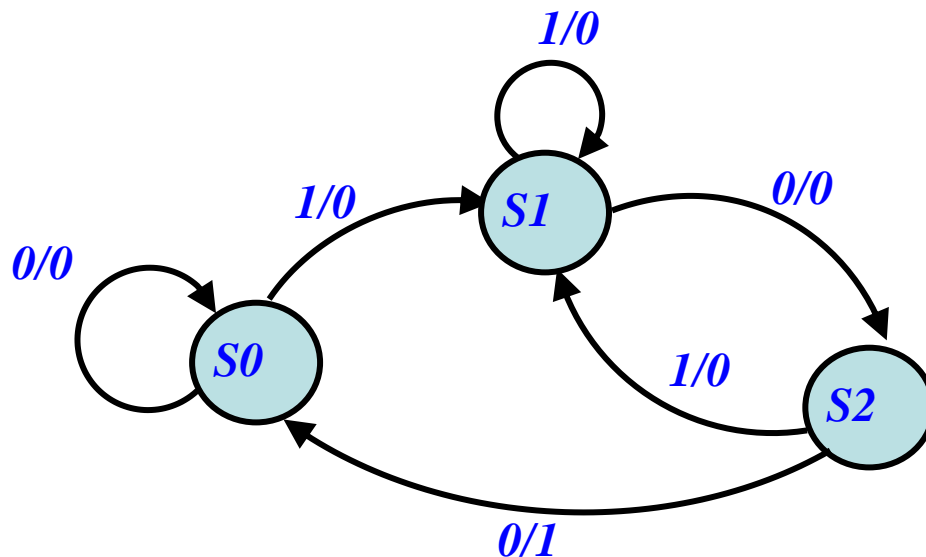
- Lập graph trạng thái theo kiểu Mealy

Định nghĩa các trạng thái

S0 là trạng thái chưa nhận được bit đúng đầu tiên trong chuỗi bit đúng(reset)

S1: nhận được 1 bit 1

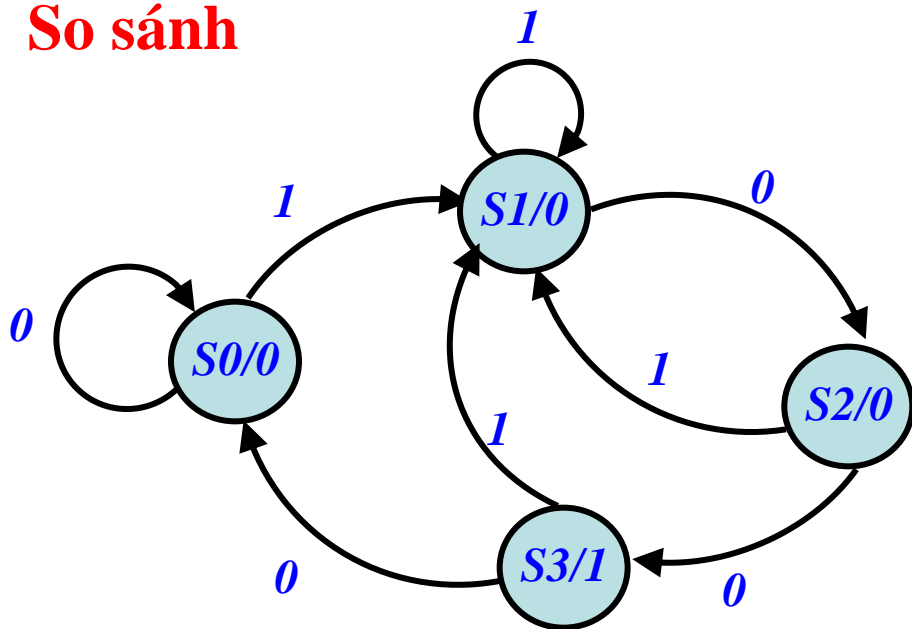
S2: nhận được 2 bit 10



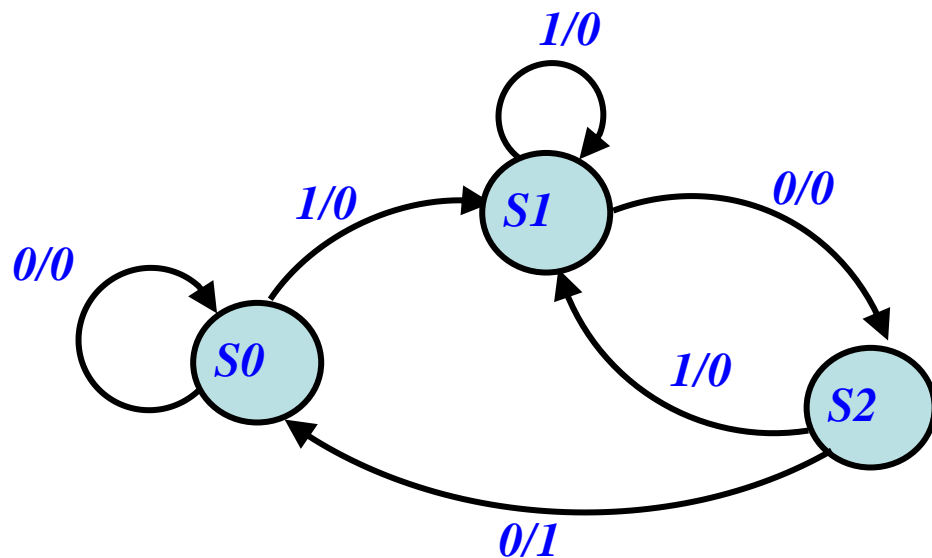
- Bảng chuyển trạng thái

TTHT	TTKT		Ngõ ra Z	
	X=0	X=1	X=0	X=1
S0	S0	S1	0	0
S1	S2	S1	0	0
S2	S0	S1	1	0

So sánh



TTHT	TTKT		Ngõ ra Z
	X=0	X=1	
S0	S0	S1	0
S1	S2	S1	0
S2	S3	S1	0
S3	S0	S1	1



TTHT	TTKT		Ngõ ra Z	
	X=0	X=1	X=0	X=1
S0	S0	S1	0	0
S1	S2	S1	0	0
S2	S0	S1	1	0

- Gán trạng thái: sử dụng mã nhị phân 2 bit(có thể gán theo mã Gray hoặc one hot encoding..)

S0: 00, S1: 01 , S2: 10 , S3: 11 (dùng 2 FF)

- Thiết kế mạch

VD: Sử dụng T-FF kích cạnh lên và các cổng logic

TTHT		Ngõ vào	TTKT		Ngõ vào FF		Ngõ ra
Q1	Q0	X	Q1 ⁺	Q0 ⁺	T1	T0	Z
0	0	0	0	0	0	0	0
0	0	1	0	1	0	1	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	0	0
1	0	0	1	1	0	1	0
1	0	1	0	1	1	1	0
1	1	0	0	0	1	1	1
1	1	1	0	1	1	0	1

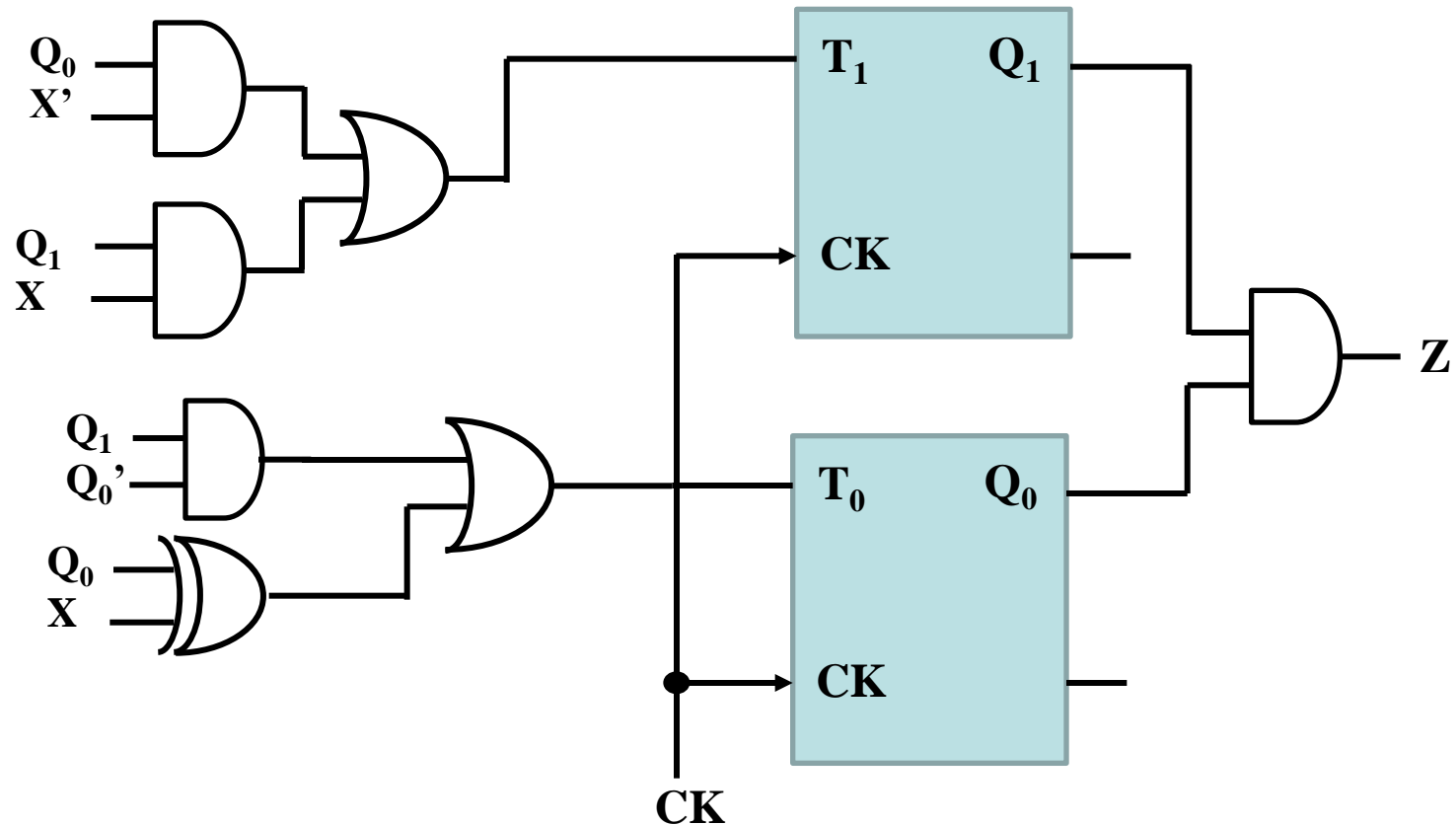
- Xác định các hàm ngõ vào FF và ngõ ra của hệ

$$T_1 = Q_0 \cdot X' + Q_1 \cdot X$$

$$T_0 = Q_1 Q_0' + Q_0 \oplus X$$

$$Z = Q_1 \cdot Q_0$$

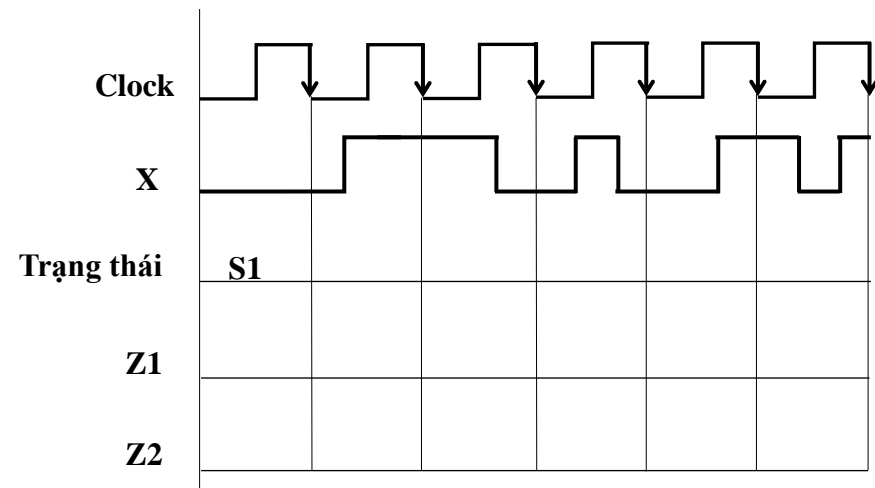
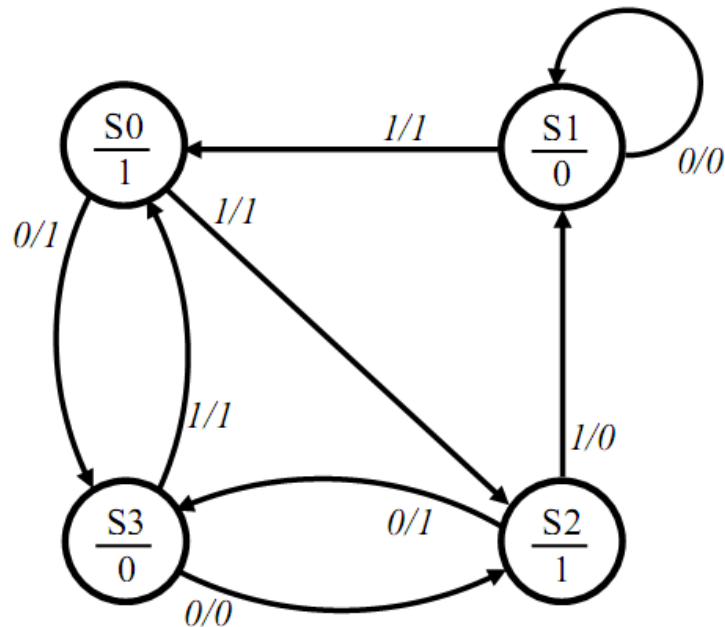
- Vẽ sơ đồ mạch



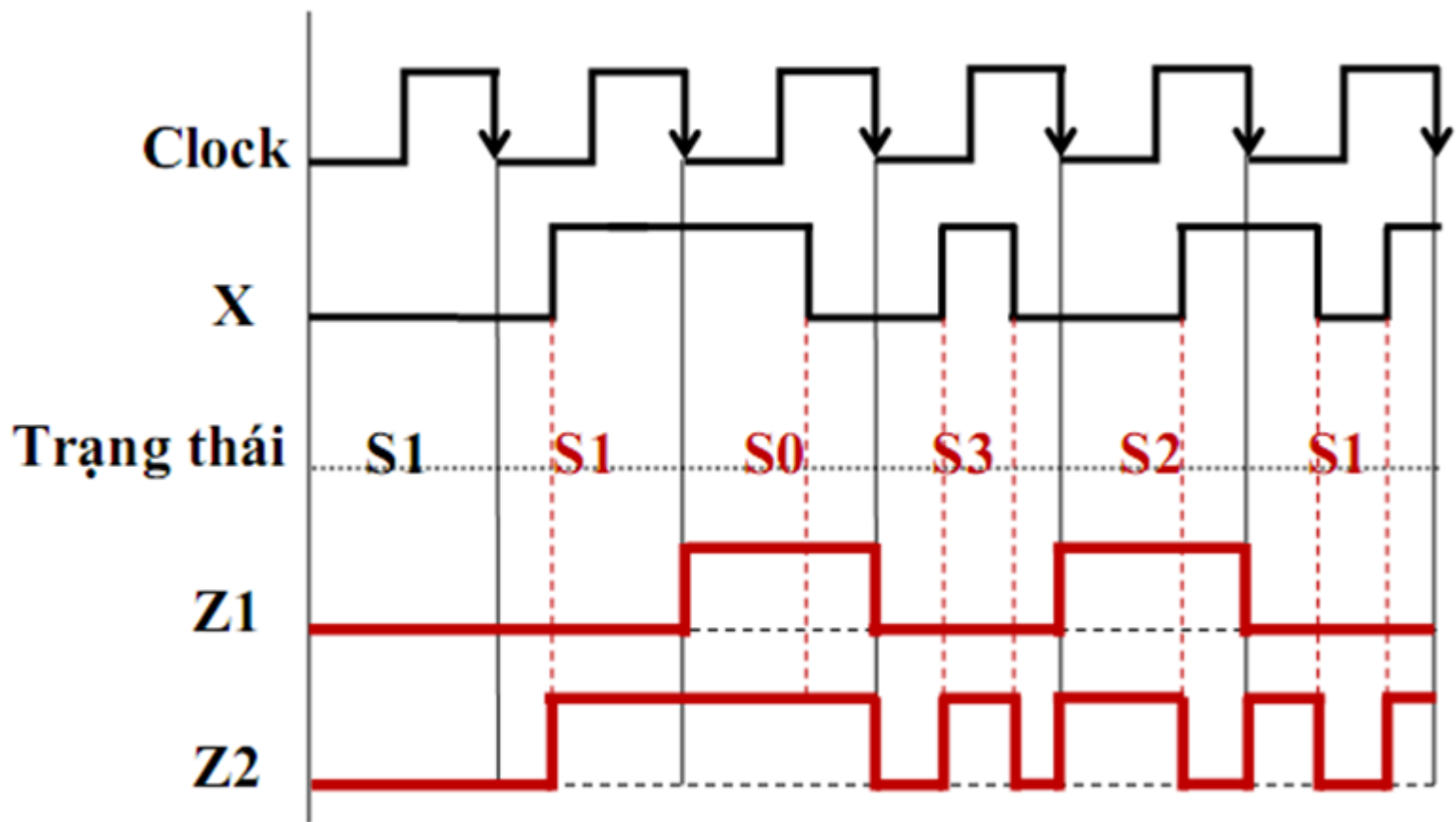
Chú ý:

Có thể thiết kế cả hai loại ngõ ra kiểu Mealy và Moore trong cùng một hệ tuần tự đồng bộ.

Ví dụ: Cho hệ tuần tự có giản đồ trạng thái (graph trạng thái) như hình vẽ. Hệ có 1 ngõ vào là X, 2 ngõ ra Z1 (kiểu MOORE) và Z2 (kiểu MEALY). Khi có xung clock cạnh xuống thì hệ sẽ chuyển trạng thái



Xác định trạng thái kế tiếp và vẽ xung ngõ ra Z1, Z2 theo xung ngõ vào X và Clock. Biết rằng trạng thái ban đầu là S1.



* NGUYÊN TẮC THIẾT KẾ BỘ ĐẾM SONG SONG

Bộ đếm đầy đủ (2^n):

- Từ phát biểu bài toán xác định số FF sử dụng và dãy đếm.
- Lập bảng chuyển trạng thái chỉ rõ mối quan hệ giữa trạng thái hiện tại và trạng thái kế tiếp (dựa vào dãy đếm).

<i>T/t hiện tại</i> $Q_{n-1} \dots Q_1 Q_0$	<i>T/t kế tiếp</i> $Q^+_{n-1} \dots Q^+_1 Q^+_0$	<i>Các ngõ vào</i> <i>FF</i>

- Tìm các giá trị ngõ vào FF cần phải có từ giá trị hiện tại Q_i và kế tiếp Q^+_i của từng FF (dựa vào bảng kích thích của FF).
- Tìm biểu thức rút gọn của mỗi ngõ vào FF phụ thuộc vào các biến trạng thái hiện tại.
- Thực hiện sơ đồ logic.

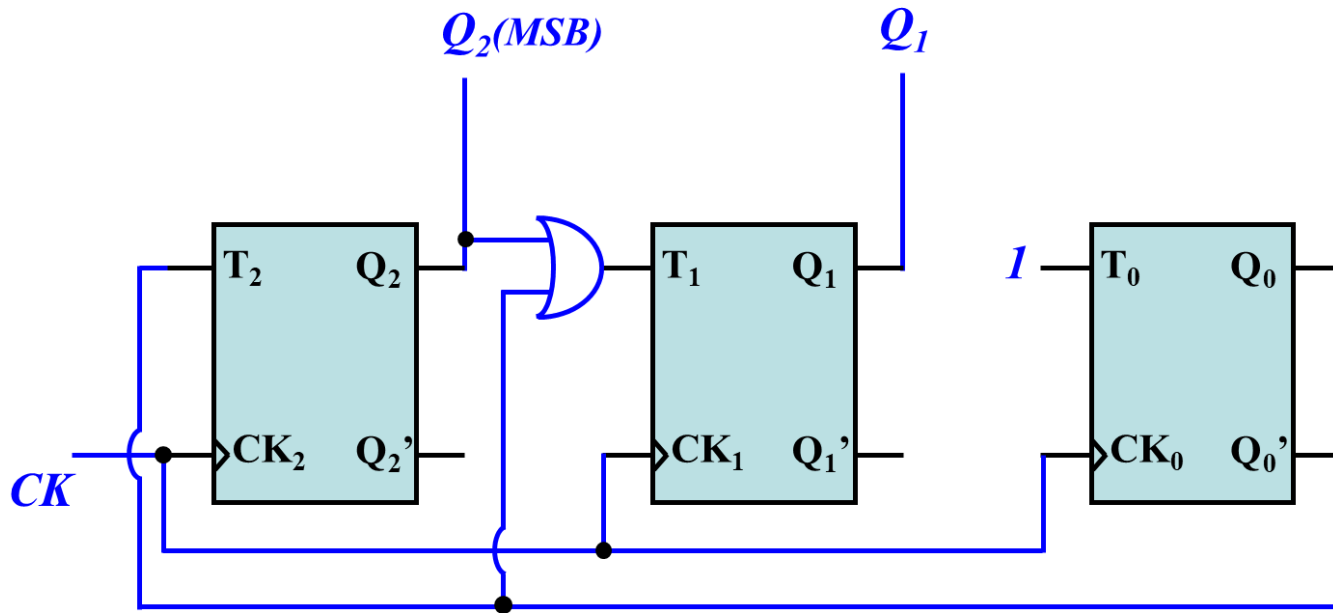
VD: Sử dụng T-FF kích theo cạnh lên, thiết kế bộ đếm có dãy đếm sau:
 $Q_2Q_1Q_0 : 010 \rightarrow 101 \rightarrow 110 \rightarrow 001 \rightarrow 000 \rightarrow 111 \rightarrow 100 \rightarrow 011 \rightarrow 010 \dots$

$$T_2 = Q_0'$$

$$T_1 = Q_0' + Q_2$$

$$T_0 = 1$$

Mạch thiết kế



Bộ đếm không đầy đủ ($m < 2^n$):

Các trạng thái có trong vòng đếm sẽ thiết kế như bộ đếm đầy đủ; còn các trạng thái dư không có trong vòng đếm sẽ giải quyết theo 2 cách sau:

* Cách 1: Các trạng thái dư có trạng thái kế tiếp là tùy định. Khi thiết kế cần khởi động giá trị ban đầu cho bộ đếm; giá trị này phải là 1 trong những trạng thái có trong vòng đếm.

* Cách 2: Cho các trạng thái dư không có trong vòng đếm có trạng thái kế tiếp là 1 trong những trạng thái có trong vòng đếm.

VD:

Sử dụng D-FF có CK cạnh lên, các ngõ Pr và Cl tích cực cao, thiết kế mạch đếm song song thực hiện dãy đếm sau:

$$0 \rightarrow 2 \rightarrow 4 \rightarrow 6 \rightarrow 0 \dots$$

a. Các trạng thái không nằm trong vòng đếm được đưa về trạng thái tùy định.

b. Các trạng thái không nằm trong vòng đếm được đưa về trạng thái 0.

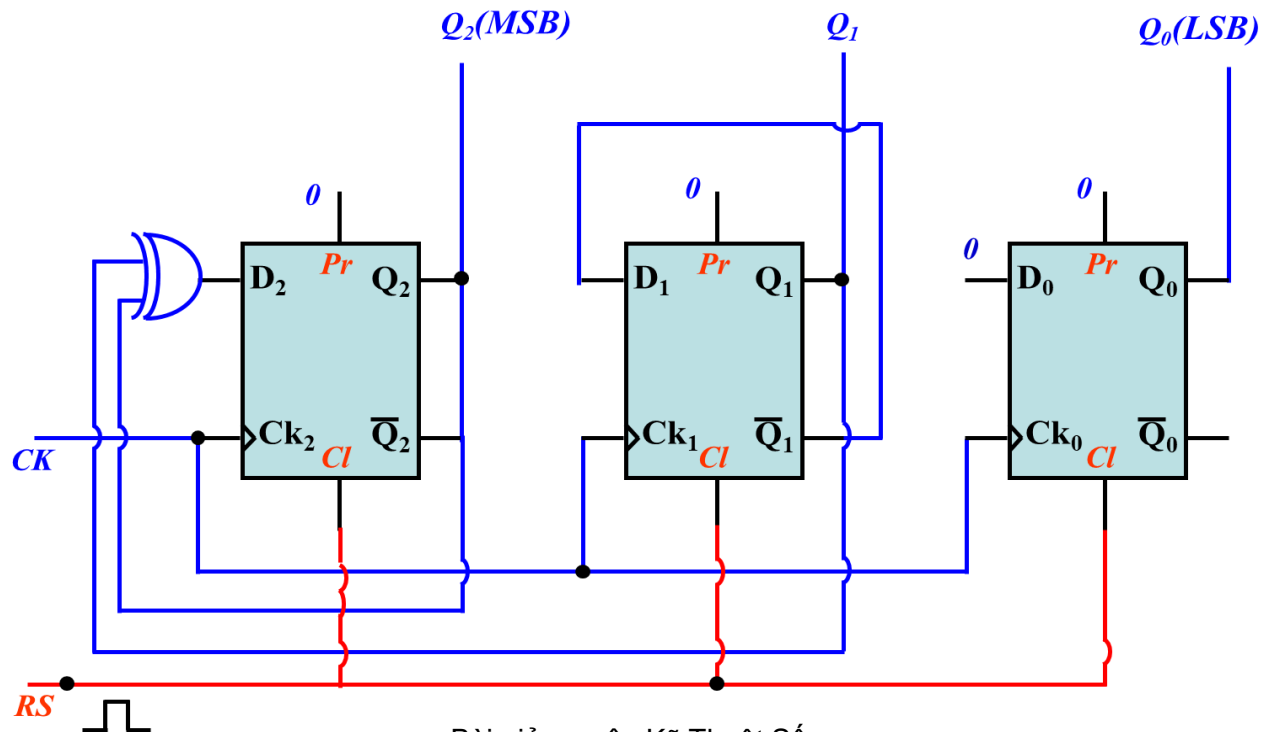
a. Các trạng thái không nằm trong vòng đếm được đưa về trạng thái tùy định.

T/t hiện tại $Q_2 \ Q_1 \ Q_0$			T/t kế tiếp $Q_2^+ \ Q_1^+ \ Q_0^+$			Các ngõ vào $D_2 \ D_1 \ D_0$		
0	0	0	0	1	0	0	1	0
0	0	1	X	X	X	X	X	X
0	1	0	1	0	0	1	0	0
0	1	1	X	X	X	X	X	X
1	0	0	1	1	0	1	1	0
1	0	1	X	X	X	X	X	X
1	1	0	0	0	0	0	0	0
1	1	1	X	X	X	X	X	X

D_2 $Q_2 Q_1$ Q_0	00		01	11	10
	0		1		1
1	X	X	X	X	X

$$\begin{aligned} D_2 &= Q_2 \oplus Q_1 \\ D_1 &= Q_1' \\ D_0 &= 0 \end{aligned}$$

D_1 $Q_2 Q_1$ Q_0	00		01	11	10
	0	1			1
1	X	X	X	X	X

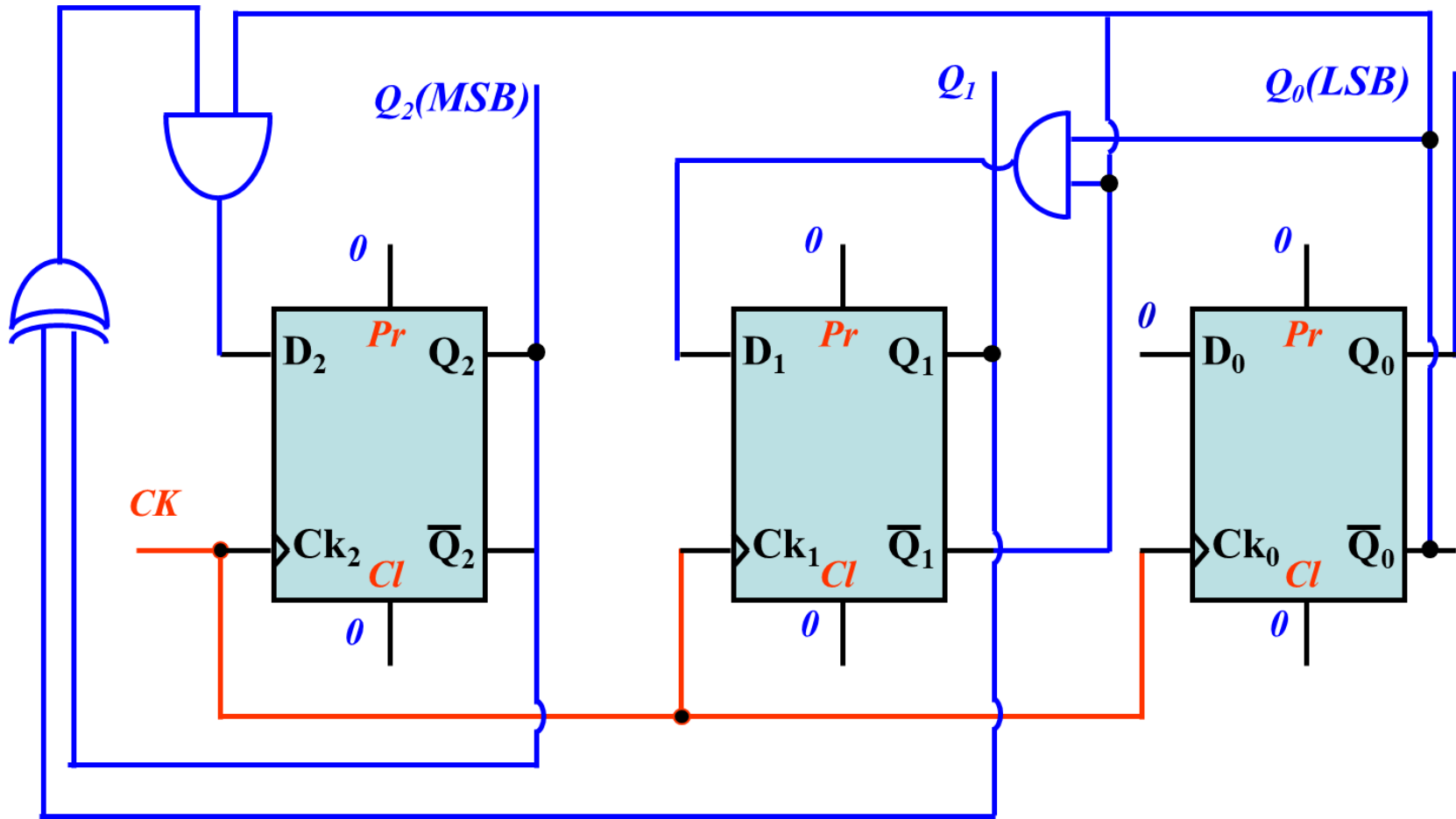


b. Các trạng thái không nằm trong vòng đếm được đưa về trạng thái 0.

$$\mathbf{D}_2 = (\mathbf{Q}_2 \oplus \mathbf{Q}_1) \mathbf{Q}_0,$$

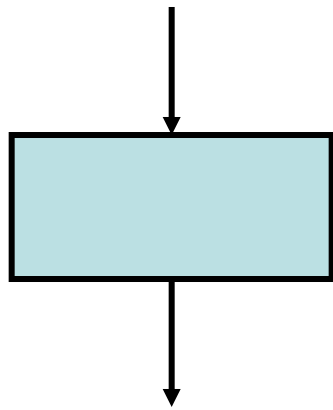
$$\mathbf{D}_1 = \mathbf{Q}_1' \mathbf{Q}_0'$$

$$\mathbf{D}_0 = \mathbf{0}$$

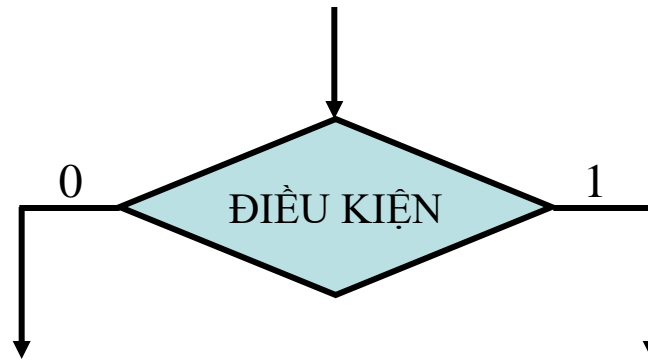


V. LƯU ĐỒ MÁY TRẠNG THÁI (*ASM - algorithmic state machine*)

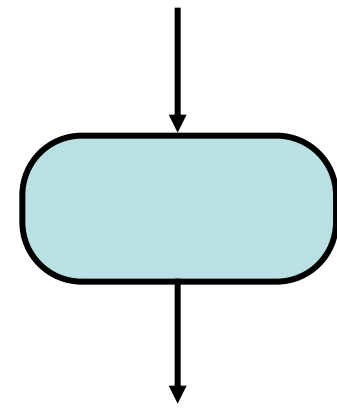
Hệ tuần tự còn được gọi là máy trạng thái thuật toán(ASM) hay đơn giản hơn gọi là SM.



Hộp trạng thái



Hộp quyết định



Hộp xuất theo điều kiện

Các phần tử cơ bản của một khối SM

Đường vào của khối SM

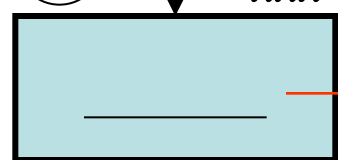
Tên trạng thái

S

xxx

Mã trạng thái

*Liệt kê biến ra có giá trị 1
(biến Moore)*

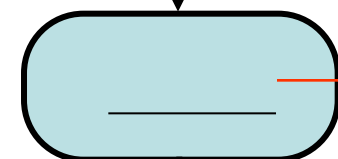


0

ĐIỀU KIỆN

1

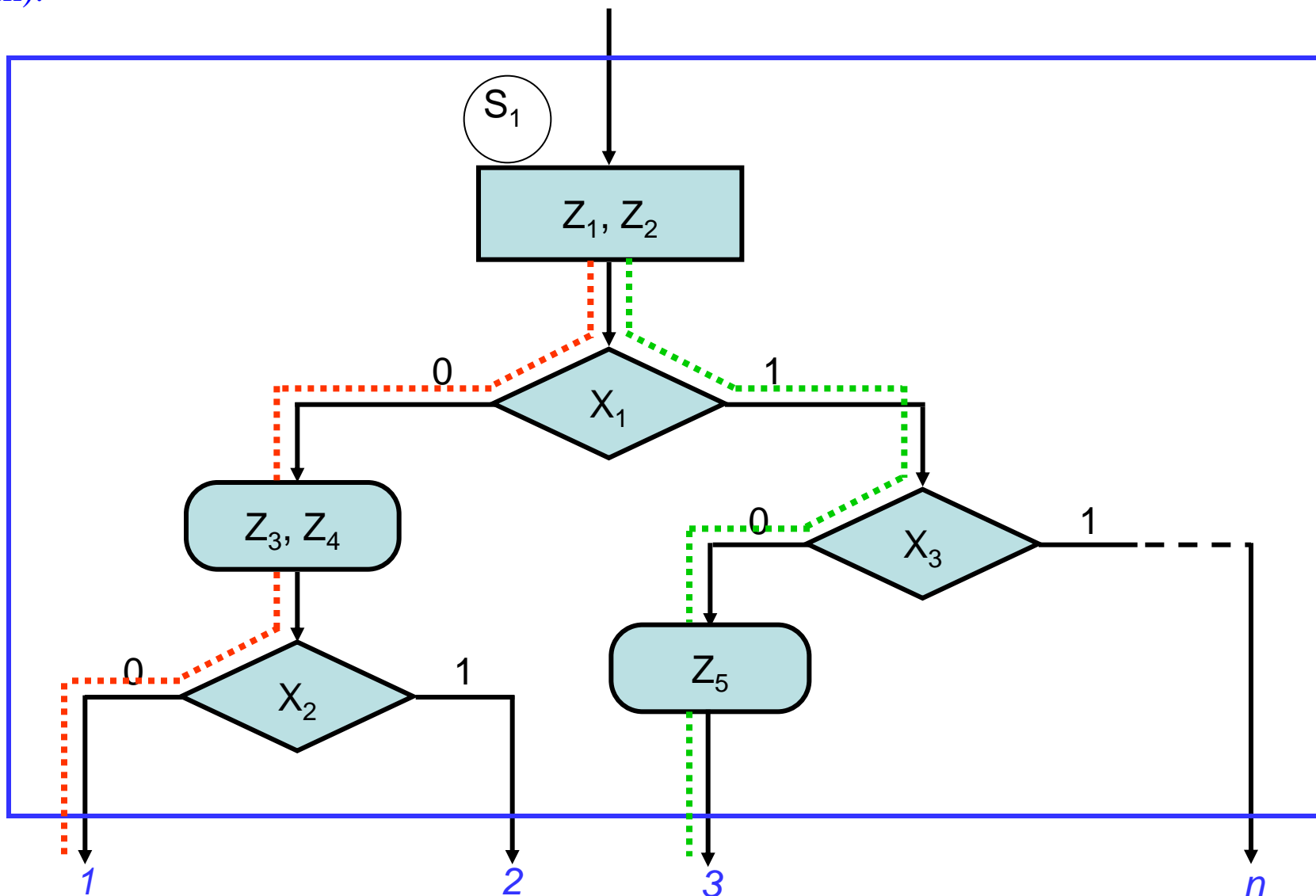
*Liệt kê biến ra có
giá trị 1 theo điều
kiện (biến Mealy)*

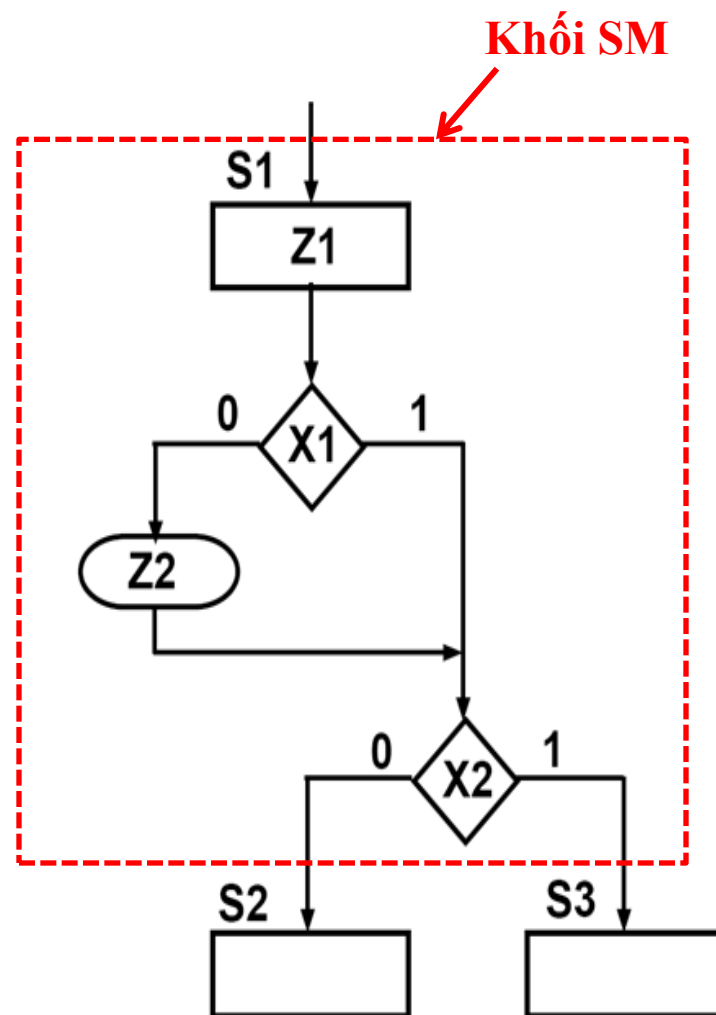
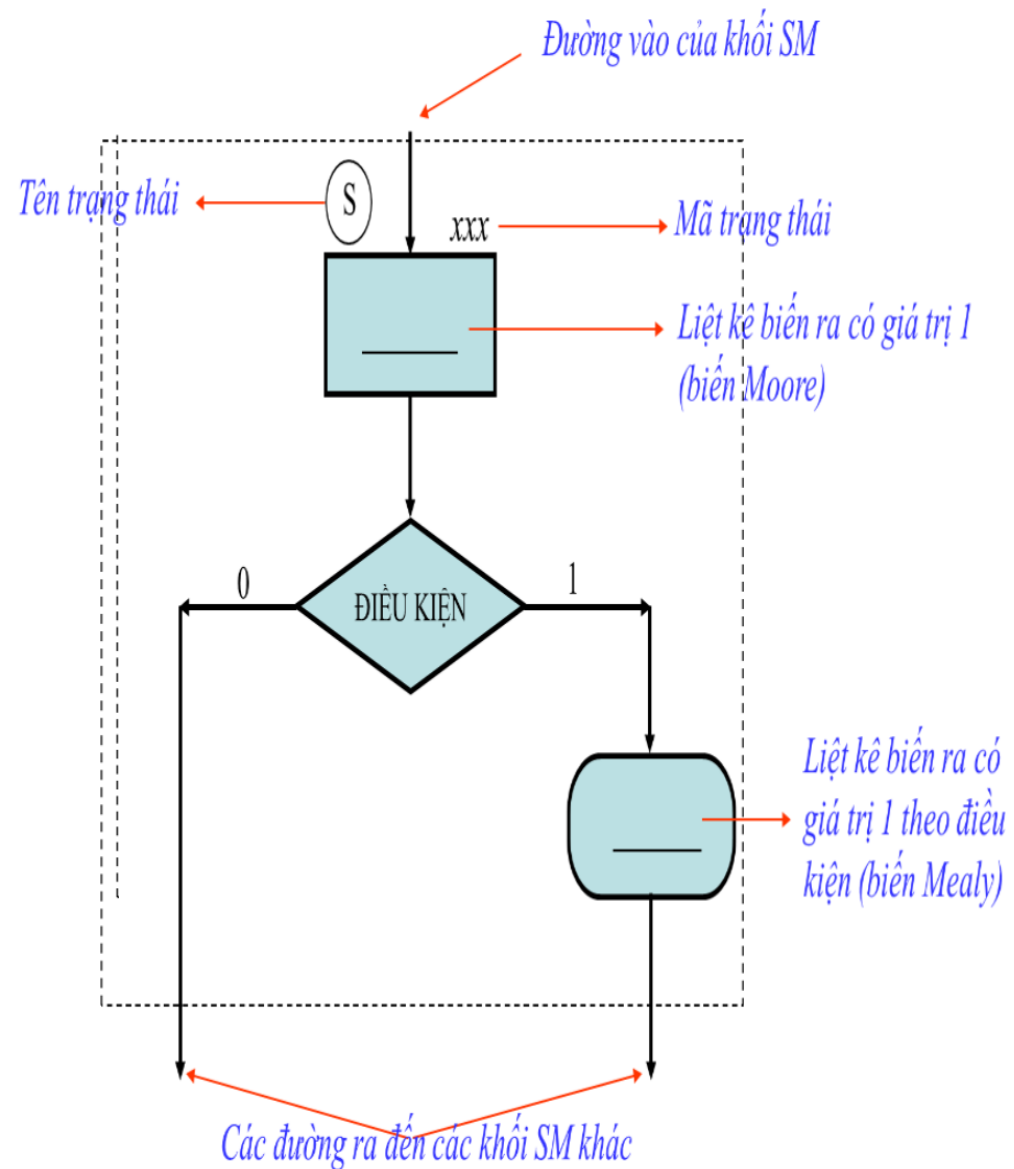


Các đường ra đến các khối SM khác

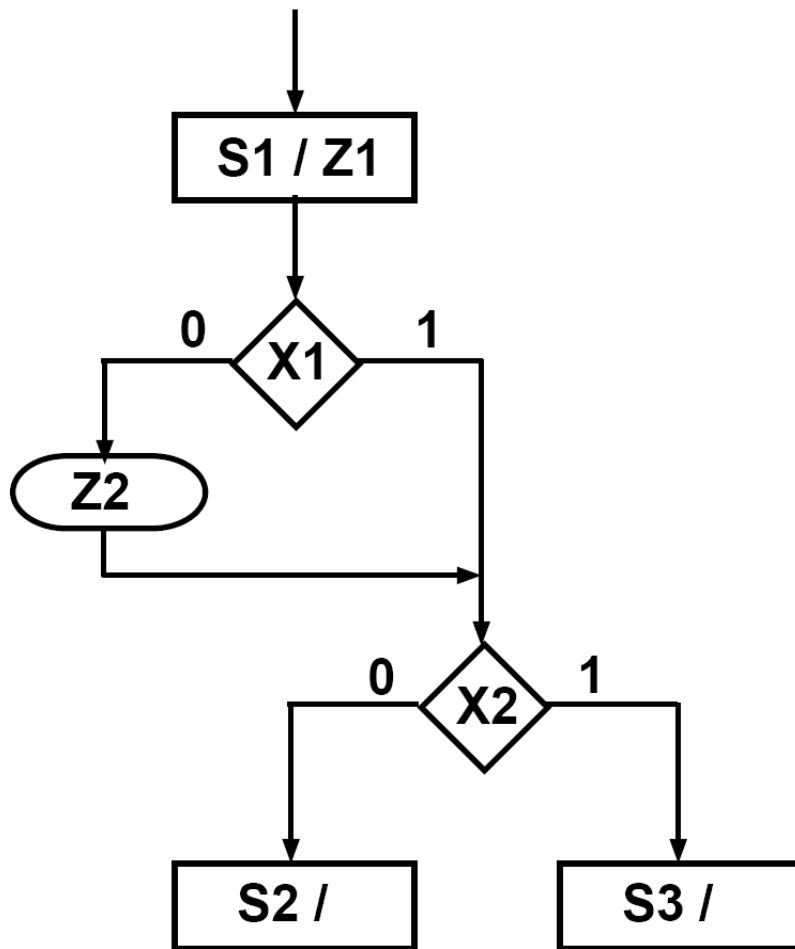
Một khối SM có chính xác một đường vào và một hoặc nhiều đường ra.

- Một đường dẫn đi qua khối SM từ ngõ vào đến ngõ ra được gọi là *đường dẫn liên kết* (link path).

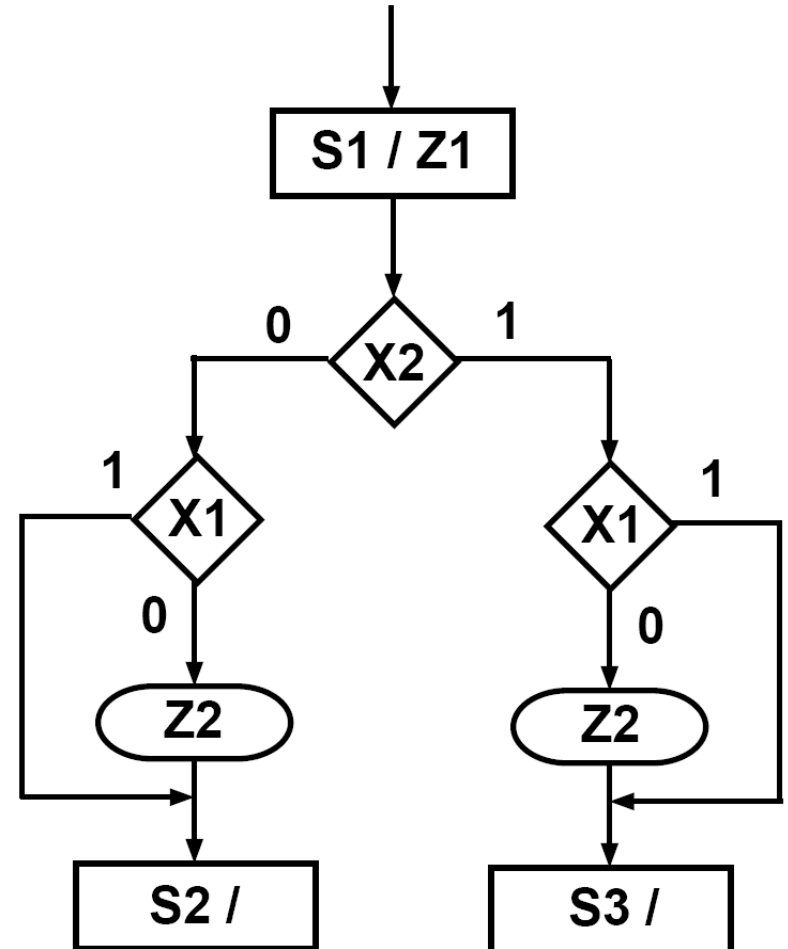




- Khối SM có thể được biểu diễn bằng nhiều dạng khác nhau.



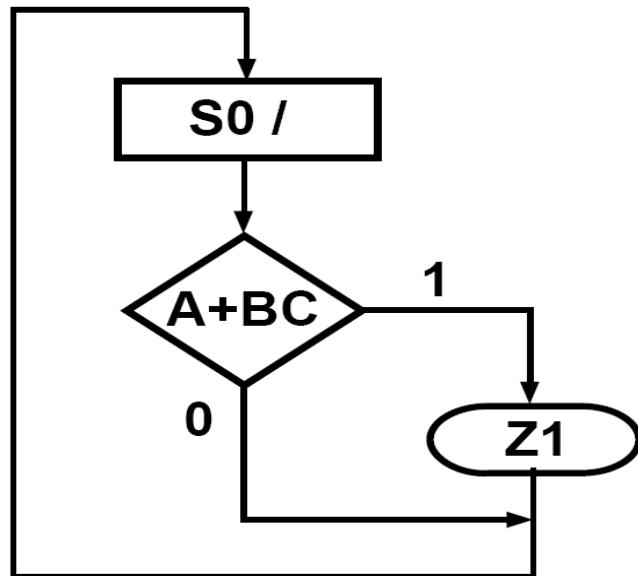
(a)



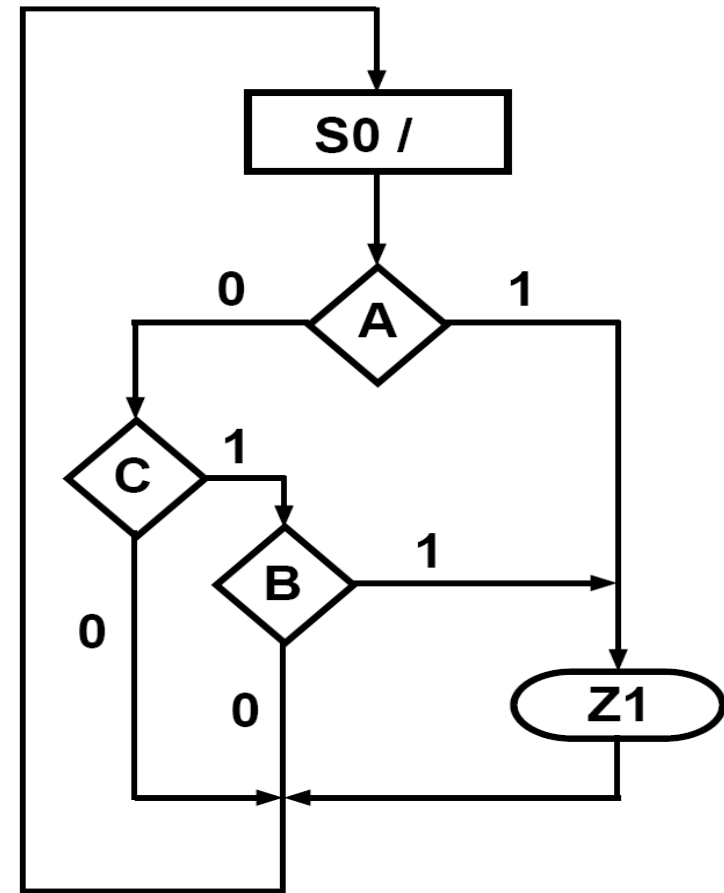
(b)

- Một lưu đồ SM có thể biểu diễn một hệ tổ hợp khi chỉ có một trạng thái và không có sự thay đổi trạng thái xảy ra.

$$Z1 = A + A'BC = A + BC$$



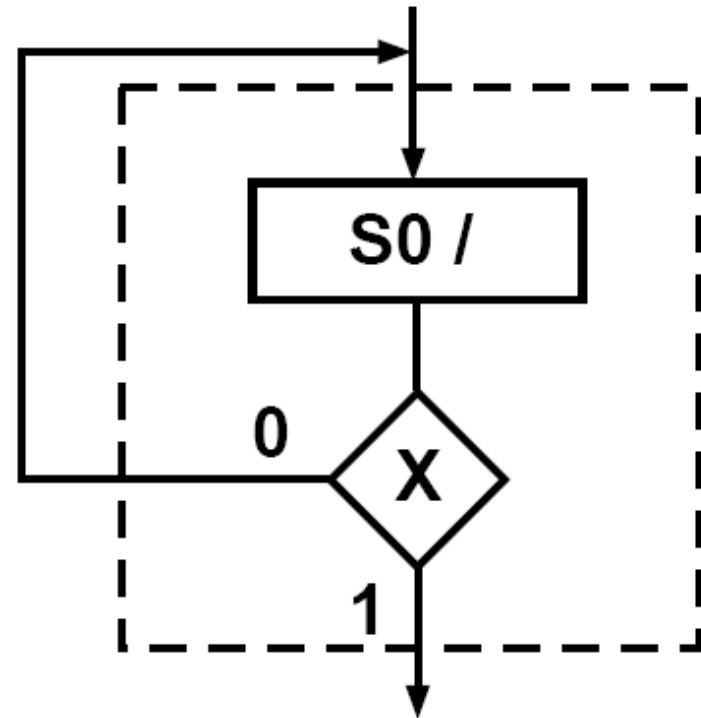
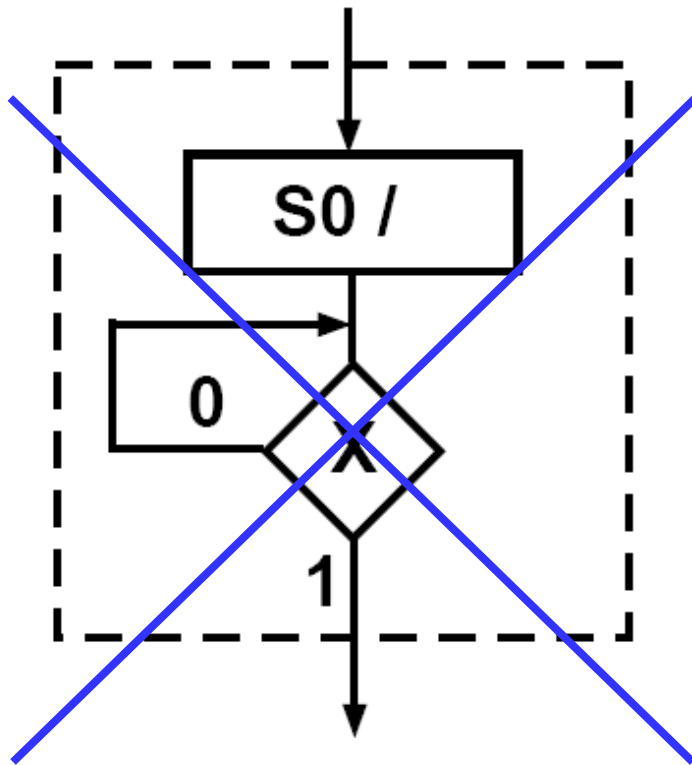
(a)

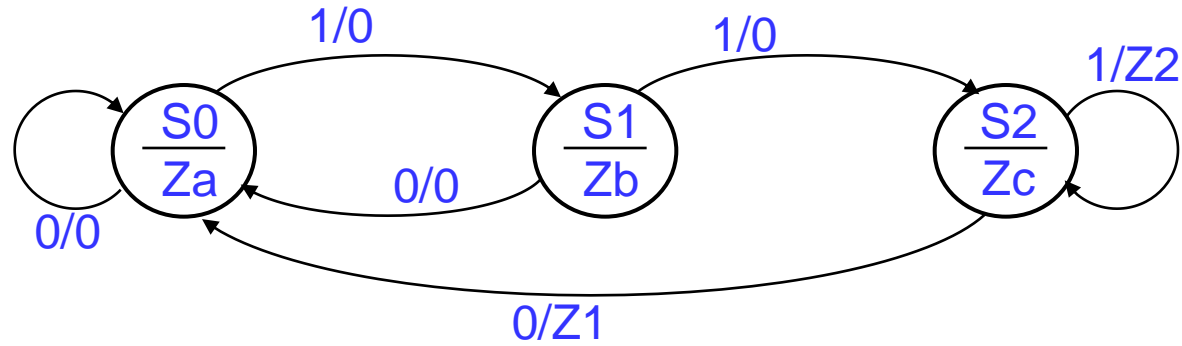
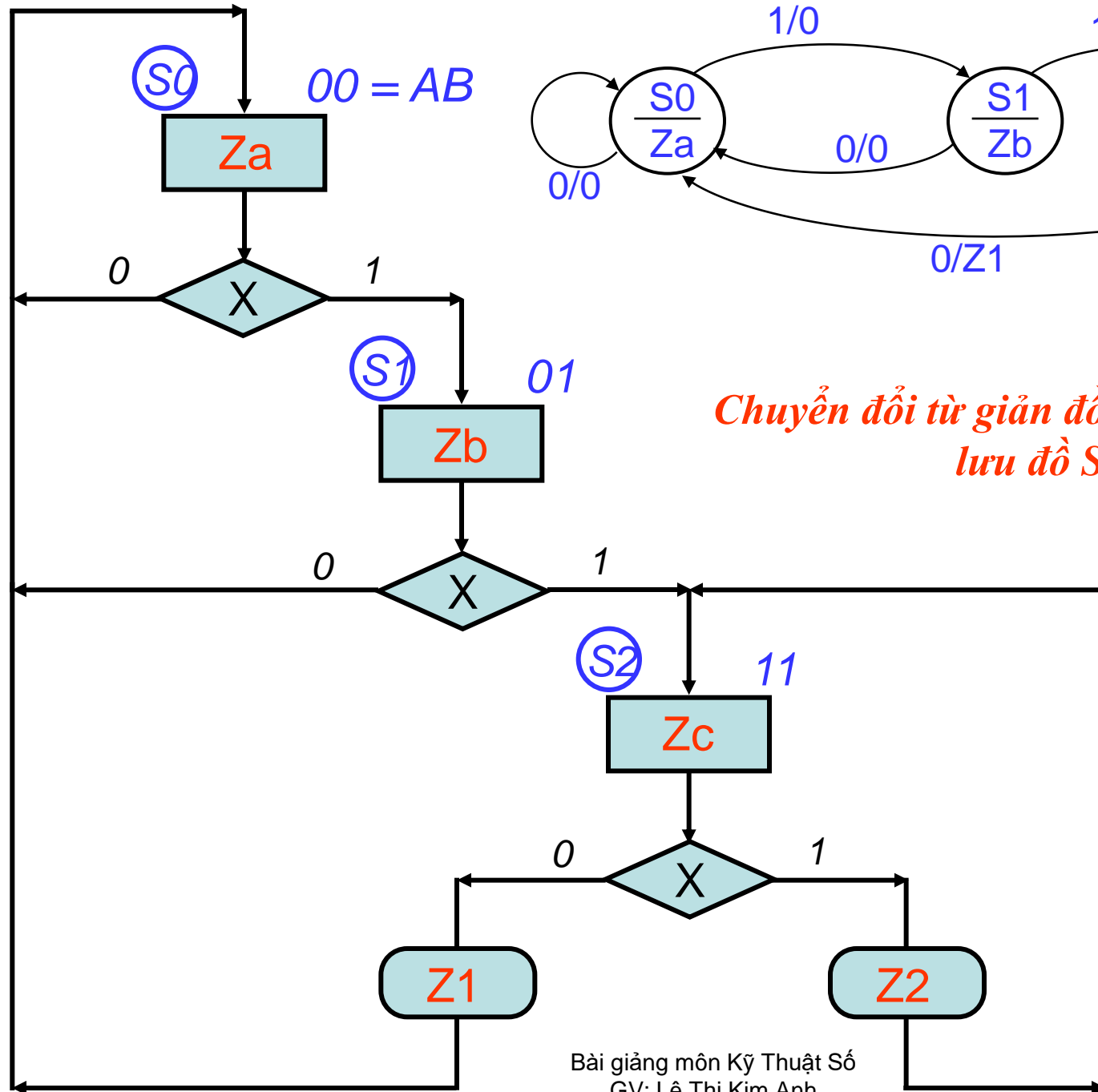


(b)

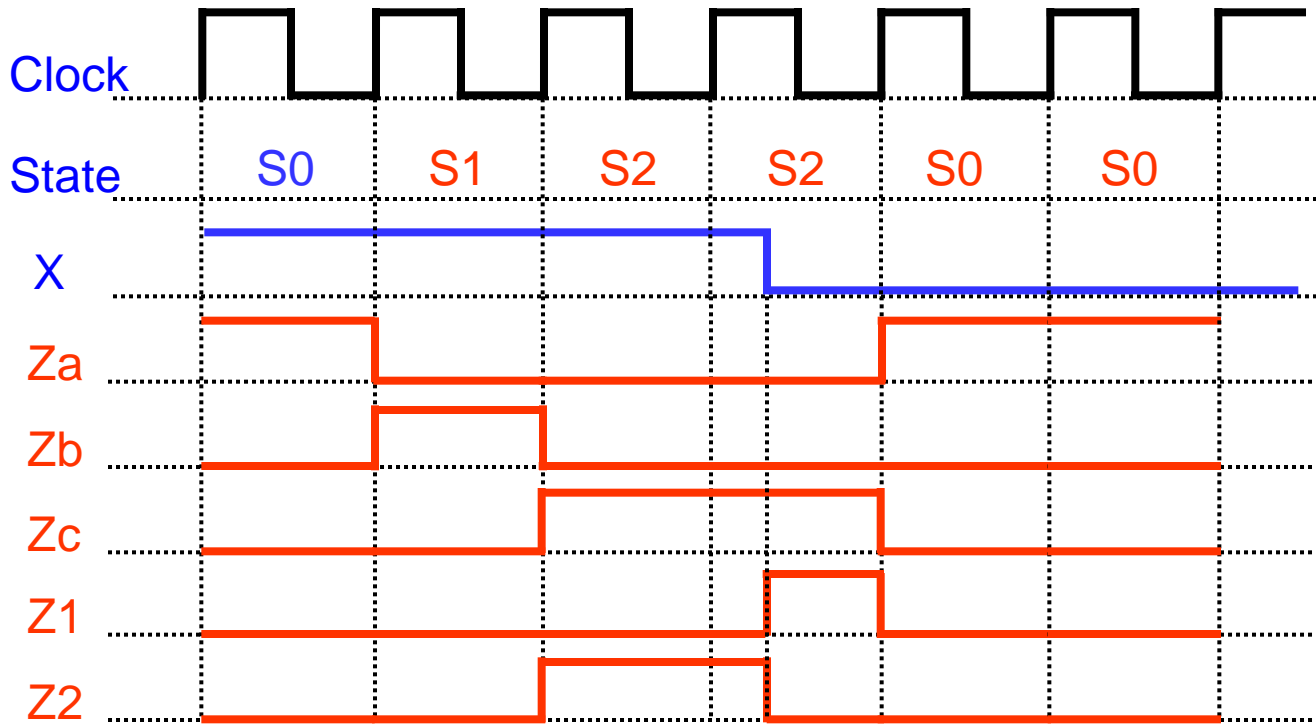
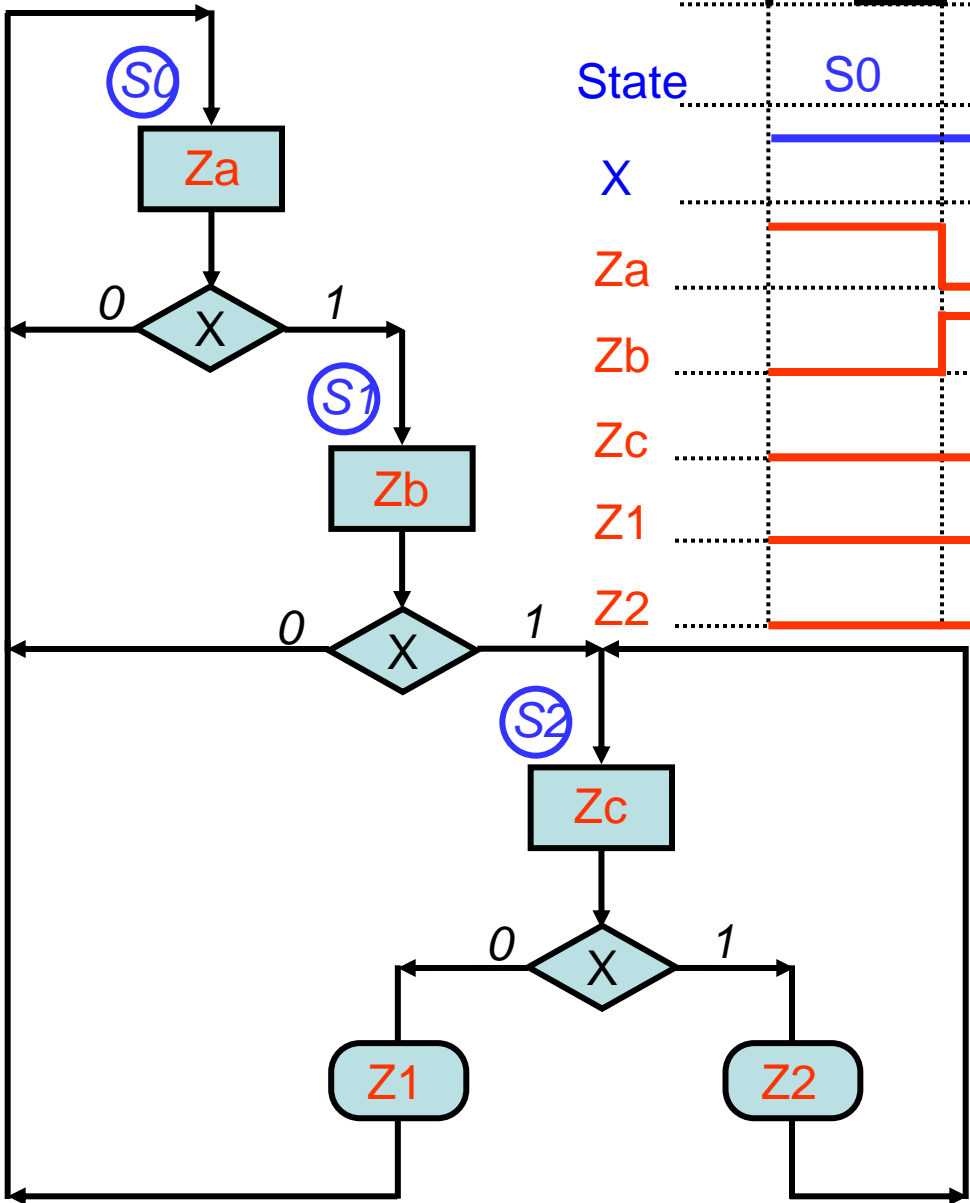
Nguyên tắc xây dựng một khối SM.

- Với mỗi kết hợp các biến vào hợp lệ phải có chính xác một đường ra được định nghĩa. Điều này là cần thiết vì mỗi tổ hợp vào được cho phép phải dẫn đến một trạng thái kế duy nhất.
- Không cho phép có đường hồi tiếp nội trong một khối SM.





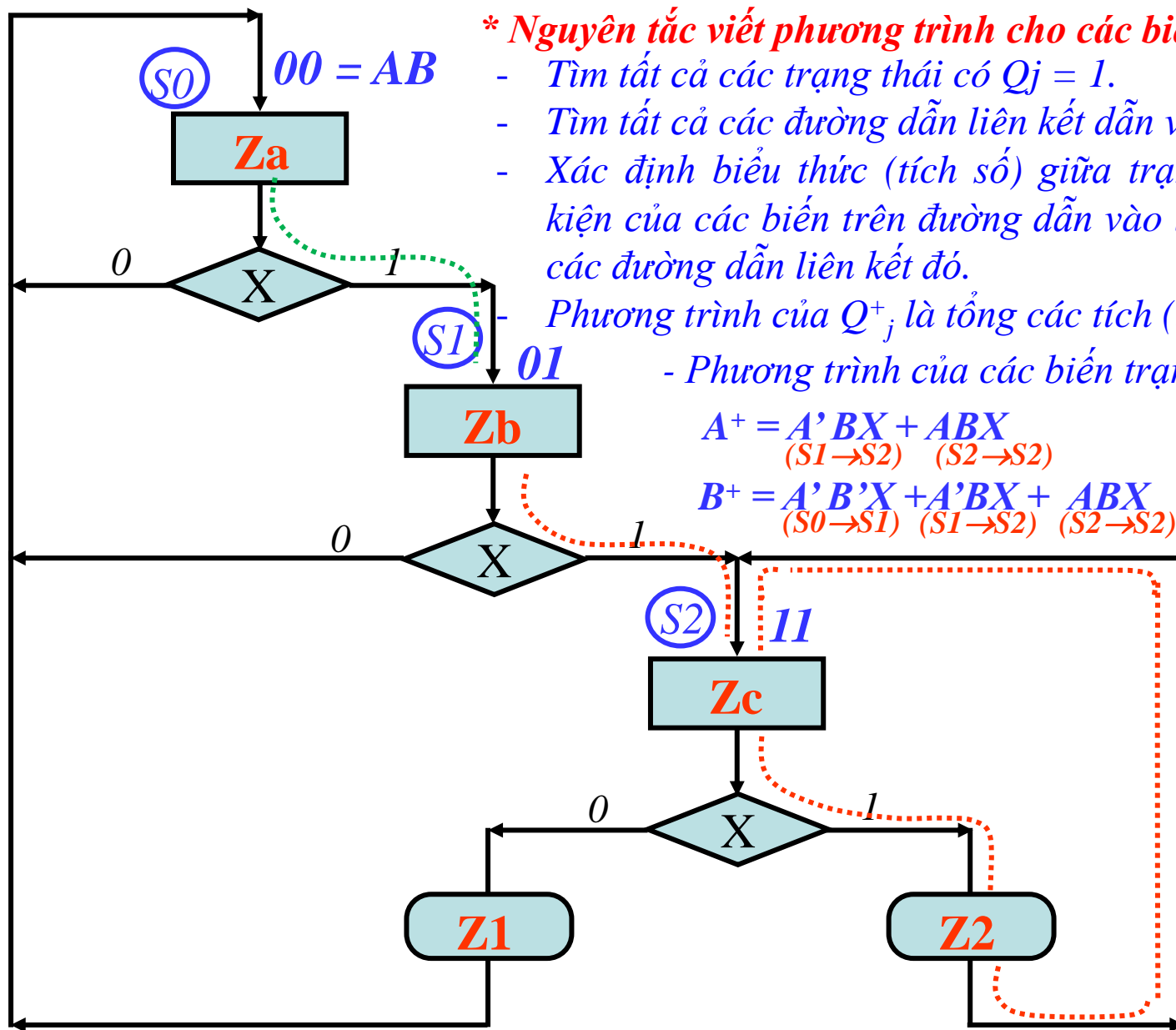
Chuyển đổi từ giản đồ trạng thái sang lưu đồ SM

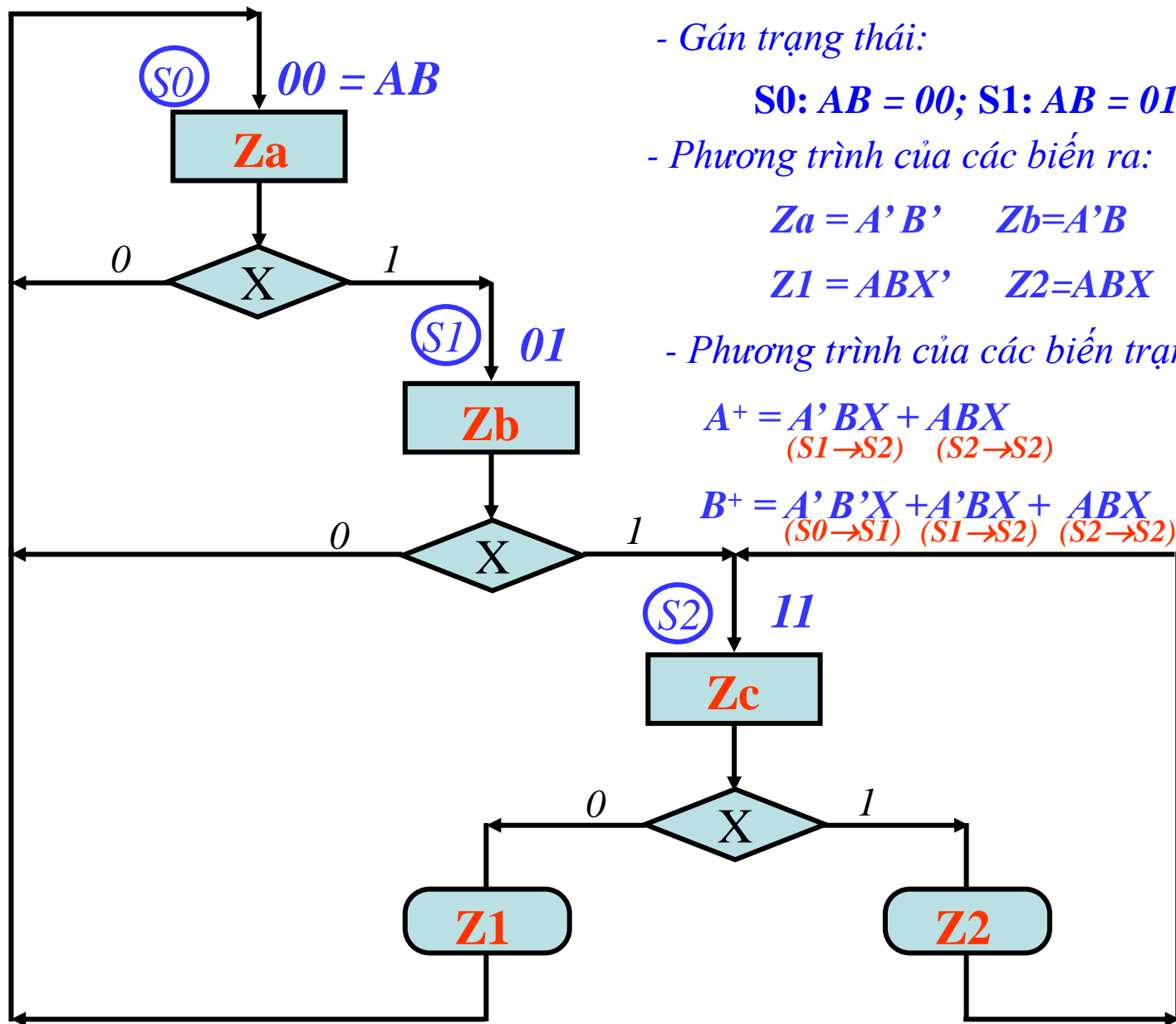


CÀI ĐẶT LƯU ĐỒ MÁY TRẠNG THÁI:

Nguyên tắc thực hiện :

- Thực hiện gán trạng thái cho các hộp trạng thái.
- Xác định phương trình của biến ra Z_i
- Xác định phương trình các biến trạng thái kế Q^+_j





- Gán trạng thái:

S0: AB = 00; S1: AB = 01 và S2: AB = 11

- Phương trình của các biến ra:

$$Za = A'B' \quad Zb = A'B \quad Zc = AB$$

$$Z1 = ABX' \quad Z2 = ABX$$

- Phương trình của các biến trạng thái kế:

$$A^+ = A'BX + ABX$$

(S1 → S2) (S2 → S2)

$$B^+ = A'B'X + A'BX + ABX$$

(S0 → S1) (S1 → S2) (S2 → S2)