


Giảng viên ra đề: (Chữ ký và Họ tên)	(Ngày ra đề)	Người phê duyệt: (Chữ ký, Chức vụ và Họ tên)	(Ngày duyệt đề)
--	--------------	--	-----------------

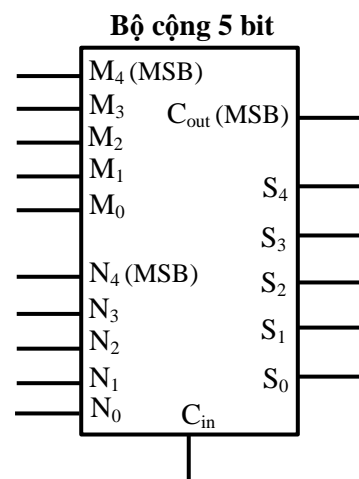
 TRƯỜNG ĐH BÁCH KHOA – ĐHQG-HCM KHOA ĐIỆN-ĐIỆN TỬ	THI CUỐI KỲ		Học kỳ/năm học	1	2020-2021	
			Ngày thi	15/01/2021		
	Môn học	Kỹ thuật số				
	Mã môn học	EE1009				
	Thời lượng	90 phút	Mã đề			
Ghi chú: <ul style="list-style-type: none"> - Sinh viên KHÔNG được sử dụng tài liệu. - Sinh viên làm bài trực tiếp lên đề thi. - Đề thi gồm 07 trang. 						
Điểm:	Chữ ký và Họ tên Cán bộ coi thi 1		Chữ ký và Họ tên Cán bộ coi thi 2			

Câu hỏi 1) (L.O.3, L.O.4) (1.0 điểm)

Chỉ sử dụng **01 bộ cộng 5 bit** (số nhị phân không dấu) $M + N + C_{in} = \{C_{out}, S\}$ như hình vẽ. Trong đó $M = M_4M_3M_2M_1M_0$; $N = N_4N_3N_2N_1N_0$; $S = S_4S_3S_2S_1S_0$: bit tổng; C_{in} : bit nhớ ngõ vào; C_{out} : bit nhớ ngõ ra. Thiết kế hệ tổ hợp thực hiện phép toán $F = 6 * X$ với X là số 4 bit không dấu $X_3X_2X_1X_0$ (X_3 : MSB); $*$ là ký hiệu của phép toán nhân.

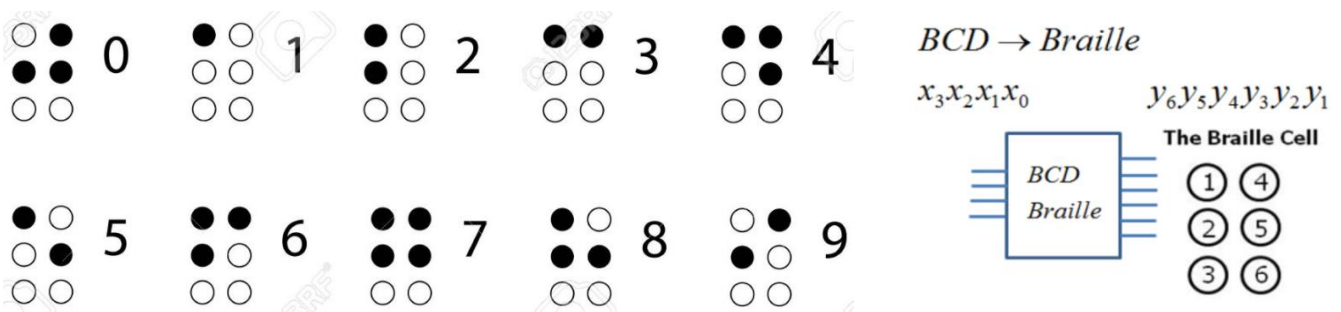
Lưu ý: Hệ thống được cấp sẵn nguồn +5V tương ứng với logic 1, và điểm GND ứng với logic 0.

Trình bày cách làm và vẽ sơ đồ kết nối tín hiệu ở hình bên dưới.



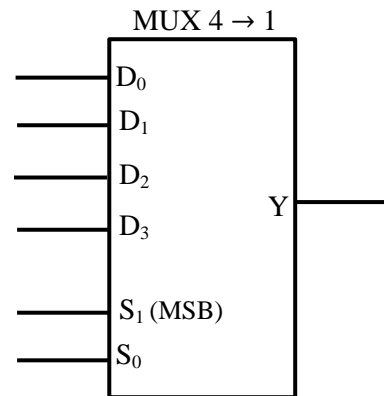
Câu hỏi 2) (L.O.1, L.O.3, L.O.4) (2.0 điểm)

Cho hệ tổ hợp có chức năng chuyển đổi từ mã BCD 8421 có 4 bit $x_3x_2x_1x_0$ (x_3 : MSB) ở ngõ vào sang định dạng số trong bảng chữ nổi (dùng cho người khiếm thị) mã Braille 6 bit ngõ ra $y_6y_5y_4y_3y_2y_1$. Biết rằng các chấm tròn thứ i được điều khiển bởi ngõ ra y_i tương ứng ($i = 1, 2, 3, 4, 5, 6$). Trong đó, các chấm tròn màu trắng được điều khiển bằng mức logic 0, còn các chấm tròn màu đen được điều khiển bằng mức logic 1.



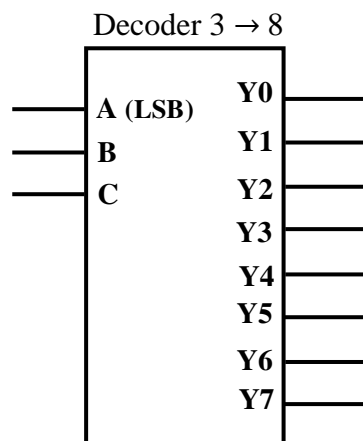
a. (1.0 điểm) Thiết kế hàm y_4 sử dụng **01 MUX 4→1** và **các cổng logic**.

Trình bày cách làm và vẽ sơ đồ kết nối tín hiệu ở hình bên dưới.



b. (1.0 điểm) Thiết kế hàm y_2 sử dụng **01 Decoder 3 → 8 tích cực cao** và **01 cổng logic**.

Trình bày cách làm và vẽ sơ đồ kết nối tín hiệu ở hình bên dưới.

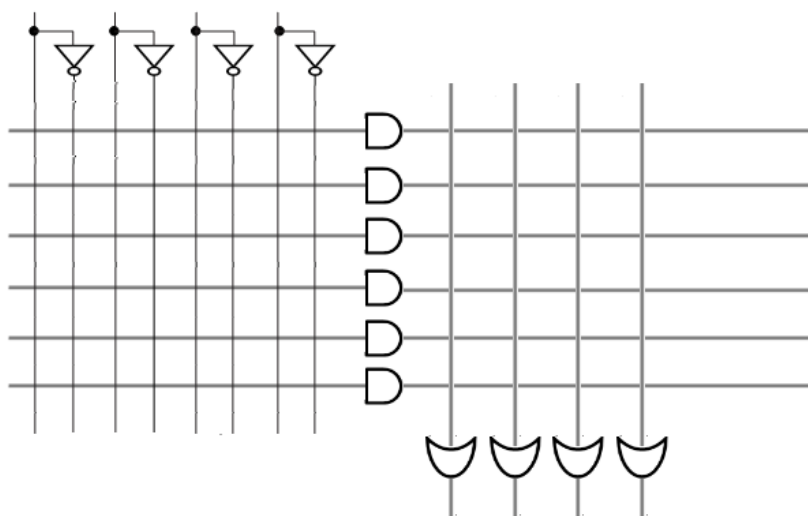


Câu hỏi 3) (L.O.2, L.O.3, L.O.4) (1.0 điểm)

Sử dụng **PLA** có cấu trúc gồm **4 ngõ vào**, **4 ngõ ra** và **6 số hạng tích**, thiết kế hệ tổ hợp có chức năng chuyển đổi từ số nhị phân 4 bit không dấu ABCD (A: MSB) ở ngõ vào sang số BCD 8421.

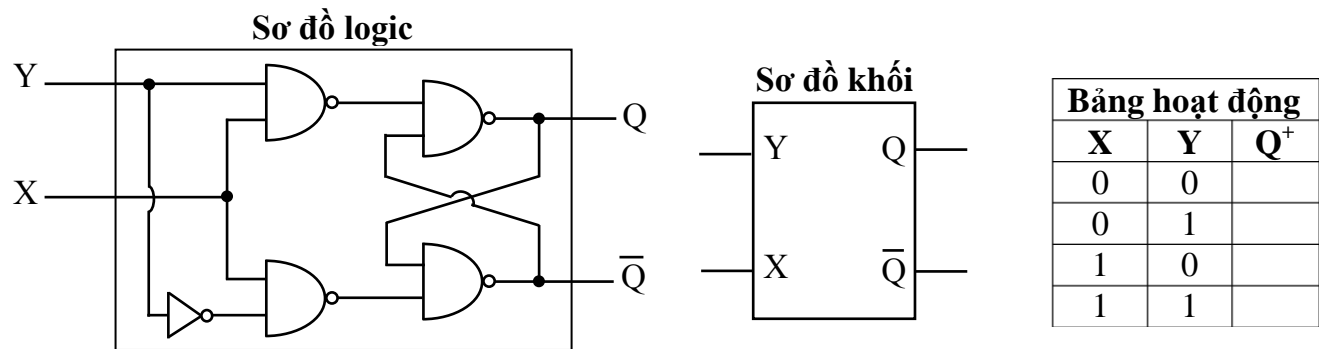
- a. (0.5 điểm) Biểu diễn các hàm ở ngõ ra lên bìa K để xác định các số hạng tích cần thiết kế.

- b. (0.5 điểm) Vẽ các kết nối trên PLA để thực hiện hệ trên. Lưu ý: ghi rõ các tín hiệu ở ngõ vào, các tín hiệu tích và các tín hiệu ở ngõ ra trên hình vẽ.

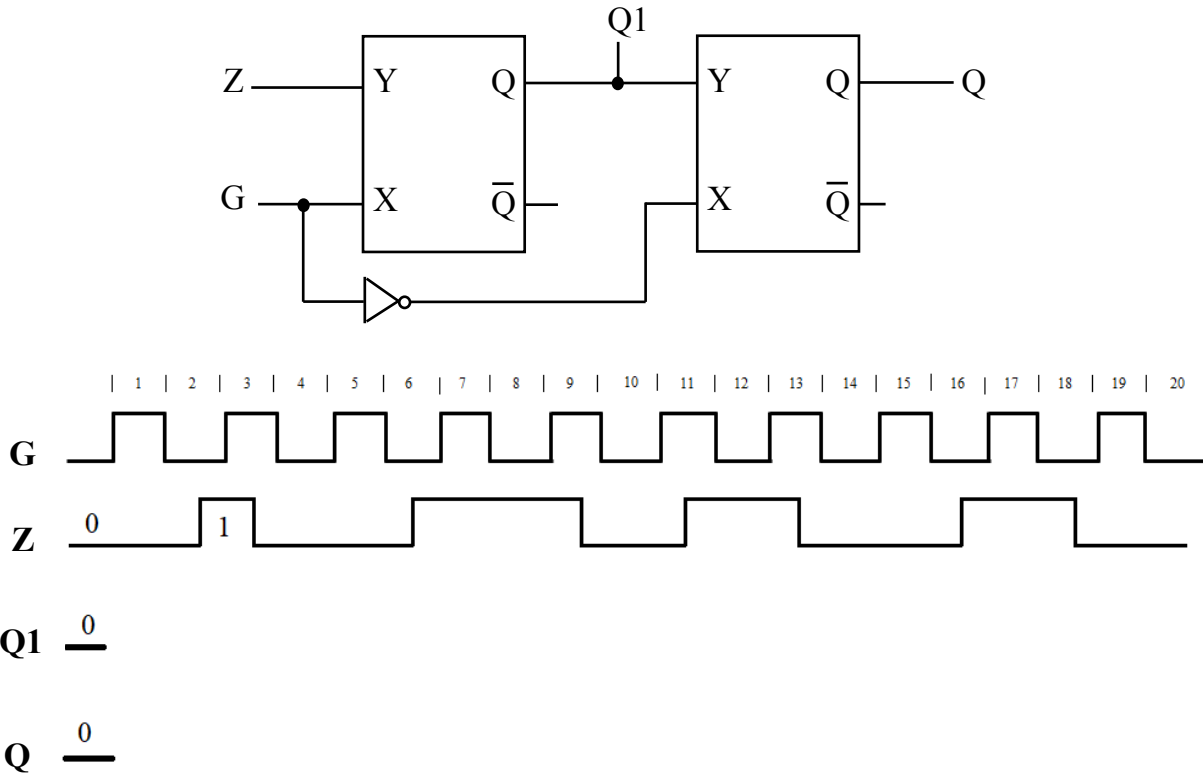


Câu hỏi 4) (L.O.5) (2.0 điểm)

- a. (0.5 điểm) Cho phần tử nhớ có 2 ngõ vào X, Y được cho bởi sơ đồ logic như hình bên dưới. Hãy hoàn thành bảng hoạt động của phần tử nhớ này.
Lưu ý: Q^+ là trạng thái kế tiếp của trạng thái hiện tại tại Q.



- b. (1.0 điểm) Một phần tử nhớ khác được thiết kế từ phần tử nhớ ở câu a có sơ đồ như hình bên dưới. Hãy hoàn thành giản đồ xung cho các tín hiệu Q1 và Q.

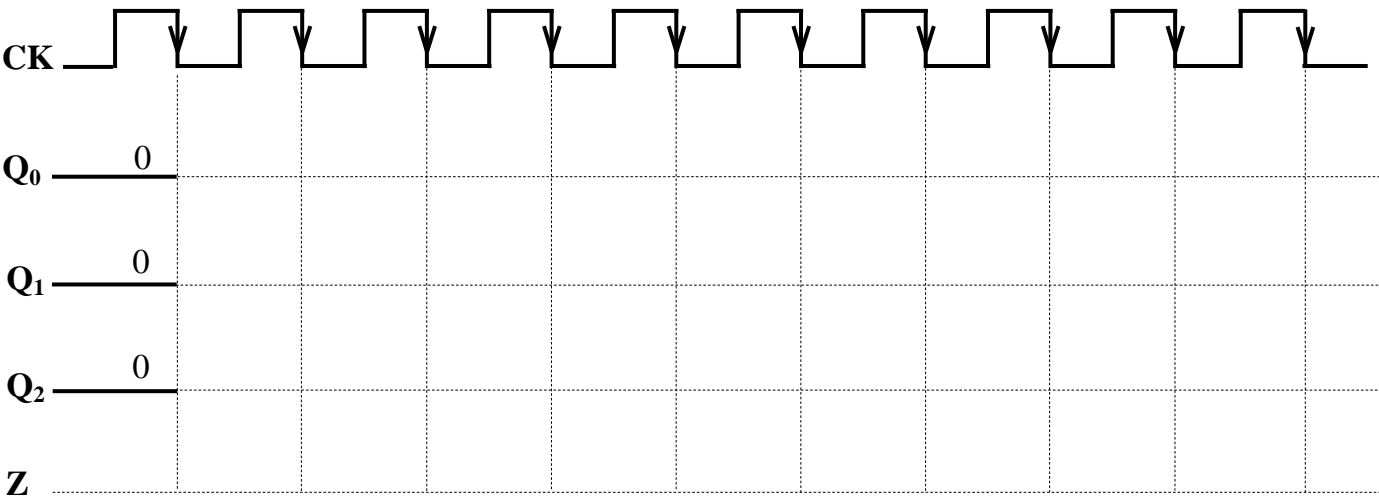
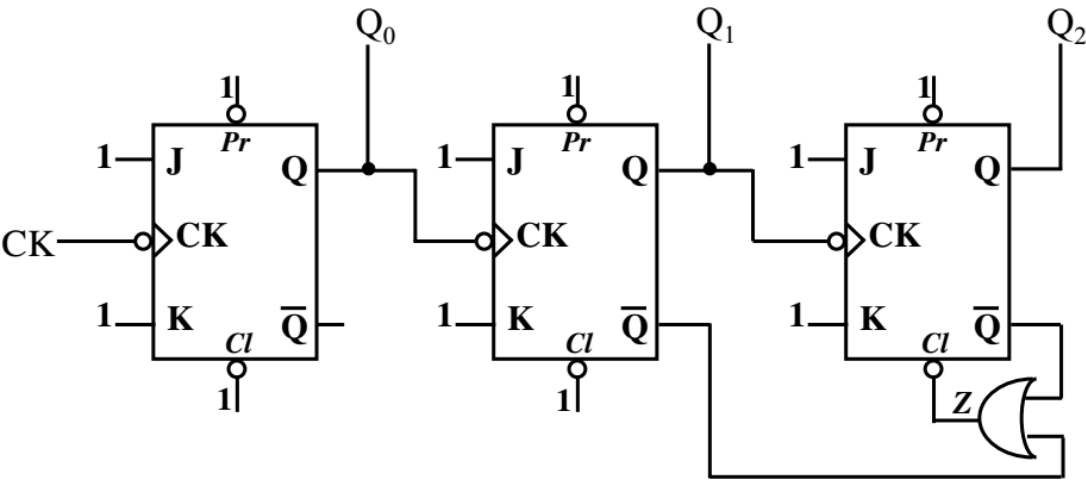


- c. (0.5 điểm) Từ giản đồ xung ở câu b, cho biết phần tử nhớ ở câu b hoạt động tương ứng với phần tử nhớ nào: Chốt D, Chốt SR, D Flip-Flop, T Flip-Flop, SR Flip-Flop, JK Flip-Flop? Ghi chú các tín hiệu có chức năng tương đương tương ứng.

Câu hỏi 5) (L.O.5) (1.0 điểm)

Cho sơ đồ logic thực hiện bộ đếm nối tiếp 3 bit $Q_2Q_1Q_0$ (Q_2 : MSB) dùng JK Flip-Flop có ngõ vào xung Clock (CK) kích theo cạnh xuống, các ngõ vào bất đồng bộ Preset (Pr) và Clear (Cl) tích cực thấp như hình vẽ.

- a. (0.75 điểm) Hãy khảo sát giản đồ xung cho các tín hiệu ngõ ra bộ đếm Q_0 (LSB), Q_1 , Q_2 và tín hiệu reset Z theo xung clock (CK). Giả sử bộ đếm có trạng thái đầu $Q_2Q_1Q_0 = 000$.



- b. (0.25 điểm) Từ giản đồ xung trên, xác định giản đồ trạng thái của bộ đếm.

Câu hỏi 6) (L.O.5) (1.0 điểm)

Một hệ tuần tự kiểu Mealy có 1 ngõ vào K và 2 ngõ ra X, Y. Hệ có nhiệm vụ nhận biết **chuỗi bit 1 liên tiếp** ở ngõ vào. Hệ hoạt động như sau:

- Nếu chuỗi bit ở ngõ vào có **m bit 1 liên tiếp** ($m > 1$):
 - Bit 1 đầu tiên trong chuỗi m bit 1: ngõ ra $X = 1, Y = 0$.
 - Các bit 1 tiếp theo: ngõ ra $X = 0, Y = 0$.
 - Khi phát hiện kết thúc chuỗi bit 1, tức là khi ngõ vào có bit 0 đầu tiên sau chuỗi bit 1: ngõ ra $X = 1, Y = 1$ và hệ tiếp tục nhận biết chuỗi tiếp theo ở ngõ vào.
- Trong trường hợp chuỗi chỉ có 1 bit 1: ngõ ra $X = 1, Y = 0$ và hệ tiếp tục nhận biết chuỗi tiếp theo ở ngõ vào.
- Các trường hợp còn lại: ngõ ra $X = 0, Y = 0$.

Ví dụ:

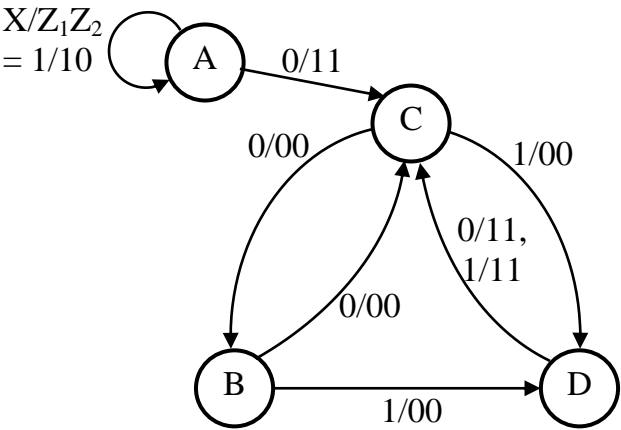
Ngõ vào K:	0	0	0	1	0	0	1	1	0	0	0	1	1	1	0	1	0	...
Ngõ ra X:	0	0	0	1	0	0	1	0	1	0	0	1	0	0	1	1	0	...
Ngõ ra Y:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	...
																		Thời gian

Xác định giản đồ trạng thái hoặc bảng chuyển trạng thái tối thiểu của hệ trên.

Trạng thái	Ý nghĩa
S0	Trạng thái chưa nhận bất kỳ bit nào
S1	
S2	
.....	
.....	

Câu hỏi 7) (L.O.4, L.O.5) (2.0 điểm)

Cho hệ tuần tự có giản đồ trạng thái (graph trạng thái) như hình vẽ. Hệ có 1 ngõ vào là X, 2 ngõ ra Z_1 và Z_2 . Khi có xung clock cạnh xuống thì hệ chuyển trạng thái.



Với gán trạng thái Q_1Q_2 (Q_1 : MSB) như sau: **A = 00, B = 11, C = 01, và D = 10**, thiết kế hệ trên bằng PLA và các Flip-Flop (FF) gồm: D_FF cho ngõ ra Q_1 , T_FF cho ngõ ra Q_2 , cả 2 Flip-Flop sử dụng xung clock kích cạnh xuống.

Lưu ý:

- PLA có số ngõ ra tối thiểu và số đường tích là tối thiểu.
- Vẽ sơ đồ kết nối PLA và Flip-Flop cùng với bảng nạp cho PLA.

