

 TRƯỜNG ĐH BÁCH KHOA – ĐHQG-HCM KHOA ĐIỆN – ĐIỆN TỬ	ĐỀ THI HỌC KỲ		Học kỳ/năm học		1	2022-2023
			Ngày thi		23/12/2022	
	Môn học	KỸ THUẬT SỐ (ĐÁP ÁN)				
	Mã môn học	EE1009				
	Thời lượng	90 phút	Mã đề			
Ghi chú: -Sinh viên KHÔNG được phép sử dụng tài liệu – Đề thi gồm có 4 trang						

Câu 1: (1đ) Chỉ sử dụng 1 IC cộng 4 bit 74LS283, trình bày chi tiết cách thiết kế hệ tổ hợp thực hiện hàm $F(X) = 5X + 4$ (X: số nhị phân 4 bit không dấu $X_3X_2X_1X_0$)

$$F_{\max} = 5.15 + 4 = 79 \Rightarrow F \text{ có 7 bit}$$

$$F(X) = 5X + 4 = 4X + X + 4$$

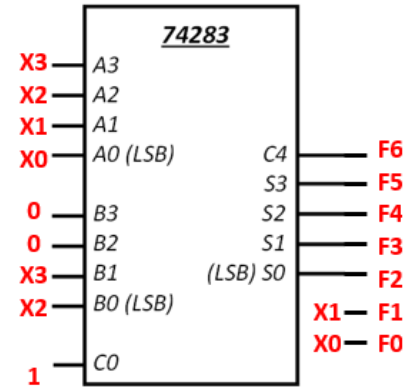
Dùng tính chất dịch bit để nhân

$$4X = \begin{matrix} X_3 & X_2 & X_1 & X_0 & 0 & 0 \end{matrix}$$

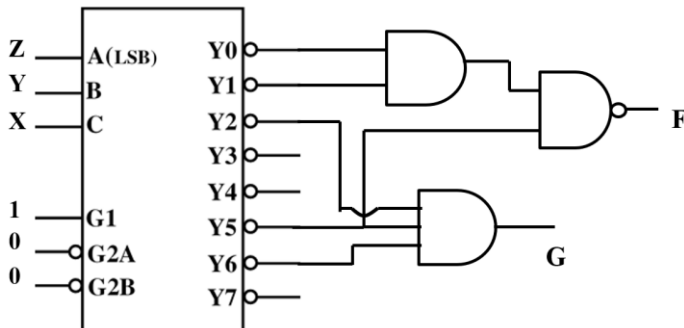
$$X = \begin{matrix} & X_3 & X_2 & X_1 & X_0 \end{matrix}$$

$$4 = \begin{matrix} & & & & 1 & 0 & 0 \end{matrix}$$

$$F_6 F_5 F_4 F_3 F_2 F_1 F_0$$



Câu 2: (1đ) Cho mạch tổ hợp sau:



a. Viết biểu thức hàm F và G theo dạng chính tắc 1.

Ngõ ra Decoder 74138: $Y_i = M_i$

$$F(X,Y,Z) = (M_0.M_1.M_5)' = m_0 + m_1 + m_5 = \Sigma(0,1,5)$$

$$G(X,Y,Z) = M_2.M_5.M_6 = \Pi(2,5,6) = \Sigma(0,1,3,4,7)$$

b. Thực hiện lại hàm F sử dụng **một** cổng NOT, **một** cổng AND và **một** decoder 2 – 4, có ngõ ra tích cực thấp và ngõ vào cho phép tích cực thấp.

Cách 1:

Ngõ ra decoder: $Y_i = (EN'.m_i)'$

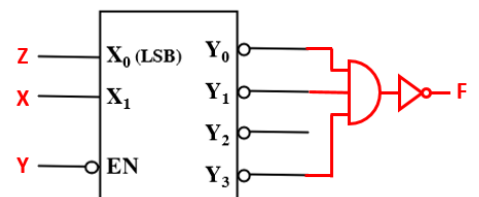
$$F(X,Y,Z) = \Sigma(0,1,5) = X'Y'Z' + X'Y'Z + XY'Z$$

$$= Y'.X'Z' + Y'.X'Z + Y'.XZ$$

$$= Y'.m_0 + Y'.m_1 + Y'.m_3 \quad (m_i \text{ là minterm của } X,Z)$$

$$= (Y'.m_0 + Y'.m_1 + Y'.m_3)''$$

$$= ((Y'.m_0)' . (Y'.m_1)' . (Y'.m_3)')' = (Y_0.Y_1.Y_3)'$$



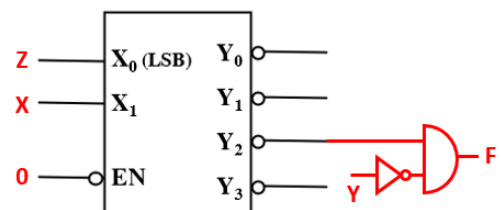
Cách 2:

$$F(X,Y,Z) = \Sigma(0,1,5) = X'Y'Z' + X'Y'Z + XY'Z$$

$$= Y'.X'Z' + Y'.X'Z + Y'.XZ$$

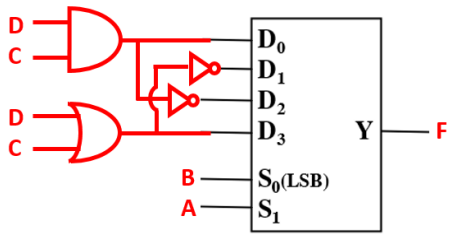
$$= Y'.m_0 + Y'.m_1 + Y'.m_3 \quad (m_i \text{ là minterm của } X,Z)$$

$$= Y'(m_0 + m_1 + m_3) = Y'.M_2$$



Câu 3: (1đ) Cho hàm $F(A,B,C,D) = \Sigma m(3,4,8,9,10,13,14,15)$

a. Sử dụng MUX 4 → 1 và các cổng logic, thực hiện hàm F:



Cách 1:

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0

$$D_0 = CD$$

$$D_1 = (C+D)'$$

A	B	C	D	F
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$D_2 = (CD)'$$

$$D_3 = C+D$$

Cách 2:

$$\begin{aligned} F &= A'B'CD + A'BC'D' + AB'C'D' + AB'C'D + AB'CD' + ABC'D + ABCD' + ABCD \\ &= A'B'.CD + A'B.C'D' + AB'.(C'D'+C'D+CD') + AB.(C'D+CD'+CD) \\ &= A'B'.CD + A'B.C'D' + AB'.(C'+D') + AB.(C+D) \\ &= A'B'.CD + A'B.(C+D)' + AB'.(CD)' + AB.(C+D) = \sum m_i D_i \end{aligned}$$

b. Thực hiện hàm F chỉ sử dụng MUX 2→1 (sử dụng tối đa 7 bộ MUX 2-1 và không dùng các cổng logic).

Cách 1:

Từ mạch câu a, thực hiện bằng 7 MUX 2→1
- dùng 3 MUX 2→1 ghép thành MUX 4→1
- dùng 4 MUX 2→1 thực hiện cho AND, OR và 2 cổng NOT.

Ngõ ra bộ MUX: $Y = S'D_0 + SD_1$

cổng NOT: Cho $D_0 = 1$ và $D_1 = 0$: $Y = S'$ (NOT)

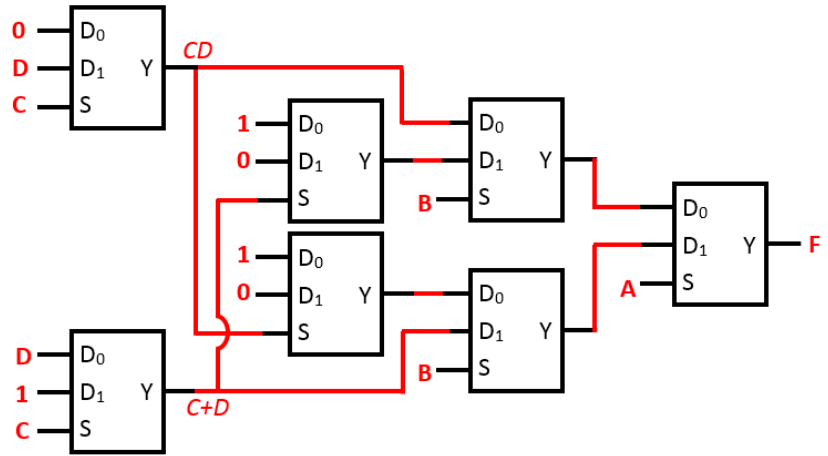
cổng CD: Cho $D_0 = 0$: $Y = S D_1$ (AND)

cổng C+D:

C	D	C+D
0	0	0
0	1	1
1	0	1
1	1	1

$$D_0 = D$$

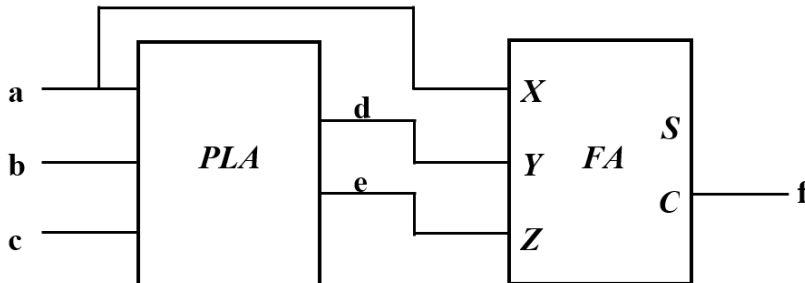
$$D_1 = 1$$



Cách 2:

$$F = A'B'.CD + A'B.(C+D)' + AB'.(CD)' + AB.(C+D) = A'(B'.CD + B.(C+D)') + A(B'.(CD)' + B.(C+D))$$

Câu 4: (1đ) Cho sơ đồ logic của hàm f (a, b, c) như hình vẽ.



Bảng nạp PLA

a	b	c	d	e
0	0	-	1	0
1	1	-	1	0
-	0	1	0	1
-	1	0	0	1

a. Xác định biểu thức rút gọn của hàm f.

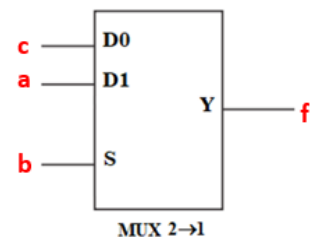
PLA: $d = a'b' + ab, e = b'c + bc'$

FA: $C = XY + XZ + YZ$ ($X = a, Y = d, Z = e$)
 $= a(a'b' + ab) + a(b'c + bc') + (a'b' + ab)(b'c + bc')$
 $= ab + ab'c + abc' + a'b'c + abc'$
 $f = C = ab + b'c$

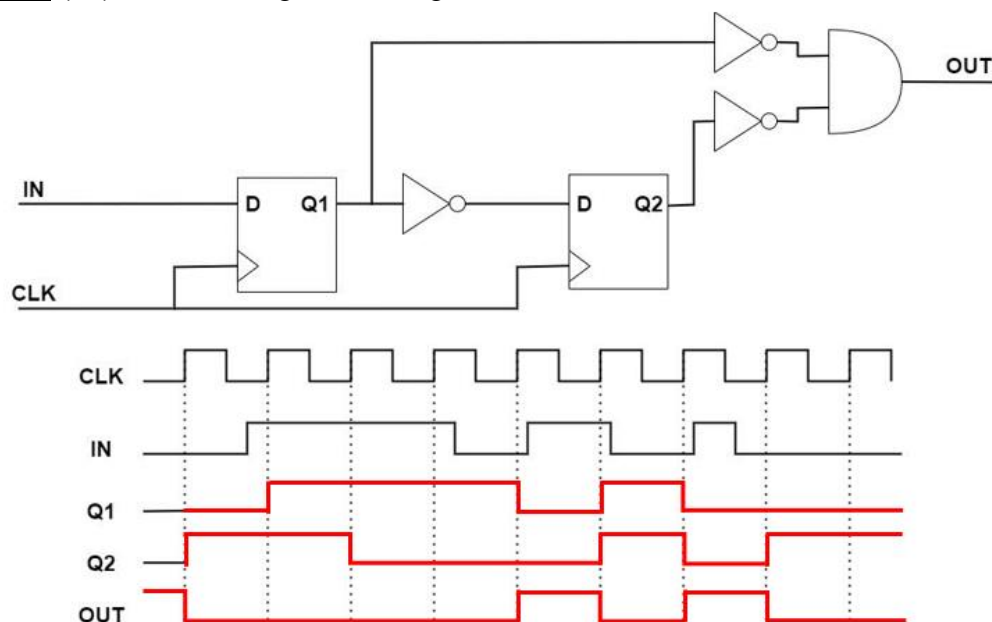
b. Thực hiện f chỉ bằng 1 MUX 2→1.

$$f = ab + b'c = b'.c + b.a$$

Ngõ ra MUX 2→1:
 $Y = S'D_0 + SD_1$



Câu 5: (1đ) Hoàn thành giản đồ xung sau:

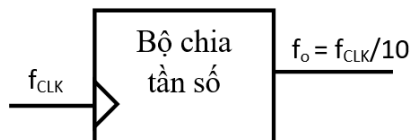


$Q_1^+ = IN$
 $Q_2^+ = Q_1'$
 $OUT = Q_1' + Q_2'$
 Tại cạnh lên CK, lấy mẫu IN và Q_1 về được Q_1 và Q_2 .

Hoặc lập bảng chuyển trạng thái, rồi vẽ

IN	Q_1	Q_2	$Q_1^+ = IN$	$Q_2^+ = Q_1'$
0	0	0	0	1
0	0	1	0	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	0
1	1	1	1	0

Câu 6: (1đ) Thiết kế hệ tuần tự có chức năng tạo tín hiệu xung vuông ở ngõ ra có tần số bằng 1/10 tần số xung clock ngõ vào. Trình bày chi tiết các bước thiết kế mạch tuần tự này (mạch chỉ gồm một cổng logic và các SR flip-flop xung clock kích theo cạnh lên, ngõ vào Preset, Clear tích cực mức cao).



Để làm bộ chia 10, thì xung ngõ ra có chu kỳ bằng 10 chu kỳ clock ngõ vào, nghĩa là cứ 10 xung clock sẽ có 1 cạnh lên. Đơn giản nhất là dùng bộ đếm nối tiếp có m=10, có thể đếm lên hoặc đếm xuống với trạng thái ban đầu bất kỳ.

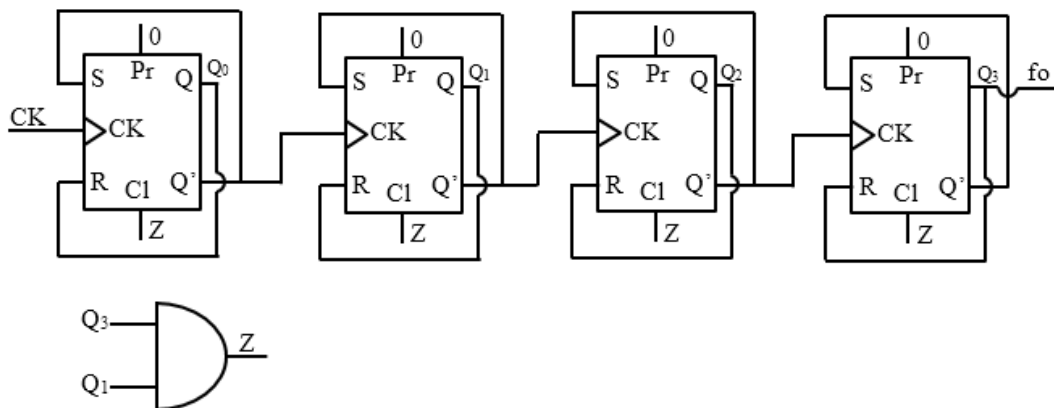
Lưu ý: bài này có nhiều cách giải. SV chỉ cần trình bày 1 cách giải. SV phải trình bày chi tiết cách làm.

Một số cách giải:

1. Thiết kế bộ đếm mod 10 (bộ đếm 4 bit) : đếm lên hoặc đếm xuống đều được.
2. Ghép nối tiếp bộ đếm mod 5 (bộ đếm 3 bit) với bộ đếm 2.

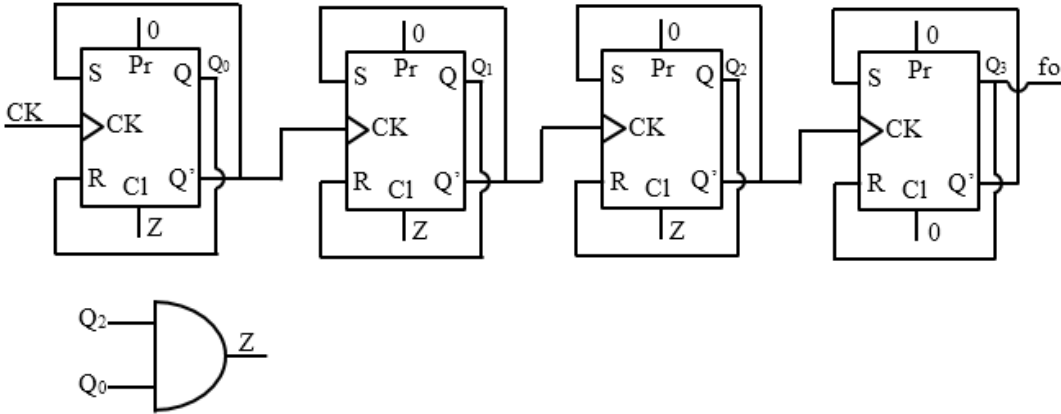
Cách 1: Thiết kế bộ đếm lên mod 10, ví dụ: 0, 1, 2, ..., 9, 0, 1, 2,

- Trạng thái đầu: $Q_3Q_2Q_1Q_0 = 0000$
- Tín hiệu reset Z tích cực tại trạng thái $Q_3Q_2Q_1Q_0 = 1010 \rightarrow Z = Q_3.Q_1$ hoặc $Z = Q_3Q_2'Q_1Q_0'$ (nếu SV không rút gọn bìa K).
- Mỗi SR_FF thiết kế là mạch chia đôi tần số (mạch đếm 2): $S = Q'$ và $R = Q$.
- Bộ đếm nối tiếp sử dụng xung clock cạnh lên và đếm lên $\rightarrow CK_{i+1} = Q_i'$
- Vẽ sơ đồ logic.
- Tần số f_o được lấy từ ngõ ra Q_3 .



Cách 2: Thiết kế bộ đếm lên mod 5 (ví dụ: 0, 1, 2, 3, 4, 0, 1,...) nối tiếp bộ đếm mod 2.

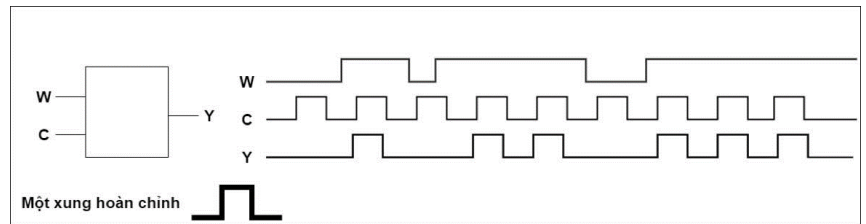
- Trạng thái đầu: $Q_3Q_2Q_1Q_0 = 0000$
- Tín hiệu reset Z tích cực tại trạng thái $Q_2Q_1Q_0 = 101 \rightarrow Z = Q_2 \cdot Q_0$ hoặc $Z = Q_2 Q'_1 Q_0$ (nếu SV không rút gọn bìa K).
- Mỗi SR_FF thiết kế là mạch chia đôi tần số (mạch đếm 2): $S = Q'$ và $R = Q$.
- Bộ đếm nối tiếp sử dụng xung clock cạnh lên và đếm lên $\rightarrow CK_{i+1} = Q'_i$
- Vẽ sơ đồ logic.
- Tần số fo được lấy từ ngõ ra Q_3 .



Câu 7: (1đ) Cho một mạch tuần tự đồng bộ có 2 ngõ vào W và C, 1 ngõ ra Y (Moore). Hệ hoạt động như sau:

- Khi ngõ vào $W = 1$ thì một xung hoàn chỉnh của ngõ vào C sẽ xuất hiện ở ngõ ra Y.
- W không thay đổi giá trị từ mức 1 xuống mức 0 khi $C = 1$.
- W và C không thay đổi giá trị đồng thời.

Ví dụ:

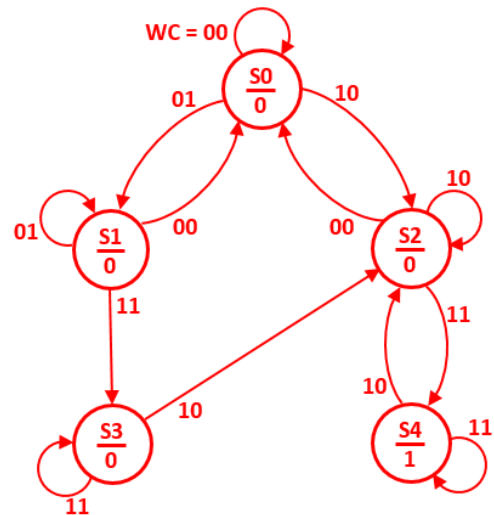


Vẽ giản đồ trạng thái hoặc lập bảng chuyển trạng thái của hệ.

Các trạng thái có điều kiện ngõ vào không xảy ra, thì trạng thái kế tiếp là tùy định (ký hiệu x hay -):

- WC không thay đổi đồng thời ($WC:00 \rightarrow 11, 01 \rightarrow 10, ..$)
- WC không thay đổi $11 \rightarrow 01$.

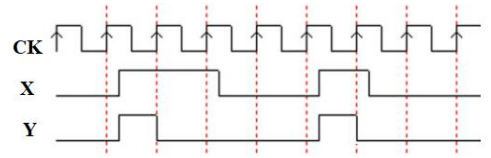
(WC/Y)	TTHT	TTKT				Ngõ ra (Y)
		WC=00	01	10	11	
(00/0)	S0	S0	S1	S2	-	0
(01/0)	S1	S0	S1	-	S3	0
(10/0)	S2	S0	-	S2	S4	0
(11/0)	S3	-	-	S2	S3	0
(11/1)	S4	-	-	S2	S4	1



Có thể rút gọn $S0 \equiv S1$ (dùng tùy định) còn 4 TT

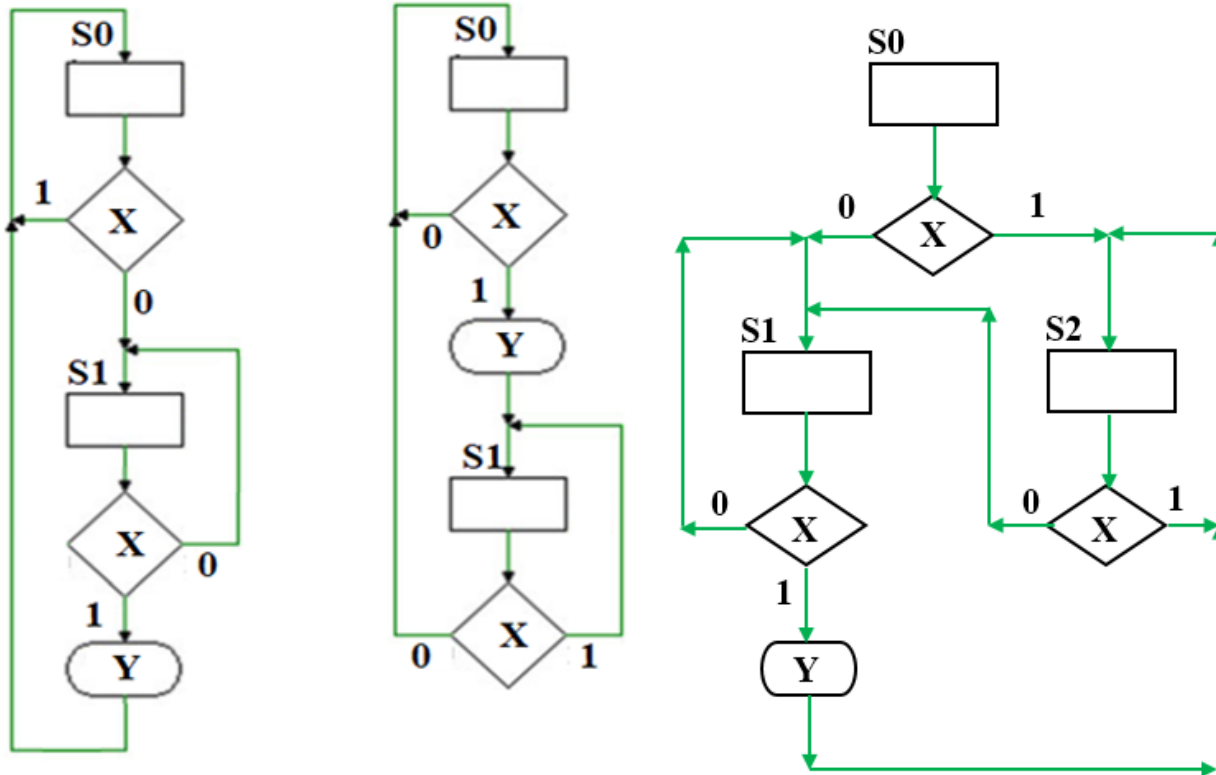
(WC/Y)	TTHT	TTKT				Ngõ ra (Y)
		WC=00	01	10	11	
(0x/0)	S1	S1	S1	S2	S3	0
(10/0)	S2	S1	-	S2	S4	0
(11/0)	S3	-	-	S2	S3	0
(11/1)	S4	-	-	S2	S4	1

Câu 8: (1đ) Một hệ tuần tự đồng bộ có 1 ngõ vào X và 1 ngõ ra Y.
Giả sử trong một chu kỳ xung clock, X chỉ thay đổi giá trị tối đa **một** lần.
Ngõ ra Y=1 khi giá trị của X thay đổi từ 0 sang 1 (cạnh lên).



Hãy lập lưu đồ ASM cho hệ trên. SV cần chú thích ý nghĩa các trạng thái có trên lưu đồ.

Có nhiều đáp án, tùy định nghĩa trạng thái đầu S0

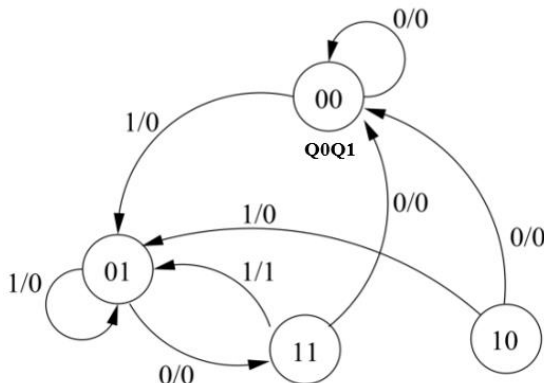


a. S0 là TT có X=1

b. S0 là TT có X=0

c. S0 là TT chưa có bit nào

Câu 9: (2đ) Cho giản đồ trạng thái của hệ tuần tự có 1 ngõ vào X và 1 ngõ ra Z, có giản đồ trạng thái như sau.
Thiết kế hệ tuần tự chỉ sử dụng các cổng NOT, các bộ MUX 4-1, một JK-FF xung clock kích cạnh lên (Q0) và một T-FF xung clock kích cạnh xuống (Q1).



Bảng chuyển trạng thái

X	Q0	Q1	Z	Q0+	Q1+	J	K	T	
0	0	0	0	0	0	0	X	0	D0
0	0	1	0	1	1	1	X	0	
0	1	0	0	0	0	X	1	0	D1
0	1	1	0	0	0	X	1	1	
1	0	0	0	0	1	0	X	1	D2
1	0	1	0	0	1	0	X	0	
1	1	0	0	0	1	X	1	1	D3
1	1	1	1	0	1	X	1	0	

Thực hiện các hàm ngõ vào FF (J, K, T) và ngõ ra Z bằng bộ MUX 4->1

Chú ý: JK-FF có CK cạnh lên, T-FF có CK cạnh xuống; dùng thêm cổng NOT cho CK của T-FF (hoặc ngược lại)

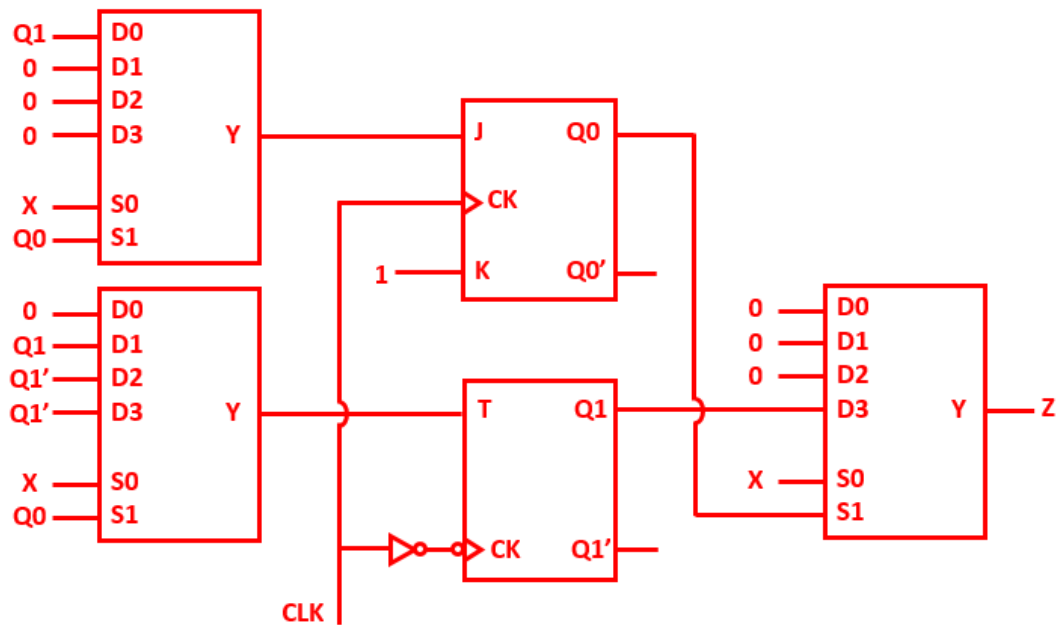
Cách1: từ bảng chuyển trạng thái, ta có:

J: $D0 = Q1, D1 = D2 = D3 = 0$

T: $D0 = 0, D1 = Q1, D2 = D3 = Q1'$

Z: $D0 = D1 = D2 = 0, D3 = Q1$

K = 1



Cách2: Rút gọn bằng bìa K, ta có:

J = $X'Q1$

T = $X'Q1.Q0 + XQ1'.1$

Z = $XQ1.Q0$

K = 1

