

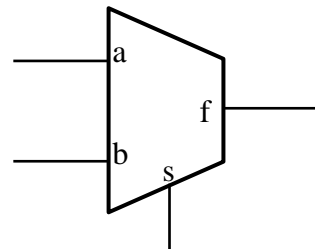
Điểm	<b>ĐỀ THI CUỐI KỲ - Ngày thi: 19/12/2018</b> <b>MÔN: KỸ THUẬT SỐ</b> Thời gian làm bài: <b>110 phút</b> – KHÔNG sử dụng tài liệu Làm bài ngay trên đề thi – Đề thi bao gồm <b>7 câu</b> <b>Sinh viên trình bày cách làm đầy đủ</b>	Chữ ký giám thị
Họ và tên: ..... MSSV: ..... Nhóm: .....		

		(1) Beginning	(2) Developing	(3) Accomplished	(4) Exemplary
<b><u>Câu 1 (1.5đ)</u></b>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<b><u>Câu 2 (1.5đ)</u></b>					
<b><u>Câu 3 (1.0đ)</u></b>					
<b><u>Câu 4 (1.0đ)</u></b>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<b><u>Câu 5 (1.5đ)</u></b>					
<b><u>Câu 6 (1.0đ)</u></b>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<b><u>Câu 7 (2.5đ)</u></b>		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<b><u>Tổng cộng (10đ)</u></b>					

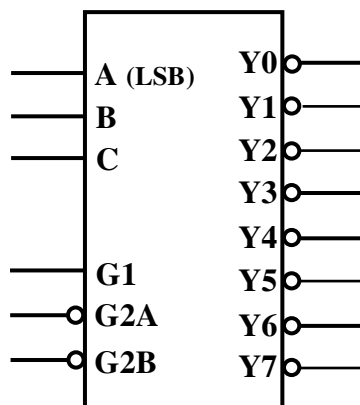
**Câu 1:** (1.5đ)

Cho hàm 4 biến  $F(A, B, C, D) = \overline{A}(B \oplus C) + BCD$

- a. Thiết kế hàm **F** chỉ sử dụng các bộ cộng toàn phần (**Full Adder**), không dùng thêm cổng logic
- b. Thiết kế hàm **F** chỉ sử dụng **01 MUX 2 → 1** và các cổng logic cần thiết.



- c. Thiết kế hàm **F** chỉ sử dụng **01 IC giải mã 3 → 8 (IC 74138)** và các cổng logic cần thiết.



**Câu 2:** (1.5đ)

Cho mạch tổ hợp được mô tả bằng mã VHDL như sau:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity cau_2 is
port (
    x : in  STD_LOGIC_VECTOR(3 downto 0);
    y : out STD_LOGIC_VECTOR(2 downto 0));
end cau_2;

architecture comb of cau_2 is
component mux2to1
port (
    a : in  STD_LOGIC_VECTOR(2 downto 0);
    b : in  STD_LOGIC_VECTOR(2 downto 0);
    s : in  STD_LOGIC;
    f : out STD_LOGIC_VECTOR(2 downto 0));
end component;
signal s_temp : STD_LOGIC;
signal b_temp : STD_LOGIC_VECTOR(2 downto 0);
begin
s_temp <= x(3) xor x(2);
b_temp <= not(x(2)) & x(2) & x(2);
U1: mux2to1
port map(a => x(2 downto 0),
        b => b_temp,
        s => s_temp,
        f => y);
end comb;

-- Component mux2to1
library IEEE;
use IEEE.std_logic_1164.all;

entity mux2to1 is
port (
    a : in  STD_LOGIC_VECTOR(2 downto 0);
    b : in  STD_LOGIC_VECTOR(2 downto 0);
    s : in  STD_LOGIC;
    f : out STD_LOGIC_VECTOR(2 downto 0));
end mux2to1;

architecture behavior of mux2to1 is
begin
    process (a, b, s)
    begin
        if s = '0' then f <= a;
        else f <= b;
        end if;
    end process;
end behavior;
```

Chức năng của hệ tổ hợp:

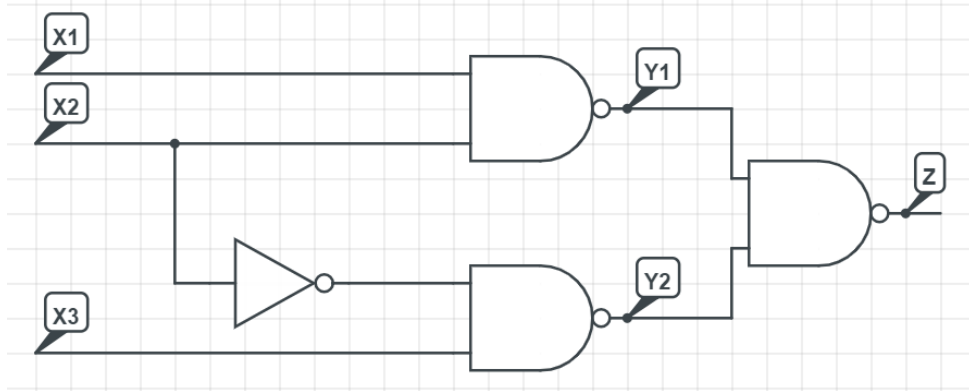
a. Vẽ sơ đồ mạch của hệ tổ hợp được mô tả ở câu 2. **Lưu ý:** sinh viên ghi chú đầy đủ tên các tín hiệu trung gian (signal) lên hình vẽ (0.5đ).

b. Lập bảng hoạt động của hệ tổ hợp trên. Từ đó cho biết hệ tổ hợp trên thực hiện chức năng gì? Biết rằng ngõ vào và ngõ ra được biểu diễn dưới số có dấu bù 2. (1.0đ)

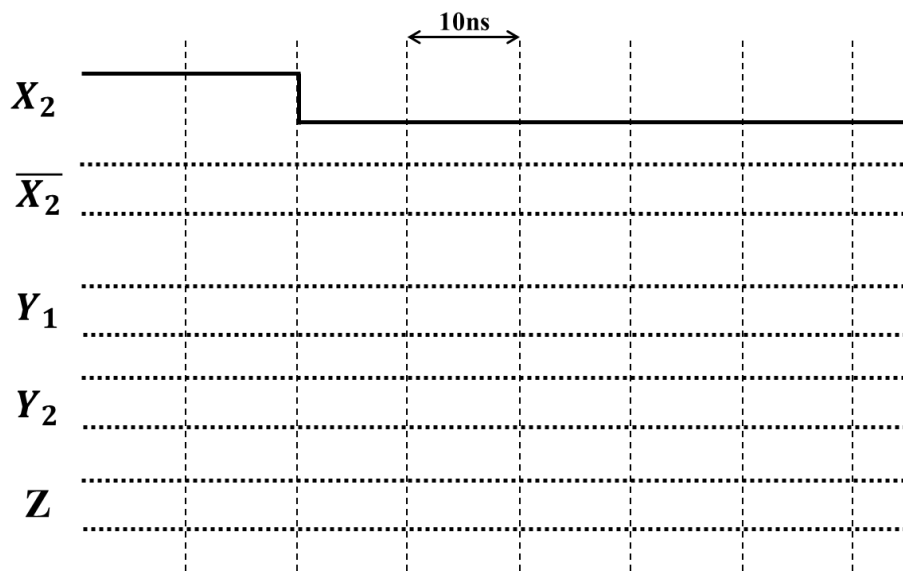
x(3)	x(2)	x(1)	x(0)	s	y(2)	y(1)	y(0)
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

**Câu 3:** (1.0đ)

Cho mạch logic sau, biết các cổng NOT và NAND đều có thời gian trễ (delay) như nhau = 10 ns.



- a. Hãy hoàn thành giản đồ xung sau (với **X1** và **X3** giữ nguyên bằng 1):

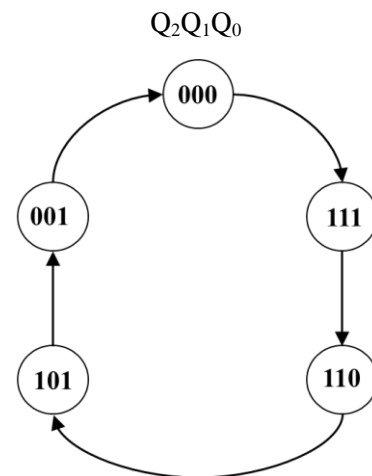


- b. Cho biết loại hazard xảy ra trong mạch (static-1, static-0) và vẽ lại mạch khắc phục hazard này.

**Câu 4:** (1.0đ)

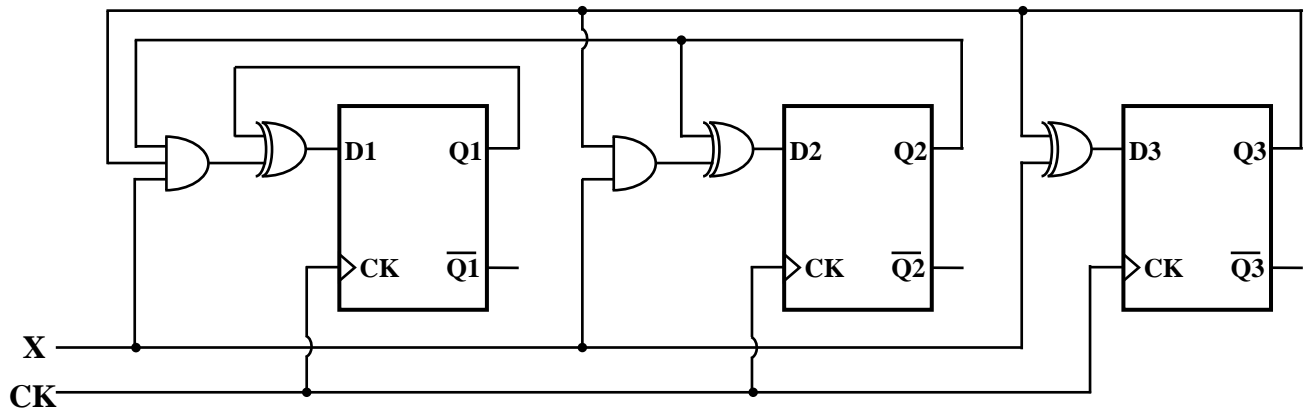
Thiết kế mạch đếm nối tiếp 3-bit  $Q_2Q_1Q_0$  ( $Q_2$ : MSB) có dãy đếm như hình bên dùng **SR-FF** xung clock cạnh xuống, chân Preset tích cực cao và chân Clear tích cực thấp.

Gợi ý: Tìm sự tương quan giữa **SR-FF** với **D-FF**



**Câu 5:** (1.5đ)

Cho bộ đếm song song 3 bit  $Q_1Q_2Q_3$  ( $Q_1$  là MSB), với  $X$  là ngõ vào điều khiển



- Xác định ngõ vào của các FF.
- Phân tích và vẽ giản đồ trạng thái của bộ đếm.
- Cho biết ý nghĩa của bộ đếm trên.

**Câu 6:** (1.0đ)

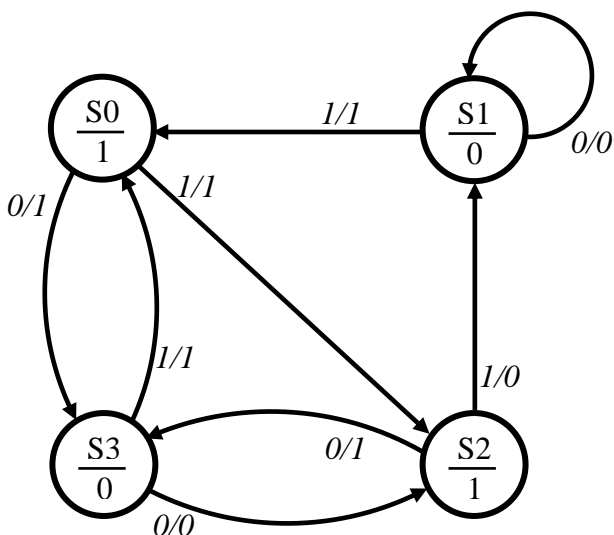
Thiết kế một hệ tuần tự kiểu **Mealy** có 2 ngõ vào (**E** và **X**) và 1 ngõ ra (**Z**). Biết khi **E** = '1', thì hệ tuần tự sẽ cho ngõ ra **Z** bằng 1 khi chuỗi ngõ vào nhận được là "110" hoặc "1111"; còn khi **E** = '0', thì hệ không đọc chuỗi (xem như giữ nguyên trạng thái hiện tại).

Tìm giản đồ trạng thái (hoặc bảng trạng thái) của hệ (ghi rõ ý nghĩa của từng trạng thái).

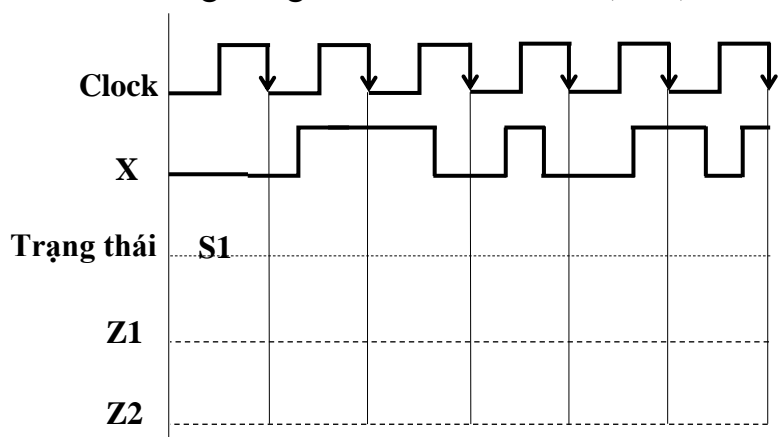
Tr. Thái	Ý nghĩa
<b>S0</b>	Trạng thái bắt đầu
<b>S1</b>	
<b>S2</b>	
..	

**Câu 7:** (2.5đ)

Cho hệ tuần tự có giản đồ trạng thái (graph trạng thái) như hình vẽ. Hệ có 1 ngõ vào là **X**, 2 ngõ ra **Z1** (kiểu **MOORE**) và **Z2** (kiểu **MEALY**). Khi có xung clock cạnh xuống thì hệ chuyển trạng thái.



a. Xác định trạng thái kế tiếp và vẽ xung ngõ ra **Z1**, **Z2** theo xung ngõ vào **X** và Clock. Biết rằng trạng thái ban đầu là **S1**. (1.0đ)



b. Với gán trạng thái  $\mathbf{Q_A Q_B}$ :  $\mathbf{S0} = 10$ ,  $\mathbf{S1} = 11$ ,  $\mathbf{S2} = 00$  và  $\mathbf{S3} = 01$ .

Thiết kế hệ trên bằng **PLA** và **T-FF**. (1.5đ)