

بسمه تعالی



دانشگاه صنعتی شریف

دانشکده مهندسی برق

امتحان پایان ترم درس

مدارهای منطقی و سیستم های دیجیتال

وقت: ۱۵۰ دقیقه

۱۲ دی ۱۳۹۰

نام و نام خانوادگی:

شماره دانشجویی:

گروه (نام استاد):

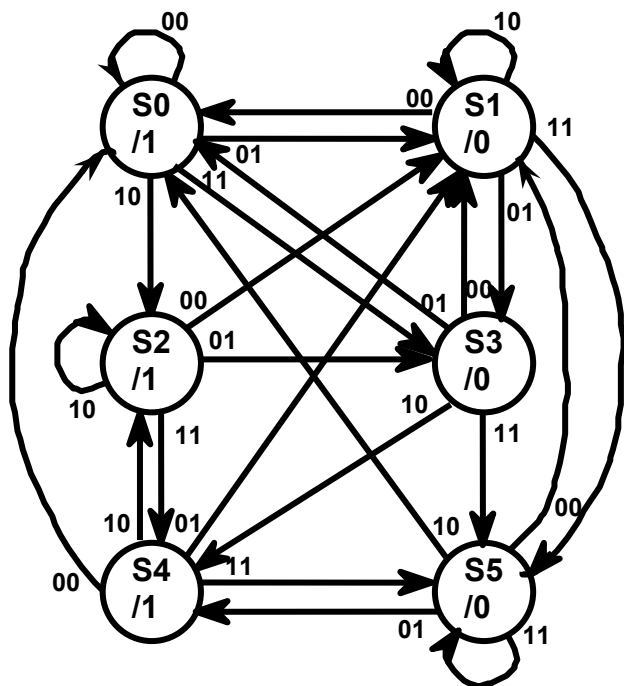
	سؤال ۱
	سؤال ۲
	سؤال ۳
	سؤال ۴
	سؤال ۵
	سؤال ۶
	سؤال ۷
	جمع

(۲ نمره)

سؤال ۱) می‌خواهیم دیاگرام حالت زیر را به حداقل تعداد حالات ساده کنیم. (مقدار ورودی‌ها برای هر تغییر حالت در ابتدای کمان مربوط به آن نوشته شده است).

الف) جدول استلزام (Implication) این دیاگرام را رسم کنید.

ب) با استفاده از این جدول، دیاگرام ساده شده را رسم کنید.



سؤال ۲) مدار زیر داده شده است. بررسی کنید که آیا این مدار خطر ثابت (Static Hazard) دارد یا خیر.

$$F = W'Y + X'Y' + WXZ$$

الف) با استفاده از جدول کارنو پاسخ این سؤال را بدهید.

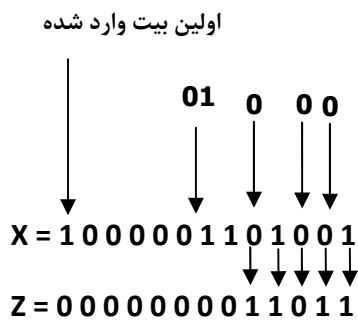
ب) اگر پاسخ مثبت است، کلیه تغییرات در ورودی‌ها را که می‌تواند منجر به **Glitch** شود، مشخص کنید و با اضافه کردن حداقل تعداد گیت، مشکل را رفع کنید.

اگر پاسخ منفی است، با حذف تعدادی گیت، مدار را ساده کنید بدون آنکه مشکل **Static Hazard** به وجود بیاید.

سؤال ۳) دیاگرام حالت Moore مداری را رسم کنید که یک ورودی X را در هر کلاک دریافت می کند و خروجی آن (Z) هنگامی 1 می شود که از زمانی که دنباله "01" را دیده است تا به حال تعداد 0 های دریافتی در ورودی X فرد باشد. و در صورتی که دنباله "01" را ندیده باشد خروجی 0 باقی میماند. (تعداد صفرهای دریافتی را فقط برای بعد از مشاهده "01" در نظر بگیرید).

توجه: فقط رسم دیاگرام حالت خواسته شده است.

مثال:



سؤال ۴) الف) مداری توسط کد وریلاگ زیر تعریف شده است، دیاگرام حالت آن را رسم کنید.

ب) این مدار میلی است یا مور؟

ج) پس از ریست (reset) اگر دنباله ورودی به صورت زیر (از چپ به راست) باشد، دنباله خروجی چیست؟

0 0 0 0 1 3 0 1 2 2 yeki ezafe va3 moore

1 1 1 0 0 0 1 1

د) آیا Reset در این مدار از نوع سنکرون است یا آسنکرون؟

```
module Test89 (y_out, x_in, clock, reset);
    output [1: 0] y_out;
    input x_in, clock, reset;
    reg [1: 0] state;
    parameter S0 = 2'b00, S1 = 2'b01, S2 = 2'b10, S3 = 2'b11;
    always @ (posedge clock, negedge reset)
        if (reset == 0) state <= S0;
        else case (state)
            S0: if (~x_in) state <= S1; else state <= S0;
            S1: if (x_in) state <= S2; else state <= S3;
            S2: if (~x_in) state <= S3; else state <= S2;
            S3: if (~x_in) state <= S0; else state <= S3;
        endcase
    assign y_out = state;
endmodule
```

سؤال ۵) الف) جدول جریان اولیه (**primitive flow table**) را برای یک TFF حساس به لبه منفی با ورودی های T و CLK و خروجی Q بنویسید. ب) با ساده کردن آن، جدول جریان ساده شده را بدست آورید. پ) با طی بقیه مراحل طراحی مدار مربوطه را رسم کنید.

سؤال ۶) FSM زیر داده شده است:

الف- یک state assignment مناسب برای این FSM بیابید.

ب- جدول عبور که خروجی های حالات ناپایدار در آن مشخص شده باشند را بنویسید.

Present State	Next Stae X_1X_2			
	00	01	10	11
A	Ⓐ/0	B/-	C/-	-
B	D/-	Ⓑ/0	Ⓑ/0	G/-
C	F/-	-	Ⓒ/0	G/-
D	Ⓓ/1	E/-	B/-	-
E	A/-	Ⓔ/0	-	G/-
F	Ⓕ/0	E/-	Ⓖ/1	-
G	-	B/-	F/-	Ⓖ/1

(۳,۵ نمره)

سؤال ۷) با استفاده از یک عدد شمارنده ۴ بیتی 74163 و گیت ها شمارنده ای طرح کنید که مرتباً از 5 به 13 بالا شمرده و سپس از 13 به 5 پائین بشمارد و این چرخه تکرار گردد. توجه: نمره کامل به مدار با حداقل تعداد گیت داده خواهد شد.

