

بسمه تعالی

امتحان میان ترم درس مدارهای منطقی و سیستم های دیجیتال

وقت: ۲ ساعت

گروه (نام استاد):

نام و نام خانوادگی:

۲۴ آبان ۹۱

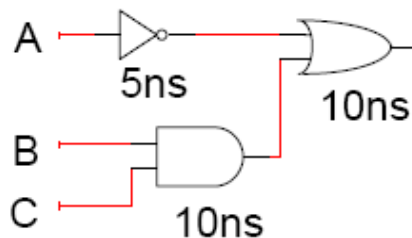
شماره دانشجویی:

۱- (۳ نمره)

$A=01111111$ و $B=10000000$ دو عدد ۸ بیتی علامت دار با فرمت مکمل ۲ می باشند. حاصل $A-1$ و $A-B$ را بنویسید و صحت نتیجه را با دلیل اعلام کنید.

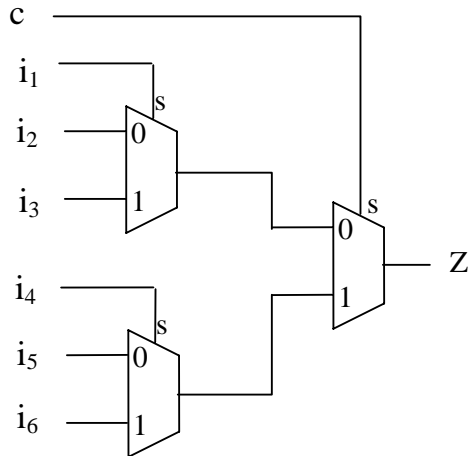
۲- (۲ نمره)

در مدار زیر فرض کنید همه ورودی ها از گذشته برای مدت طولانی صفر بوده اند. اگر این ورودی ها در زمان t به طور همزمان معکوس شوند شکل موج نت (net) های میانی و خروجی مدار را در دو حالت زیر رسم کنید. الف) تأخیر اجزای مدار را ناچیز فرض کنید. ب) تأخیر گیت NOT را ۵ نانوثانیه (ns) و تأخیر سایر گیت ها را ۱۰ نانوثانیه فرض کنید.



۳- (۲ نمره)

در مدار زیر (شامل مالتی پلکسر های ۲ به ۱) ورودی های **a** و **b** و **c** را طوری به ورودی های i_1 تا i_7 وصل کنید تا تابع $Z = abc + ac' + bc'$ پیاده سازی شود. ($a' = \text{NOT } a$)



۴- (۲ نمره)

تابع مربوط به جدول کارنوی زیر را با هدف حداقل سخت افزار بنویسید.

XY \ VW	00	01	11	10
	00	01	11	10
00	1	0	0	×
01	0	1	0	×
11	0	1	0	×
10	0	0	1	0

U=0

XY \ VW	00	01	11	10
	00	01	11	10
00	1	1	1	1
01	1	1	0	×
11	1	×	×	0
10	0	1	1	×

U=1

توسط جمع کننده ۴ بیتی کامل (با کری ورودی و کری خروجی) و گیت ها، مداری طرح کنید که قدر مطلق ورودی ۴ بیتی با فرمت مکمل ۲ را در خروجی قرار دهد.

کد وریلاگ (Verilog) یک جمع و تفریق کننده ۴ بیتی کامل را بنویسید. ورودی ها A و B و X_i هستند که A و B دو عدد ۴ بیتی بدون علامت بوده و X_i وقتی عمل جمع است کری (Carry) ورودی و در حالتی که عمل تفریق است بارو (Borrow) ورودی می باشد. خروجی ها F و Y_i هستند که F خروجی ۴ بیتی و نتیجه جمع یا تفریق است و Y_i در حالتی که عمل جمع است کری خروجی و در حالتی که عمل تفریق است بارو خروجی می باشد.

۷- (۴ نمره)

توسط یک عدد مقایسه گر ۸ بیتی 74682 و گیت های یک مقایسه گر ۹ بیتی با خروجی های $P=Q$ ، $P>Q$ طرح کنید
(نمره کامل به طرح با حداقل تعداد گیت داده خواهد شد.)

