

بنام خدا

امتحان میان ترم درس مدارهای منطقی و سیستم های دیجیتال

نام و نام خانوادگی: گروه (نام استاد): وقت: ۲ ساعت  
شماره دانشجویی: ۳ آذر ۱۳۹۰

۱- (۲ نمره)

اعداد  $A=1000000$  در مبنای ۲ و  $B=-64$  در مبنای ۱۰ داده شده اند، یکبار  $A-B$  و بار دیگر  $B-A$  را به صورت ۸ بیتی با فرمت مکمل ۲ بنویسید و در هر مورد صحت نتیجه را بررسی کنید.

۲- (۳ نمره)

تابع را به صورت مدار NAND-AND 2-level مینیمم تحقق دهید. ( $X_0=LSB$ )

$$F(X_3, X_2, X_1, X_0) = \sum m(6, 7, 12, 13, 14, 15) + d(0, 2, 8, 10)$$

۳- (۳ نمره)

الف- تابع  $F(X_3, X_2, X_1, X_0) = \sum m(4, 5, 8, 9, 10) + d(1, 2, 13)$  را با استفاده از یک مالتی پلکسر ۴ به ۱ و حداقل تعداد گیت تحقق دهید. ( $X_0 = \text{LSB}$ )

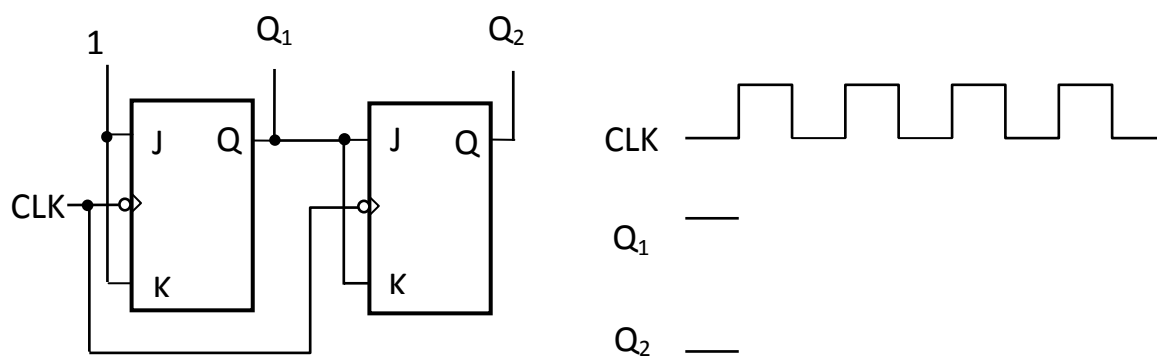
ب- تابع فوق را با استفاده از مالتی پلکسر های ۲ به ۱ و حداقل تعداد گیت NOT تحقق دهید.

۴- (۲,۵ نمره)

توسط جمع کننده ۴ بیتی کامل (با کری ورودی و کری خروجی) و گیت ها، یک مبدل کد مکمل ۲ به قدر مطلق- علامت ۴ بیتی طرح کنید.

۵- (۲ نمره)

در مدار زیر دیاگرام زمانی مربوط به خروجی های  $Q_2$  و  $Q_1$  را رسم کنید. در شروع  $Q_1=1$  و  $Q_2=0$  است.

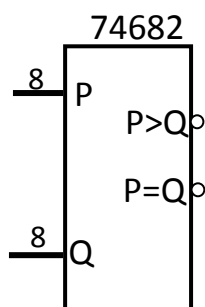


۶- (۲ نمره)

کد وریلاگ یک جمع کننده ۴ بیتی کامل (با کری ورودی و کری خروجی) را بنویسید.

۷- (۳ نمره)

توسط دو عدد مقایسه گر ۸ بیتی 74682 و گیت های NOR دو ورودی، یک مقایسه گر ۱۶ بیتی با خروجی های  $P < Q$  و  $P = Q$ ،  $P > Q$  طرح کنید (نمره کامل به طرح با حداقل تعداد گیت داده خواهد شد).



در سیستم نمایش اعداد در مبنای ۳ (ternary) از ارقام 0 و 1 و 2 استفاده می گردد. در این سیستم جمع کننده half-adder مطابق جدول زیر تعریف می شود که X و Y ورودی بوده و S و C خروجی هستند. (C کری است). بر اساس جدول مداری طرح کنید که این جمع کننده را با استفاده از سیگنال های کد شده باینری پیاده سازی کند به این صورت که برای هر رقم دو بیت اختصاص داده شود. بطور مثال ورودی ها را میتوان با  $X=X_1X_0$  و  $Y=Y_1Y_0$  و خروجی ها را با  $S=S_1S_0$  و C (تک بیتی) نمایش داد. برای اختصاص دو بیت نیز از نمایش  $0=00$  و  $1=01$  و  $2=10$  استفاده کنید. مدار را تا حد امکان ساده کنید.

X	Y	C	S
0	0	0	0
0	1	0	1
0	2	0	2
1	0	0	1
1	1	0	2
1	2	1	0
2	0	0	2
2	1	1	0
2	2	1	1