



دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارهای منطقی و سیستم های دیجیتال

گزارش آزمایش جلسه ۱

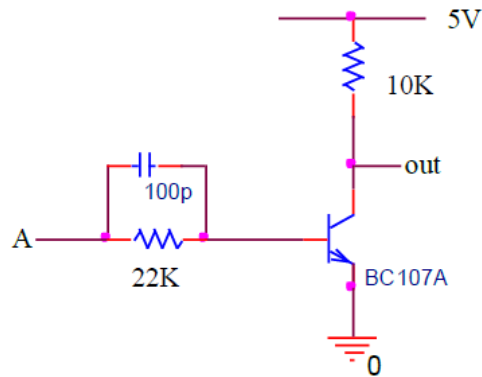
سیدبردیا برائی نژاد (۹۲۱۰۱۶۶۹)

مهدی میر (۹۲۱۰۲۸۴۶)

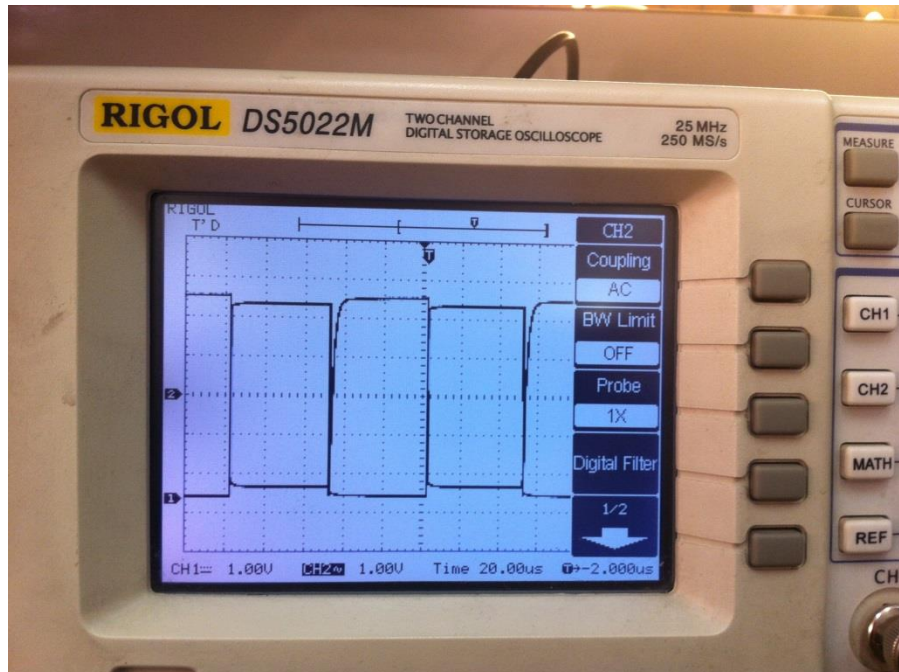
استاد: دکتر تابنده

۱. پیاده سازی گیت ها با مقاومت و ترانزیستور

مدار شکل ۱-۱ را به وسیله ی ترانزیستور BC107 می بنندیم. یک موج مربعی ($f = 10kHz, V_{Max} = 5v$) را به عنوان ورودی به مدار می دهیم و نتیجه ی ورودی و خروجی را روی اسیلوسکوپ نمایش می دهیم. این مدار اینورتر بود و در حدود فرکانس $100kHz$ از عملکرد صحیح خود خارج می شد.

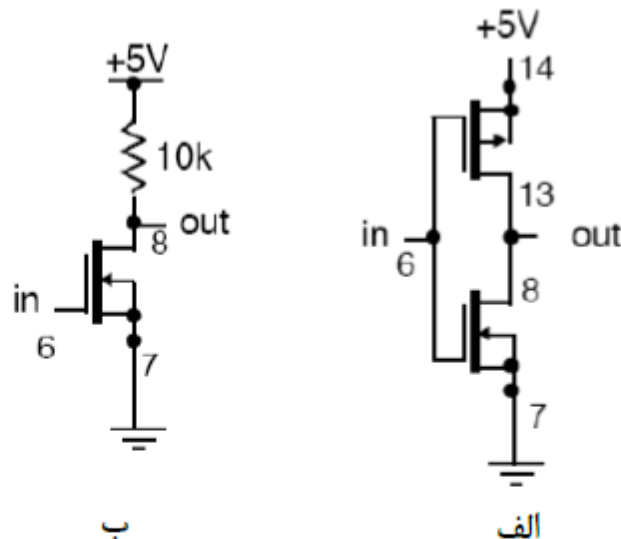
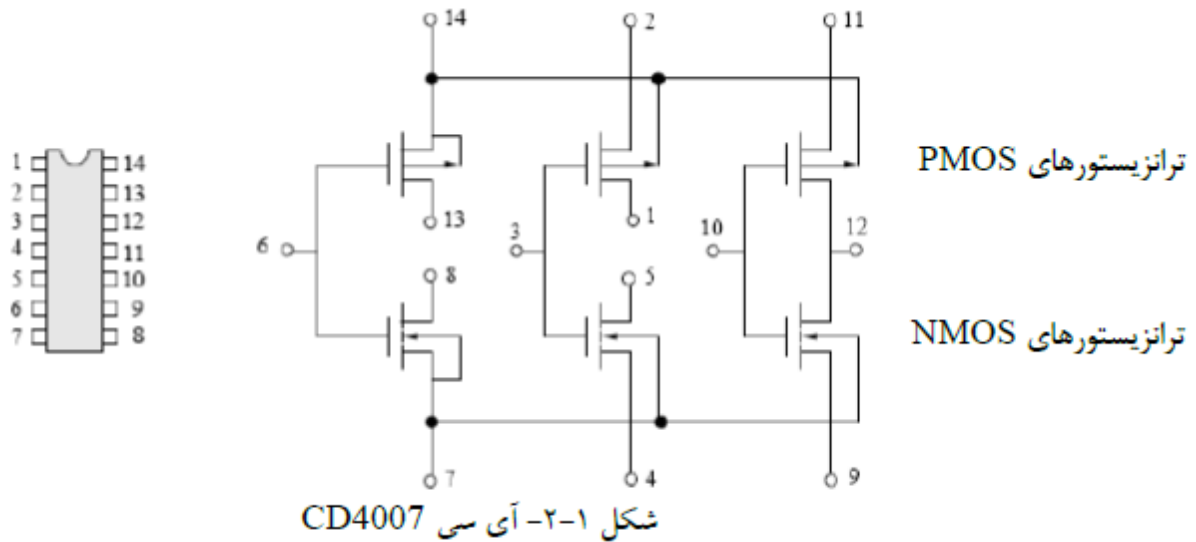


شکل ۱-۱- پیاده سازی یک گیت منطقی با مقاومت و ترانزیستور



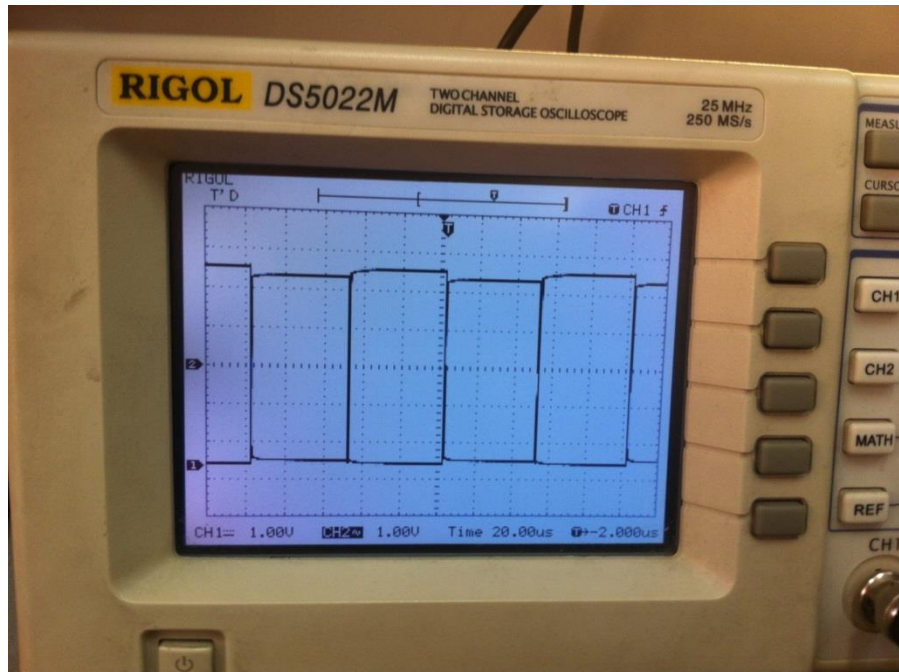
۲. پیاده سازی گیت ها با ترانزیستور MOS (CMOS)

آی سی CD4007 مجتمع از چند ترانزیستور MOS است. با توجه به شکل ۲-۱ مدار های شکل ۳-۱ با اتصال مناسب پایه های آی سی می بندیم. یک موج مربعی با فرکانس $10kHz$ را به عنوان ورودی می دهیم و آن را تا فرکانس $1MHz$ افزایش می دهیم. هر دو مدار بر طبق مشاهده عمل اینورت را انجام می دادند.

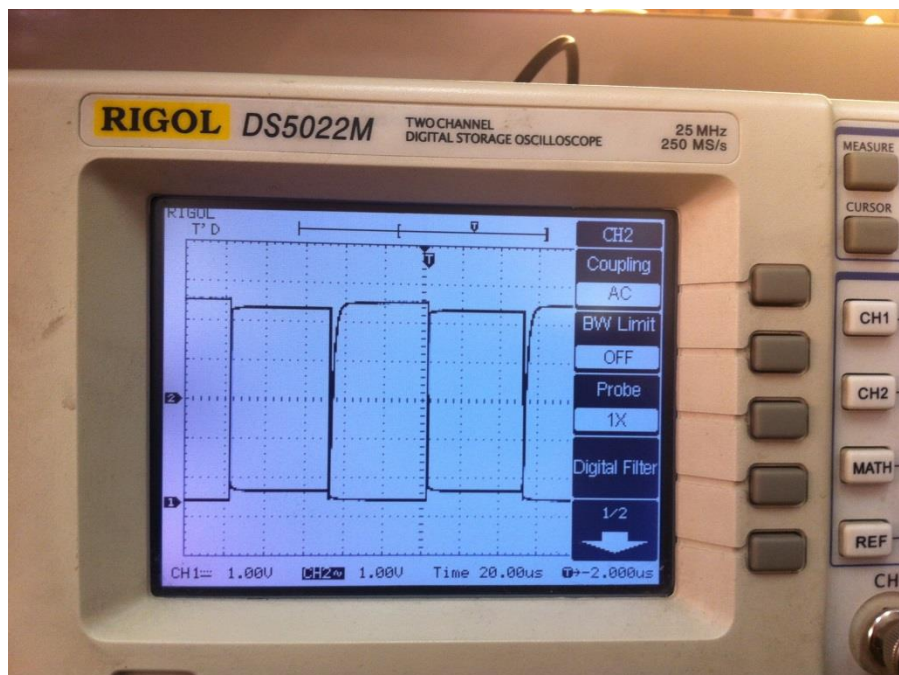


شکل ۳-۱- پیاده سازی یک گیت منطقی با ترانزیستور های MOS

الف- Active Load (منطق CMOS) ب- Passive Load (منطق NMOS)

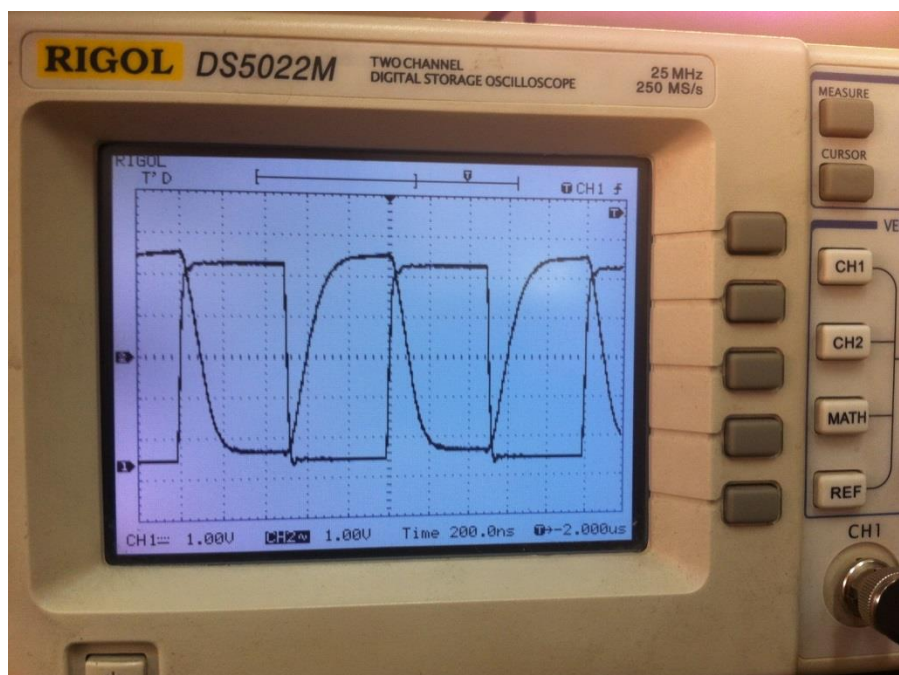


Active Load(10kHz)



Passive Load(10kHz)

با افزایش فرکانس مشخصه ی نمایی مشخص تر می گردد (e^{-t}) و عمل اینورت دیگر به خوبی صورت نمی گیرد (شکل زیر). تغییرات برای حالت ب از 50kHz و برای الف از 500kHz محسوس می شد. در واقع وابستگی حالت الف به فرکانس کمتر بود.



۳. خانواده ی منطقی TTL

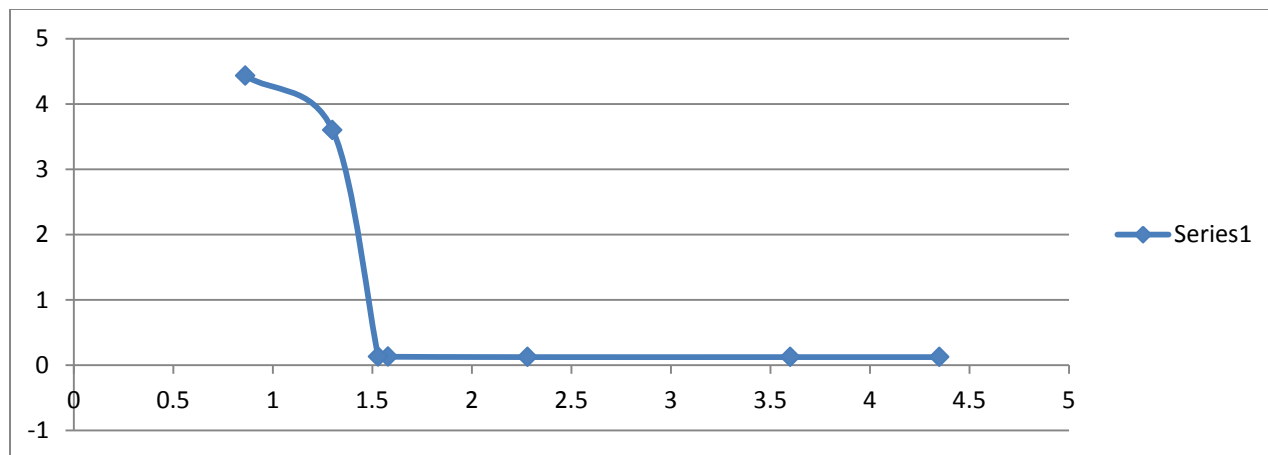
(الف و ب)

ورودی	خروجی
0V (لاجیک ۰)	4.5V
5V (لاجیک ۱)	90mV
هیچ	125mV (لاجیک ۰)

ج) در ورودی لاجیک ۱ به دلیل کشیدن جریان (هرچند کم) توسط ورودی های گیت های اضافه شده خطا که 90mV بود افزایش پیدا کرده و به 170mV رسید. همچنین در حالت ورودی لاجیک ۰، پاسخ 4.6 شد که در واقع نشان دهنده ی عکس مطالب برای ورودی لاجیک ۱ می باشد.

د) با تغییر ورودی با کمک پتانسیومتر ولتاژ خروجی را اندازه گیری کرده و مشخصه ی خروجی بر حسب ورودی را رسم می کنیم.

ورودی	خروجی
4.35V	125mV
3.60V	125mV
2.28V	125mV
1.58V	130mV
1.53V	133mV
1.30V	3.60V
862mv	4.43V



بر اساس نمودار مینیمم ولتاژ ورودی H را 1.5V تشخیص داده ایم و و ماکسیمم ولتاژ ورودی L را 1V تشخیص داده ایم. دیتا شیت مینیمم ولتاژ ورودی H را 2V و ماکسیمم ولتاژ ورودی L را 0.8V اعلام کرده است. بین این دو بازه تغییرات نمودار بسیار سریع است.

ه) بین خروجی گیت ۱ و ورودی گیت ۲ با میلی آمپر متر جریان را برای دو حالت L و H اندازه می گیریم.

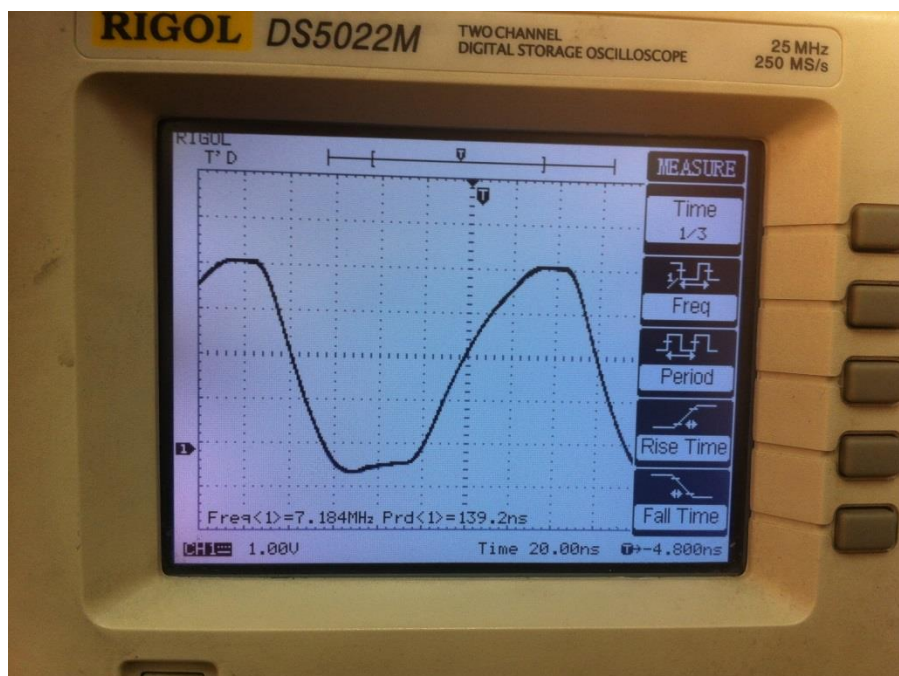
ورودی	جریان
L	42.6mA (خروجی به ورودی)
H	320μA (ورودی به خروجی)

و) جریان مصرفی آی سی را توسط میلی آمپر متر اندازه گیری می کنیم.

$$I = 4.82mA$$

ز)

$$T_{for\ 1\ Gate} = \frac{139.2}{11} \approx 12.7\ ns , \quad f_{for\ 11\ Gates} = 7.184MHz$$



Switching Characteristics

at $V_{CC} = 5V$ and $T_A = 25^\circ C$

Symbol	Parameter	$R_L = 2\text{ k}\Omega$				Units
		$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	3	10	4	15	ns

بنا بر آزمایش دوره ی تناوب برای هر گیت 12.7 ns بدست آمد. پیش گزارش عدد $20 + 30 = 50\text{ ns}$ را اعلام کرده بود و دیتاشیت هم با توجه به حضور خازن های 15 pF و 50 pF به ترتیب 6 pF و 20 pF را اعلام کرده بود.

۴. تکنولوژی CMOS

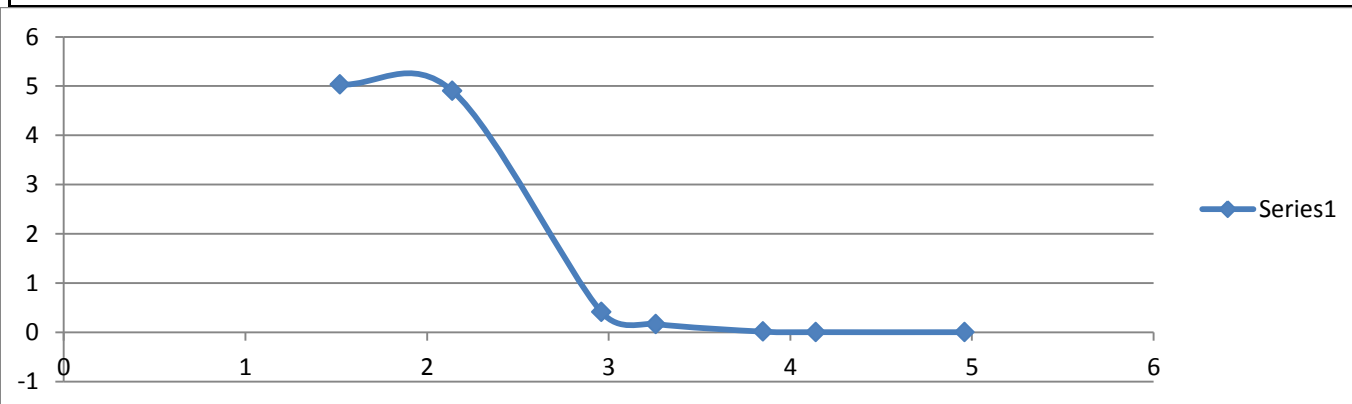
(الف و ب)

ورودی	خروجی
0V (لاچیک ۰)	5.0V
5V (لاچیک ۱)	3.9mV
هیچ	550mV (لاچیک ۰)

ج) برای لاجیک ۰ پاسخ 5.0 ولت بود و برای لاجیک ۱ پاسخ 3.8 mV بود که نشان دهنده ی عدم تغییر چشم گیری در نتایج است.

(د)

ورودی	خروجی
4.96V	1.4mV
4.14V	1.6mV
3.85V	12.2mV
3.26V	167mV
2.96V	412mV
2.14V	4.9V
1.52V	5.03V



بر اساس نمودار مینیمم ولتاژ ورودی H را 3V تشخیص داده ایم و و ماکسیمم ولتاژ ورودی L را 2V تشخیص داده ایم. دیتا شیت مینیمم ولتاژ ورودی H را 4V و ماکسیمم ولتاژ ورودی L را 1V اعلام کرده است. بین این دو بازه تغییرات نمودار سریع است.

ه) بین خروجی گیت ۱ و ورودی گیت ۲ با میلی آمپر متر جریان را برای دو حالت L و H اندازه می گیریم.

ورودی	جریان
L	5mA (خروجی به ورودی)
H	3.47mA (ورودی به خروجی)

و) جریان مصرفی آی سی را توسط میلی آمپر متر اندازه گیری می کنیم.

$$I = 530\mu A$$

ز)

$$T_{for\ 1\ Gate} = \frac{374.3}{5} \approx 74.9ns, \quad f_{for\ 5\ Gates} = 2.672MHz$$

CD4069

CMOS IC

■ AC ELECTRICAL CHARACTERISTICS(Note 1)

(Ta=25°C, CL=50pF, RL=200kΩ, tr and tr ≤ 20 ns, unless otherwise specified)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNIT
Propagation Delay Time from Input to Output	t _{PHL} or t _{PLH}	V _{DD} =5V V _{DD} =10V V _{DD} =15V		50 30 25	90 60 50	ns

بنا بر آزمایش دوره ی تناوب برای هر گیت 74.9ns بدست آمد. پیش گزارش عدد $20 + 30 = 50ns$

را اعلام کرده بود و دیتاشیت هم با توجه به حضور خازن 50pF، $50 \times 2 = 100ns$ را اعلام کرده بود.