

3- ← حواصل 3 ست لازم داره : $\frac{1}{1} \frac{1}{1} \frac{1}{1} \frac{1}{1} \frac{1}{1}$ حوضه 1

* sign extension \rightarrow $\begin{cases} \text{مقدار صفر تکرار: +} \\ \text{مقدار یک تکرار: -} \end{cases}$

* اعداد در درخت :

$$4'b\ 0101 \rightarrow 0101$$
$$4^7 h A \rightarrow 1010$$

hA \rightarrow 00...01010 سایز مشخص نشده
28 بیت default: 32

3 \rightarrow 00...00 || \rightarrow default: decimal

6'h A0 → ~~1~~~~0~~00000

8 بیت لازم راست
2 تا 14 SB ها رو حذف می کنه.

$$\text{منفرد} - 4'6101 \xrightarrow[2'5 \dots]{0101} 1011$$

* $X, Z, a, 0$
 $\xrightarrow{Z, X}$ نامشخص
 در رابطه با small / capital
 ولی برای X, Z و H/h و A/a
 \hookrightarrow سب \hookrightarrow ۱۰۱۰

X : یا ادلس که خودمون X می داریم

یا مثلاً هم فرض کنیم 0 و 1 توی یک متغیره اگه دونه ص 0 یا
کده می شه X .

wire	0	1	2	X
0	0	X	0	X
1	X	1	1	X
2	0	1	2	X
X	X	X	X	X

⇒ اتصال به سیم

به هر دو مقدار

(در سیم به یک نقطه)

- * HDL :
- Documentation → توصیف به مدار یا
text به جای شماتیک راحت تر مفهوم رو منتقل می کنه
لاکه
 - Simulation
 - Synthesis → پیاده سازی
- * چقدری که قابل پیاده سازی باشه، قابل تر هست؟
نه لزوماً. سفته به محدودیت های داره که پیاده سازی
نداره. مثلاً در پیاده سازی می تویم مقدار delay
رو خودمون تعیین کنیم.

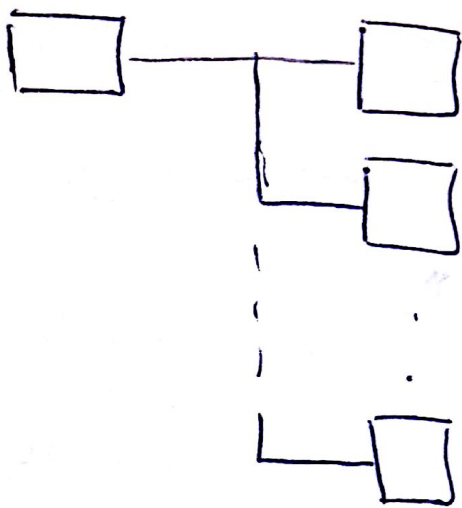
به صورت کلی: initial کردن در شبیه سازی ممکنه
 ولی در تست کردن باید به reset در نظر
 گرفت که جواب rst شد، این مقدار داده بشه.
 و این که درسته یا در یلگ می شه آنگون هم
 نوشت و می گاه آنگون رو با وریلاک
 می نویسن. آنگون ممکنه شبیه سازی یا
 باره سازی نش درست نباشه.

* Level of Abstraction

- در این درس
- Behavioral Level → abstraction
 - RTL
 - Gate Level
 - Transistor level → (PMOS, NMOS, ...)

* Test bench: سیستم که ما رول طراحی شده مان را می توانیم در آن
 آزمایش کنیم.

*



در تئوری به خروجی به خروجی

در دردی می تواند وصل شده و

در عمل با کاهش جریان موافق

که لایه Fan out می کنیم

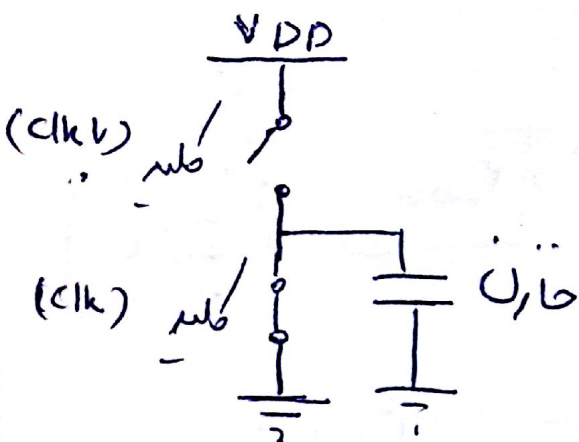
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100

ممکنه این طوری شده یعنی هنوز

به خودی نرسیده باشد به بار نرسیده

باید تعدادی که می تواند وصل شده در عمل به جریانی که خروجی می ده
و ورودی ها می گیرن سگت داره

که جریانی نه به سگت بردارن (کلاک) و V_{DD} ربط داره
و جریانی نرگاس کلاک به بالا ، توان مصرفی بالا می ره



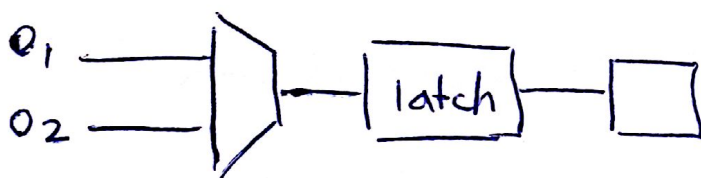
* وصل کردن توان خروجی به ورودی ها در تئوری هم درست

نیست . (جدوله)

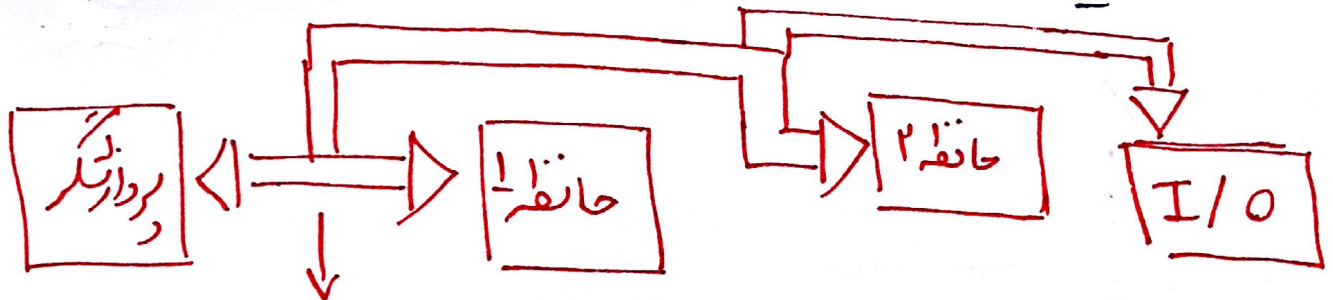
4- برطرف کردن : سری که بروردی با هیچ سری نداشته باشد

که در عمل یا ممکن نیست یا پیچیده است. در عمل سری‌های برای هم است (سری‌ک) ولی محدودیت‌های ترانس دلم که conflict ایجاد کند. ← هم زمان نباشن (و و ا هم زمان با هم اتفاق نیفتد.)

← ساده کردن : یا MUX محله. ← مفهوم Bus



latch از دلم که مثلاً مقدار Q_1 رو با موقعی که لازم می‌آید داره. چون Q_1 ذخیره شده حال از سری برای انتقال به data ریکتر استفاده کرد.



همه در خواص رو حافظه می‌گیریم → Bus در طریقه (این هم محدود %)
 از س می‌گیریم.
 * Bus ← آدرس (مسلطاً طریقه)
 ← data (مسلطاً 2 طریقه)
 ← control (read, write و ...)
 می‌تونه هم مثل ورودی در خروجی داشته