



دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارهای منطقی و سیستم های دیجیتال

گزارش آزمایش جلسه ۱۰

سیدبردیا برائی نژاد (۹۲۱۰۱۶۶۹)

مهدی میر (۹۲۱۰۲۸۴۶)

استاد: دکتر تابنده

کد زیر را روی CPLD پروگرام می کنیم:

```

1  module M(out , in1 , in2 , clk, reset, ready);
2      input clk;
3      input reset;
4      input [3:0] in1 , in2;
5      reg car;
6      output reg ready;
7      reg [3:0] A,B;
8      output [7:0] out;
9      reg [7:0] out;
10     reg [2:0] counter;
11     always @ (posedge clk)
12     begin
13         if (reset == 1)
14         begin
15             counter = 3'b100;
16             B=in1;
17             A=0;
18             ready=0;
19             car=0;
20         end
21     else
22     begin
23         if (counter != 3'b000)
24         begin
25             if (B[0]==1)
26             {car,A} = (A+in2);
27             {A,B} = {car,A,B} >> 1;
28             counter = counter - 1;
29         end
30     else
31         ready=1;
32         out={A,B};
33     end
34     end
35 endmodule

```

نتیجه ی مورد نظر ما مشاهده می شود.