

Dr. Shaabany se 4 : مدارهای منطقی :

TA → verilog (vhdl)

⇒ Documentation ⇒ cm (comment)

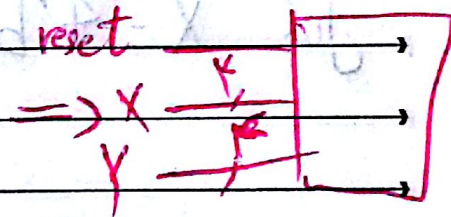
// comment /* ---- */

signals:

type [rang] signal_name { signal_name }

wire [3:0] X, Y;

wire reset;



X[3], X[2], X[1], X[0]

قواعد نام گذاری سیگنال (نام گذاری متغیرها در C++ است) همین

(نکات) طریقی مانند wire نمی توان در استفاده کرد.

signal values, Numbers, AND parameters

Parameters:

parameter n=14;

wire [n:0] bus;

parameter S₀=r'b00, S₁=r'b01;

NET: nodes in circuit

wire => (ال) (ال) (ال)

wire x; wire c, rst; wire[r:0] S;

wire [1:r] Array;

* S[r]=r'b10 => S_r [0] => its value