



دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارهای منطقی و سیستم های دیجیتال

گزارش آزمایش جلسه ۸

سیدبردیا برائی نژاد (۹۲۱۰۱۶۶۹)

مهدی میر (۹۲۱۰۲۸۴۶)

استاد: دکتر تابنده

```

1  module jk_ff(clk,aclear,j,k,q,qbar)
2      input clk,j,k,aclear;
3      output reg q,qbar;
4      always@(negedge clk,negedge aclear) begin
5          if (!aclear)
6              begin
7                  q<=0;
8                  qbar<=1;
9              end
10         else if (j==1 && k==0)
11             begin
12                 q<=1;
13                 qbar<=0;
14             end
15         else if (j==0 && k==1)
16             begin
17                 q<=0;
18                 qbar<=1;
19             end
20         else if (j==1 && k==1)
21             begin
22                 q<= qbar;
23                 qbar<=q;
24             end
25         else
26             begin
27                 q<=q;
28                 qbar<=qbar;
29             end
30         end
31     endmodule

```

نتایج به صورت زیر بود:

برای ورودی های ۰ و ۰ خروجی بدون تغییر، برای ۰ و ۱ خروجی ۰ و برای ورودی های ۱ و ۰ خروجی ۱ می باشد.

برای ۱ و ۱ نیز خروجی متناوبا ۰ و ۱ می گردد.

```

1  module bcd_counter(clk,load,up_down,A,B,a,b,c,d,e,f,g);
2      input [3:0]A;
3      output reg a,b,c,d,e,f,g;
4      output reg [3:0]B;
5      always@(posedge clk) begin
6          if(!load)
7              B<=A;
8          else if (up_down)
9              begin
10                 if (B>8)
11                     B<=4'b0000;
12                 else
13                     B<=B+1;
14             end
15          else if (!up_down)
16              begin
17                 if (B>9 || B==0)
18                     B<=4'b1001;
19                 else
20                     B<=B-1;
21             end
22          case (B)
23              0:{a,b,c,d,e,f,g}=7'b1111110;
24              1:{a,b,c,d,e,f,g}=7'b0110000;
25              2:{a,b,c,d,e,f,g}=7'b1101101;
26              3:{a,b,c,d,e,f,g}=7'b1111001;
27              4:{a,b,c,d,e,f,g}=7'b0110011;
28              5:{a,b,c,d,e,f,g}=7'b1011011;
29              6:{a,b,c,d,e,f,g}=7'b1011111;
30              7:{a,b,c,d,e,f,g}=7'b1110000;
31              8:{a,b,c,d,e,f,g}=7'b1111111;
32              9:{a,b,c,d,e,f,g}=7'b1111011;
33              default:{a,b,c,d,e,f,g}=7'b0000000;
34          endcase
35      end
36  endmodule

```

.۳

```

1  module shift_reg(clk,A,Q,serialin,sload,asclear,shift);
2      input clk,serialin,sload,asclear,shift;
3      input [7:0]A;
4      output reg [7:0]Q;
5      always@(posedge clk, negedge ascalar)begin
6          if (!asclear)
7              Q<=0;
8          else if (!sload)
9              Q<=A;
10         else if (!shift)
11             Q<=Q;
12         else if (shift)
13             begin
14                 Q<=Q<<1;
15                 Q[0]<=serialin;
16             end
17         end
18     endmodule

```

.۴

```

1  module crossroad_counter(clk,load,A,B,rLED,gLED,a1,b1,c1,d1,e1,f1,g1,a2,b2,c2,d2,e2,f2,g2);
2      input clk,load;
3      output reg [3:0]A,B;
4      output reg a1,b1,c1,d1,e1,f1,g1,a2,b2,c2,d2,e2,f2,g2,rLED,gLED;
5      always@(posedge clk,negedge load)begin
6          if (!load)
7              begin
8                  rLED<=0;
9                  gLED<=1;
10                 A<=1;
11                 B<=4;
12             end
13         else if (B)
14             B<=B_1;
15         else if (A!=0 && B==0)
16             begin
17                 A<=A-1;
18                 B<=9;
19             end
20         else if (A==0 && B==0)
21             begin
22                 rLED<=!rLED;
23                 gLED<=!gLED;
24                 if (rLED)
25                     begin
26                         A<=8;
27                         B<=4;
28                     end
29                 else
30                     begin
31                         A<=1;
32                         B<=4;
33                     end
34             end
35         end
36         crossroad_BCD_7seg block1(A,a1,b1,c1,d1,e1,f1,g1);
37         crossroad_BCD_7seg block2(B,a2,b2,c2,d2,e2,f2,g2);
38     endmodule

```

```

1  module crossroad_BCD_7seg(A,a,b,c,d,e,f,g);
2      input [3:0]A;
3      output reg a,b,c,d,e,f,g;
4      always@(A) begin
5          case (A)
6              0:{a,b,c,d,e,f,g}=7'b1111110;
7              1:{a,b,c,d,e,f,g}=7'b0110000;
8              2:{a,b,c,d,e,f,g}=7'b1101101;
9              3:{a,b,c,d,e,f,g}=7'b1111001;
10             4:{a,b,c,d,e,f,g}=7'b0110011;
11             5:{a,b,c,d,e,f,g}=7'b1011011;
12             6:{a,b,c,d,e,f,g}=7'b1011111;
13             7:{a,b,c,d,e,f,g}=7'b1110000;
14             8:{a,b,c,d,e,f,g}=7'b1111111;
15             9:{a,b,c,d,e,f,g}=7'b1111011;
16             default:{a,b,c,d,e,f,g}=7'b0000000;
17         endcase
18     end
19 endmodule

```

پرسش ۱:

با قرار دادن مقاومت در مسیر ال ای های سون سگمنت جلوی سوختن آن ها را با محدود کردن جریان می گیریم.

پرسش ۲:

JTAG چیست ؟

یا Joint Test Action Group استاندارد است که توسط شرکتهای کلیدی تولید کننده PCB و IC تهیه و تدوین گردید و در سال ۱۹۹۰ به عنوان استاندارد در IEEE با شماره IEEE1149.1-1990 به ثبت رسید البته با نام کامل:

در این استاندارد سخت افزار و نرم افزار مورد نیاز برای فعال کردن قابلیت تست و ارتباط با دنیای خارج از آی سی ها و میکروکنترلر ها ارایه شده است .

در سال ۱۹۹۳ و همچنین در سال ۱۹۹۵ در این استاندارد تجدید نظرهایی شد و با شماره های IEEE1149.1a-1993 و IEEE1149.1b-1995 ارایه شد.

معماری سخت افزاری پین های پورت JTAG

هر وسیله ای که با استاندارد Jtag سازگار باشد لازم است تا پین های زیر را داشته باشد :

ورودی که جدا از clock سیستم می باشد. Test Clock Input TCK  
از طریق این پورت دیتا به وسیله سازگار با Jtag وارد می شود. Test Data In TDI  
از طریق این پورت داده ها از وسیله سازگار با Jtag خارج می گردد. Test Data Out TDO  
از طریق این پورت حالت های مختلف تست که در استاندارد مذکور ذکر شده انتخاب می شود. Test Mode Select TMS  
این پین امکان راه اندازی غیر همزمان TAP Controller را فراهم می کند. TRST Test Reset Input

چهار پین نخست برای ارتباط لازم است ولی پین آخر می تواند اختیاری باشد.  
چیست ؟

این بخش دسترسی به بسیاری از توابع داخلی موجود برای تست کردن وسیله سازگار با Jtag را فراهم می کند.

### کنترل کننده سخت افزاری JTAG:

شما برای برقراری ارتباط با وسیله سازگار با JTAG نیاز به استفاده از یک کنترل کننده سخت افزاری دارید که یا به صورت کارت در داخل کامپیوتر قرار می گیرد و یا اینکه از پروگرامر برای ایجاد ارتباط استفاده می کند.

وسیله سازگار با JTAG باید به تمام آدرس های حافظه فلش و سیگنال های کنترل و دیتا متصل باشد.

لزامی ندارد که فلش شما سازگار با استانداردهای Jtag باشد چرا که دستگاه شما دیتا را از کنترل کننده سخت افزاری دریافت نموده و از آن جهت که به تمام فلش دسترسی دارد آن را جای مورد نظر می نویسد. و یا از جای مورد نظر می خواند و به کنترل کننده انتقال می دهد.

خب تا اینجا راجع به تئوری قضایا صحبت شد.

از این جا به بعد می پردازم به بحث دستگاه های گیرنده دیجیتال

تقریباً ۸۰ درصد رسیور ها که امروزه در بازار موجود می باشند دارای CPU از نوع ST می باشند و عمدتاً از نوع :

STI5516

STI5512

STI5500

STI5518 و تمامی این CPU ها سازگار با JTAG می باشند، یعنی در داخل این CPU ها TAP Controller و Register های مربوط موجود می باشد.

و در نتیجه ۵ پین مذکور در بالا در آنها موجود می باشد.

فقط مهم پیدا کردن آنهاست که آن هم از Data Sheet CPU ها قابل استخراج می باشد.

خب بینیم که برای برقرای ارتباط به چه چیزهای نیاز داریم

۱- یک کامپیوتر

۲- نرم افزاری که از طریق یک اینتر فیس با دستگاه ارتباط برقرار کند.

۳- یک رابط یا اینتر فیس برای انتقال داده به کامپیوتر

کامپیوتر که حتما دارید

در مورد مورد نرم افزار هم معمولاً از JKEY استفاده می شود البته استفاده از آن هم فوت و فن های خودش را دارد به عنوان مثال لازم است تا با داشتن اطلاعاتی راجع به نوع و مارک فلش موجود در دستگاهتان آن را در صورت عدم وجود برای برنامه معرفی کنید.

می رسیم به واسط یا اینتر فیس

امروزه اینترفیس های ساخته شده توسط شرکتهای مختلف موجود می باشد که قابل خرید می باشند از جمله معتبرترین آنها FLASH LINK می باشد که ساخت شرکت ST یعنی شرکت تولید کننده CPU های STI .

به صورت آماتوری نیز مدل های مختلفی ارائه شده است که معمولا البته با امکانات کمتر نسبت به مدل های فروشی.

یک موضوع راجع به پورت JTAG:

این پورت بر روی بعضی از بردها وجود دارد مانند سامسونگ های ۹۵۰۰ قدیمی

جای این پورت ۲- پین روی بردهای دیگر هم وجود دارد اما به صورت محو.

پین های JTAG

پین های زوج یعنی ۲ و ۴ و ۶ و ۸ و ۱۰ و ۱۲ و ۱۴ و ۱۶ و ۱۸ و ۲۰ به گراند متصل می شوند.

پین های ۱ و ۷ بدون استفاده

پین ۳ گزارش خطا

پین ۵ آنالیز cpu

پین ۹ TMS

پین ۱۱ TCK

پین ۱۳ TDI

پین ۱۵ TDO

پین ۱۷ متصل به مدار ریست کننده دستگاه



## پین ۱۹ TRST

نکته: در مورد CPU های STI یک یا دو پین نیز وجود دارد که تعیین می کند آیا سیستم از روی فلش بوت شود یا از روی لینک بیرونی یا DCU

بنابراین لازم است تا به هنگام استفاده از Jtag وضعیت این پینا بررسی شود.

در cpu های STI5518 این پین شماره ۱۱۵ cpu است که باید به گراند متصل شود تا سیستم کنترل را به TAP Controller واگذار نماید.

در cpu های STI5500 این پین شماره ۲۷ cpu است که باید low نگه داشته شود.

پهنای مورد نیاز در JTAG

در CPU های STI5515 :

Pin 109 : TRST

TMS : ۱۱۰ Pin

Pin 111 : TDO

Pin 112 : TDI

TCK : Pin 113

Pin 115 : Boot\_From\_Rom or DCU

در CPU های STI5500 :

TDI : ۱۸۶ Pin

Pin 187 : TMS

Pin 188 : TCK

TDO : Pin 189

Pin 190 : TRST

Pin 27 : BRM1/Boot From Rom

در CPU های STI5512 :

J1 TRST

J3 TDO

J4 TDI

J2 TMS

TCK H3

Portand J20 Boot Source JTAG IEEE Standard 1149.1-1990 Test Access & J19  
Boundary-Scan Architecture Clock TAP Controller

کابل ByteBlaster جهت ارتباط بین مدار ها کاربرد دارد. دیتا شیت مخصوص به آن وجود دارد و در مود های JTAG و... عمل می کند.

پرسش ۳:

یک آی سی از نوع سری MAX است که قابلیت برنامه ریزی دارد. MAX 7000 ها در معماری درونی خود از قسمت های ذیل تشکیل شده اند:

1. Logic Array Blocks
2. Macro cells
3. Expander Product Terms (shareable and parallel)
4. Programmable Interconnect Array
5. I/O Control blocks

که خود ماکروسل های از مدارات منطقی با المان های و گیت های فراوان تشکیل یافته اند.

پرسش ۴:

برای غالب عملیات ها حدود ۲ تا ۱۰ نانو ثانیه تاخیر انتشار داریم.