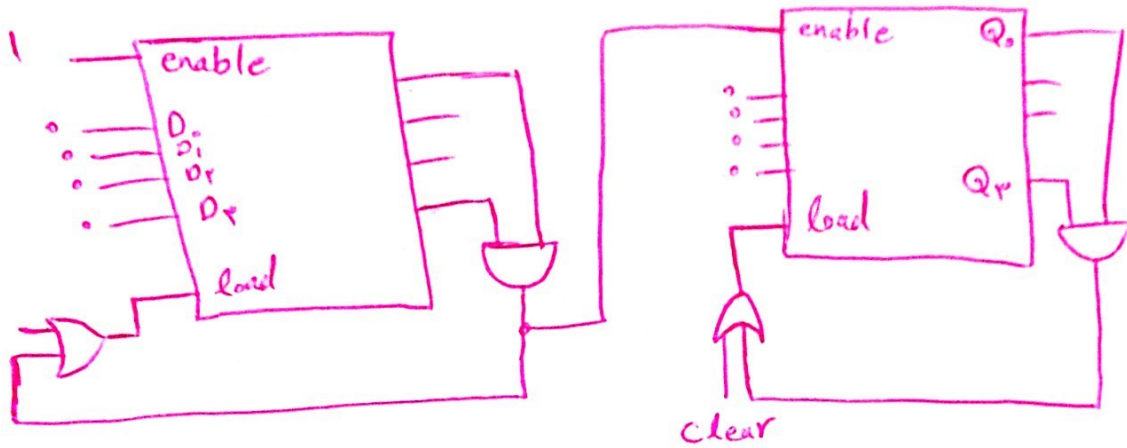


کونیز:

با استفاده از دو شمارنده با loading موزی و گیت enable یک شمارنده BCD در قی سارنده

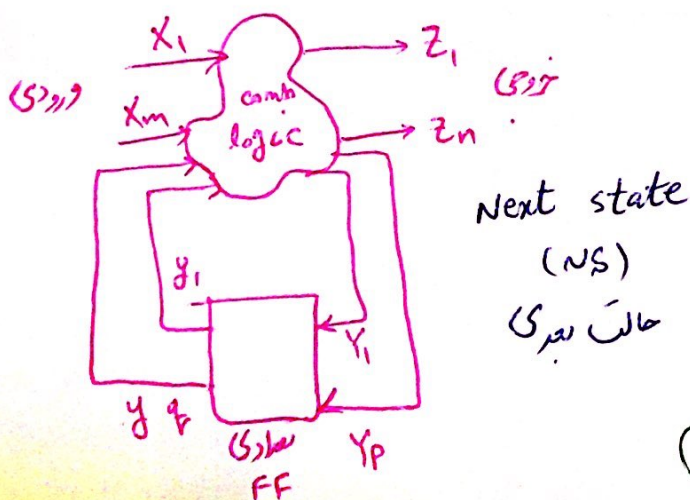


اصول طراحی مدارهای ترکیبی:

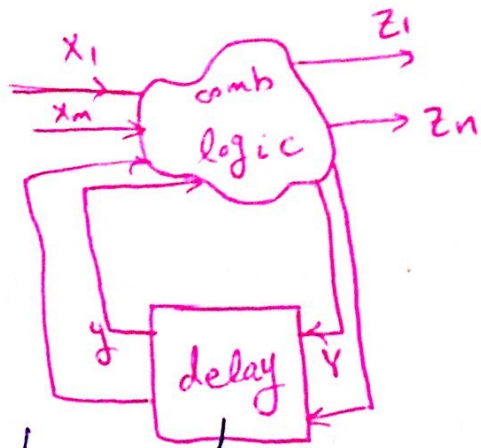
ترکیبی ← کنترل ← clock هماهنگ کننده

برای ساخت مدارهای ترکیبی ← تعدادی مدار ترکیبی + تعدادی FF برای نگهداری state

مدارهای ترکیبی در واقع دارای تعداد محدودی state هستند لذا به آن ها Finit state machine (FSM)



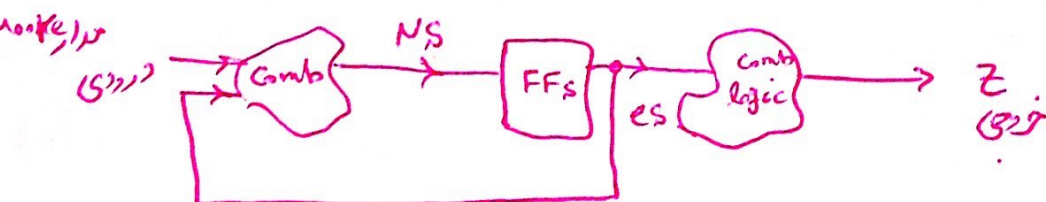
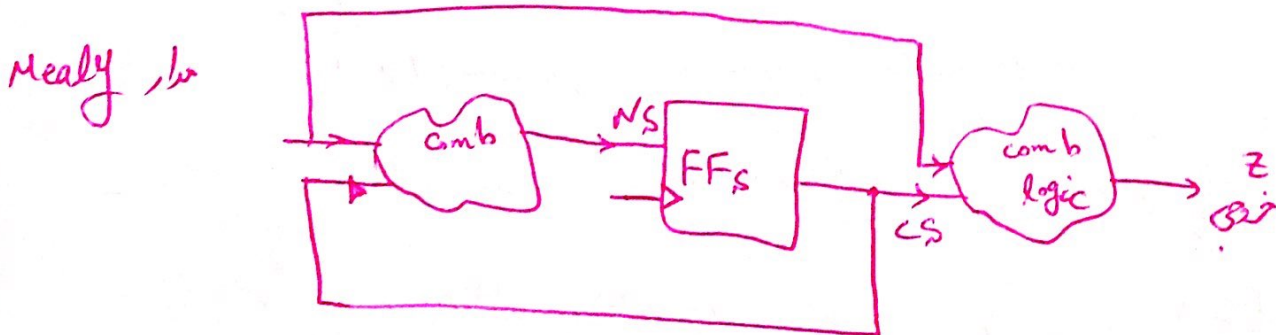
مدار استنتاج :



تاخیر (بیم-کس)

com b, logic ← به دو منظور استفاده می شود :  
 1. به دو منظور استفاده می شود :  
 2. به دو منظور استفاده می شود :  
 3. به دو منظور استفاده می شود :  
 4. به دو منظور استفاده می شود :  
 5. به دو منظور استفاده می شود :  
 6. به دو منظور استفاده می شود :  
 7. به دو منظور استفاده می شود :  
 8. به دو منظور استفاده می شود :  
 9. به دو منظور استفاده می شود :  
 10. به دو منظور استفاده می شود :

انواع مدارهای ترکیبی کنترل :  
 Mealy : خروجی هم به درختی و هم به سیگنالی دارد.  
 Moore : خروجی تنها به سیگنالی دارد.



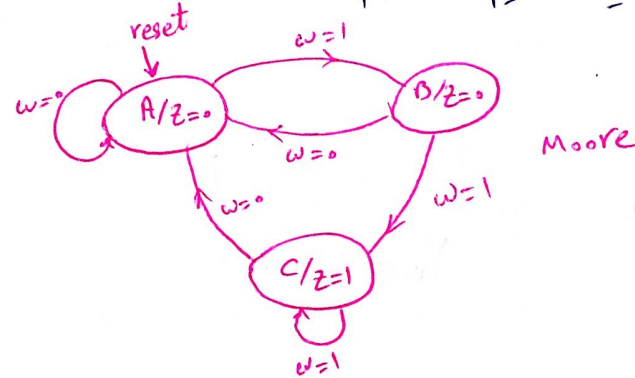
سؤال: مداری را طراحی کنید که یک ورودی دارد و زمانیکه در "۱" متوالی در ورودی بسته می شود خروجی را "۱" کند.

clk cycle

|   | $t_0$ | $t_1$ | $t_2$ | $t_3$ | $t_4$ | $t_5$ | $t_6$ | $t_7$ | $t_8$ | $t_9$ | $t_{10}$ |
|---|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|----------|
| w | 0     | 1     | 0     | 1     | 0     | 1     | 1     | 1     | 1     | 0     | 1        |
| z | 0     | 0     | 0     | 0     | 0     | 1     | 0     | 0     | 1     | 1     | 0        |

اکتین state diagram :

- از یک state آغازین شروع می کنیم که وقتی سیستم روشن یا reset می شود در آن می رود.



۲) ای د state-table :

| CS | NS  |     | output<br>z |
|----|-----|-----|-------------|
|    | w=0 | w=1 |             |
| A  | A   | B   | 0           |
| B  | A   | C   | 0           |
| C  | A   | C   | 1           |

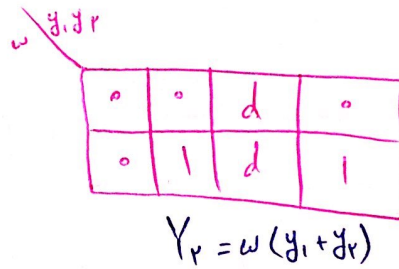
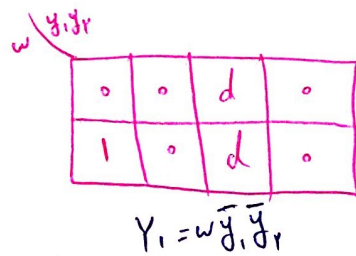
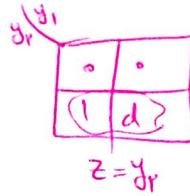
۳) state-minimization :

در حقیقت برای n حالت به حداقل  $\lceil \log_2 n \rceil$  FF نیاز است.

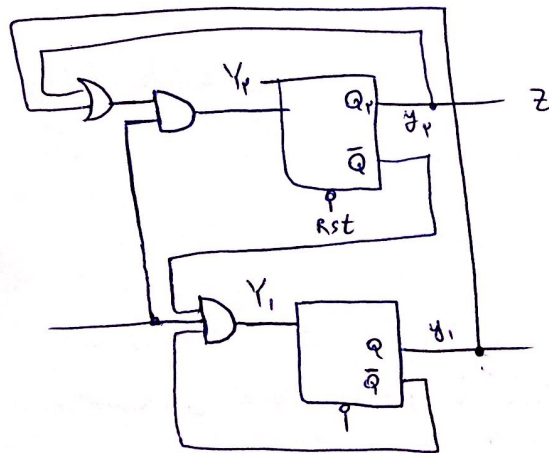
- لذا کم کردن تعداد state به معنای کم کردن مساحت است  
 در این مثال ۲ FF برای مثال در این سه حالت کافی است و غیر قابل کم کردن

(۳) state assignment

|        | CS<br>$y_1 y_2 y_3$ | NS                 |                    | output<br>Z |
|--------|---------------------|--------------------|--------------------|-------------|
|        |                     | $w=0$<br>$y_1 y_2$ | $w=1$<br>$y_1 y_2$ |             |
| A ← 00 | 00                  | 00                 | 01                 | 0           |
| B ← 01 | 01                  | 00                 | 10                 | 0           |
| C ← 10 | 10                  | 00                 | 10                 | 1           |
|        | 11                  | dd                 | dd                 | d           |



(۴) پیاده سازی:



state assign مدار فوق ایجاد اب

زیر پیاده سازی کنید

A ← 00  
B ← 01  
C ← 11

