

Metastable - output به عنوان

T_{hold} داریم خودتو به اندازه دلی و این معراده می بینیم

کنترل شد Flip-Flop است در این حالت که در درون از خروجی می رود

اگر buffer هم نداشته

می شود که در T_{clk} هم اثر دارد



$T_{buffer} + T_{cq,cd} + T_{logic,cd} > T_{hold}$
 نکته بعدی Flip-Flop را داریم

تغییرات مکانی clk !

clock skew

تغییرات هم می بینیم!

تغییرات Flip-Flop کارساز می آید! چرا!

- T_{clk} است ما است و T_{hold} است در این حالت! این در این حالت یک شاد است و این راه
 رها کار می کند و این هم. این که در این حالت $buffer$ است که کار می کند!

- هیچ وقت نمی آید $design$ ای را برای ساخت می آید T_{hold} ای را برای ساخت می آید
 Hold time violation?

کپی می آید T_{hold} به چه کسی می آید!

$$f_{max} = \frac{1}{T_{logic} + T_{cq} + T_{setup} + T_{routing} (+/-) T_{skew}}$$

سیگنل ها
 سیگنل clk داریم اگر $data$ می آید، $-$ می آید و اگر $data$ می آید، $+$ می آید

- مثال ۱

در مدلی In: ۸ بیت ورودی، درگاه کنترل L و R یک بیت ورودی، و یک بیت خروجی است.
 left shift و right shift به دو حالتی که در بالا آمده است.

```

Input  [v:0]  data;
Input  shift;
Input  Si;
output [v:0]  n-data;

if (Si == 'L')
    n-data = { data[7:0], Si }
if (Si == 'R')
    n-data = { Si, data[v:1] }
end if

module LRShift (
    input  Si, L, R;
    input  [7:0] In;
    output [v:0] out;
    always @ ( L, R, Si, In)
    begin
        case ({R, L})
            2'b01: out = { In[6:0], Si };
            2'b10: out = { Si, In[v:4] };
            default: out = In;
        end case
    end
end module

```

در اسناد

؟؟؟؟

که می‌دهد feedback داشته باشد، به خود

کنترل می‌کند؟

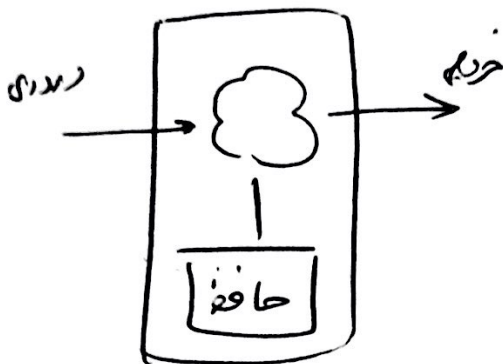
- مدارهای ترکیبی

- در مدارهای ترکیبی، خروجی تنها به ورودی فعلی محاسبه می‌شود.

- در مدارهای ترکیبی، خروجی هم به حالت ورودی هادوم به حالت گذشته می‌شود.

- این حالت گذشته توسط اهرن‌های ذخیره‌کننده (Storage Elements) محاسبه شود.

Latch, F.F, ...



۱۱) سارترین اهرن حافظه

- تقویت‌دهنده این NOT می‌تواند سرهم بسته شده باشد.

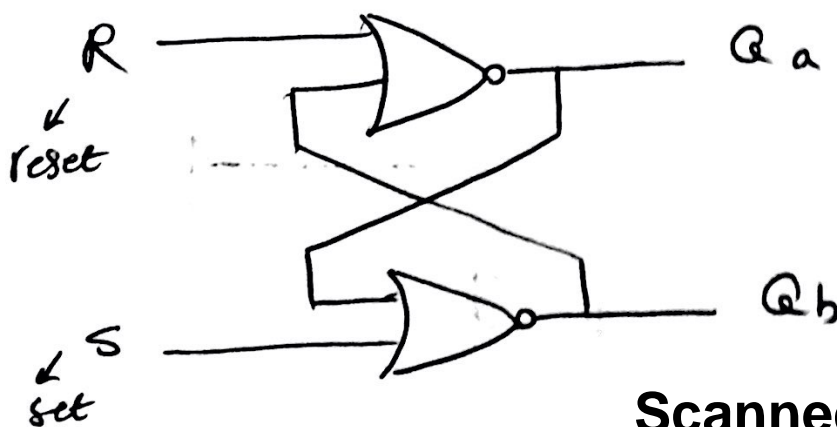
- State مدار فریب ندارد (Q) که در خروجی آن می‌باشد.

- این مدار را می‌توان State مدار را تغییر داد.

تغییر دهنده این
که در بعضی موارد
هم می‌توانیم
عمل آسانی
نداریم

۱۲) SR-latch

- latch ها یکی از خانواده‌های اهرن‌های ذخیره‌کننده می‌باشند.



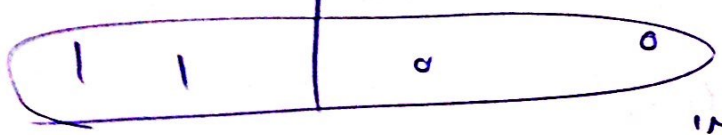
تلفه د لنگل ندره تاغز این دوتا
gate, کیب ن دوشه

S	R	Q _a	Q _b
0	0	0/1	1/0
0	1	0	1
1	0	1	0
1	1	0	0

صفه

حالت نه داره رافعه
کا کنه بش یه
NOT = شیب سرهم!

reset
set



فرست
یا شفق؟
عن حواهم این اشان
بنده

$$1) S=R=0 \Rightarrow Q_a = (Q_b + R) = Q_b, \bar{R} = Q_b$$

$$\Downarrow Q_b = (Q_a + S) = Q_a, \bar{S} = Q_a$$

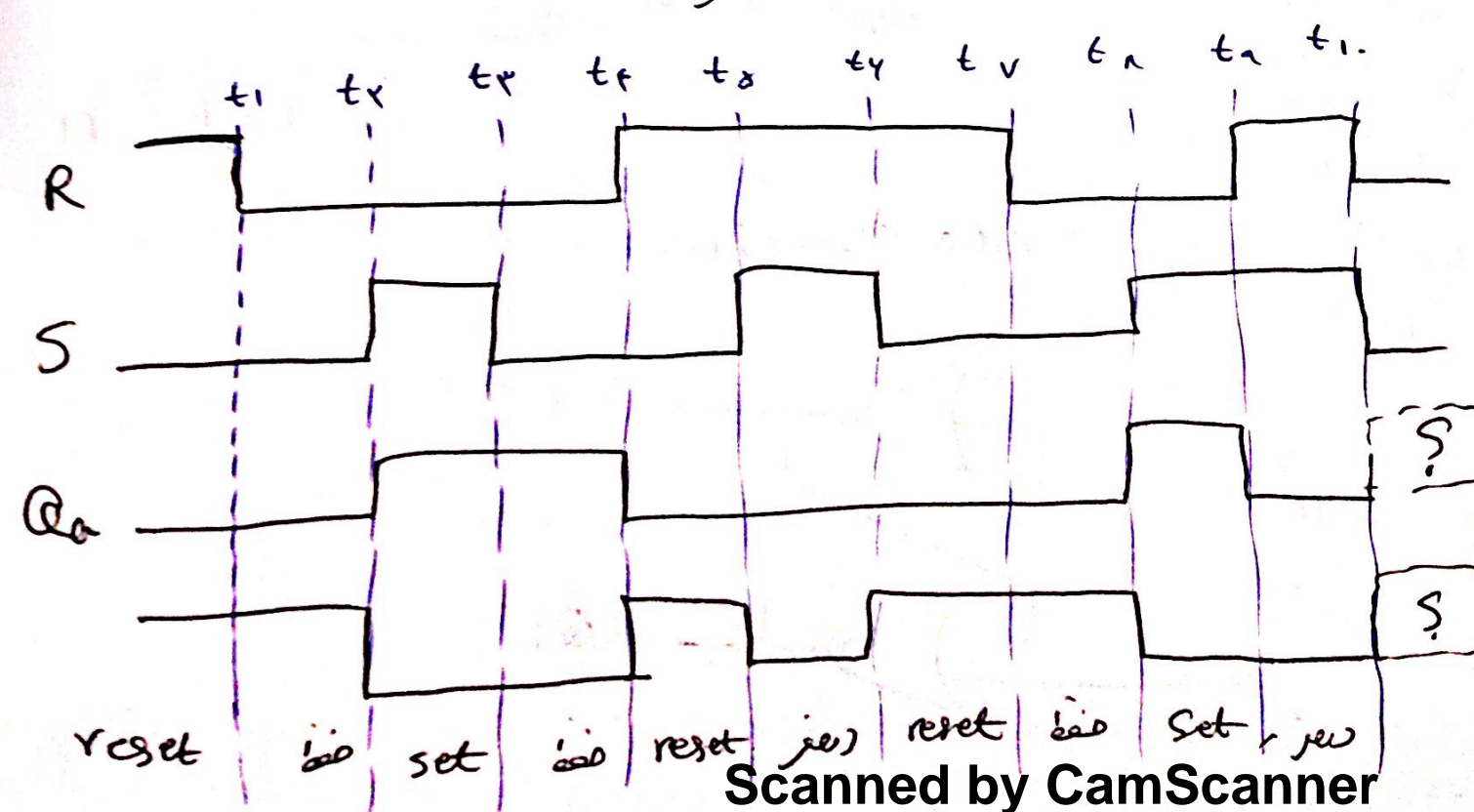
= NOT
هر ایند

2) $S=0, R=1 \Rightarrow Q_a=0, Q_b=1$

3) $S=1, R=0 \Rightarrow Q_a=1, Q_b=0$

4) $S=R=1 \Rightarrow Q_a=Q_b=0$

الترافینر دوشه
Q_a ل Q_b در لحظه صفر ایند! هر یک!



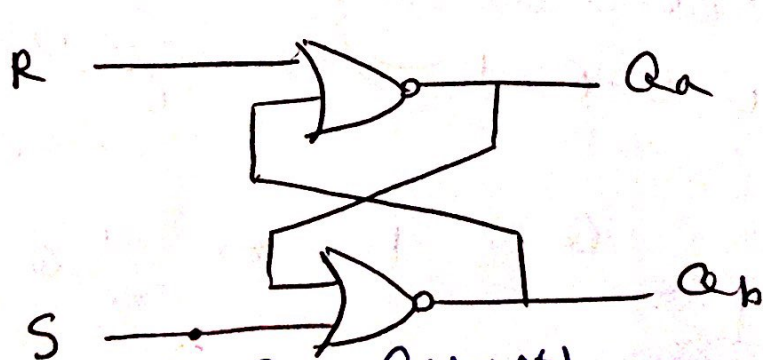
- در $t_0 = t_1$ ، وقتی $S=R=1$ شوند چون رست و ست همزمان می‌توانند تغییر کنند. یکی از این‌ها، خروجی را مسدود می‌کند و دیگری ضریب خود را با علامت منفی می‌کند. اگر کدامی از این‌ها نباشد، بنا بر این $S=R=1$ حالت نامطلوب است.

کلمه وضعیت $Q(t)$ هم درسته این حالت را می‌توانیم در این حالت در نظر بگیریم و می‌توانیم بگوییم که در این حالت، Latch ها دارای Enable هستند. اگر زمانی که Enable فعال است، Latch، قابلیت خود را دارد و می‌تواند تغییر کند.

گated latch
 CK
 NOR
 NAND
 Truth
 Table
 در این صورت، CK و R و S به ورودی‌های NAND و NOR می‌روند.

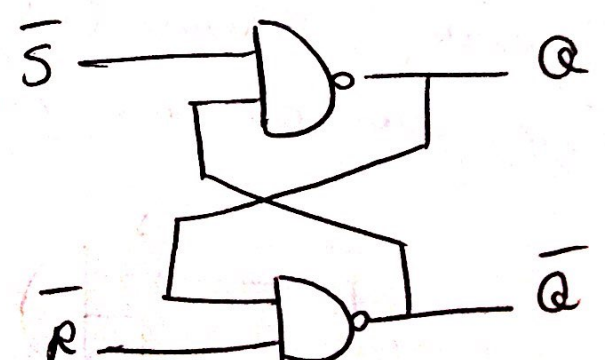
CK	S	R	$Q(t+0t)$
0	X	X	$Q(t)$
1	0	0	$Q(t)$
1	0	1	0
1	1	0	1
1	1	1	X

- نکته: اگر خروجی‌های منطقی در بارهای delay نباشد، یعنی تا زمانی که delay است.
 - وقتی می‌خواهیم سیستم را از مدار امانت‌پذیر کنیم، به power نمی‌رسد، CK را می‌کنیم.



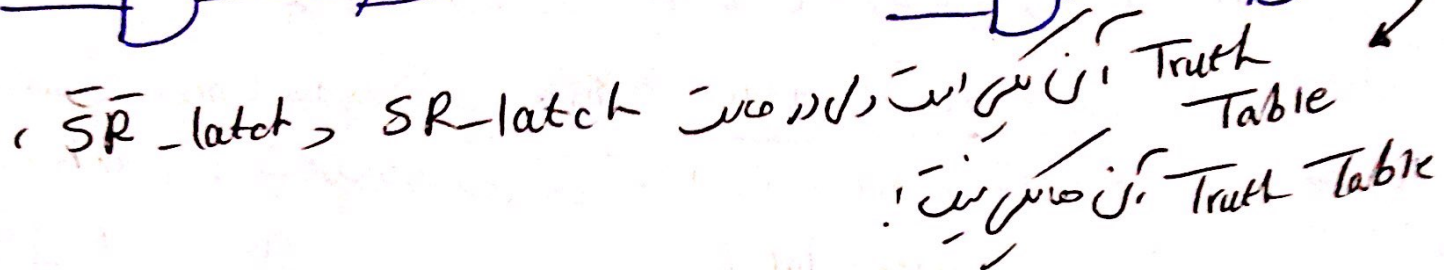
S	R	$Q(t+0t)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	X

SR-Latch / Active high

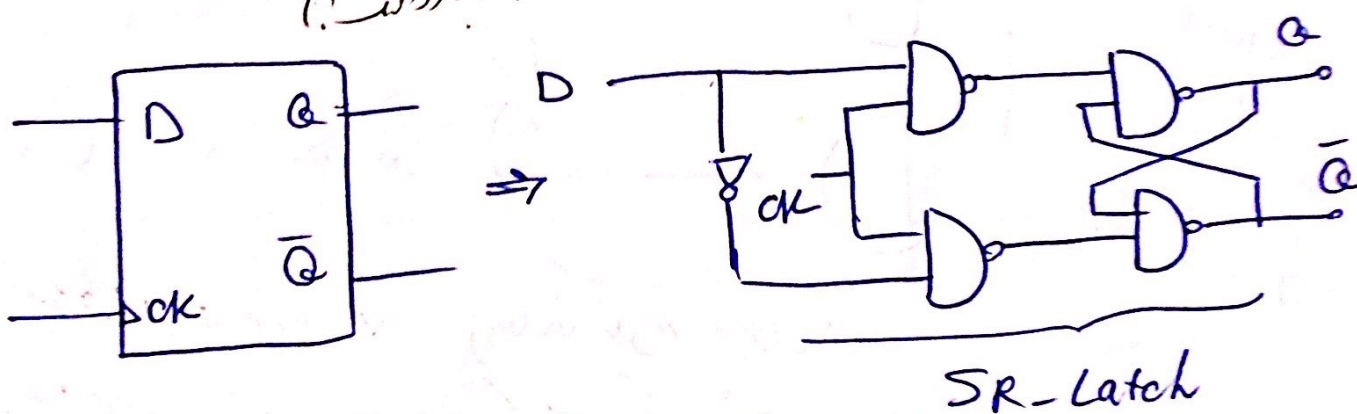
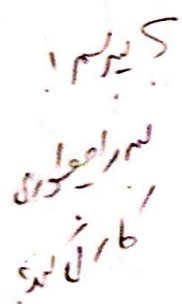


\bar{S}	\bar{R}	$Q(t+0t)$
0	0	X
0	1	1
1	0	0
1	1	$Q(t)$

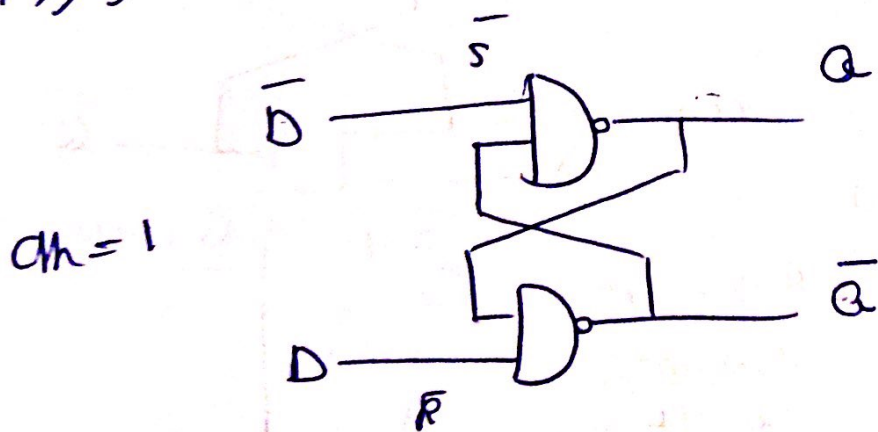
SR-Latch / Active low



f.f. level sensitive) & Gated D-latch -

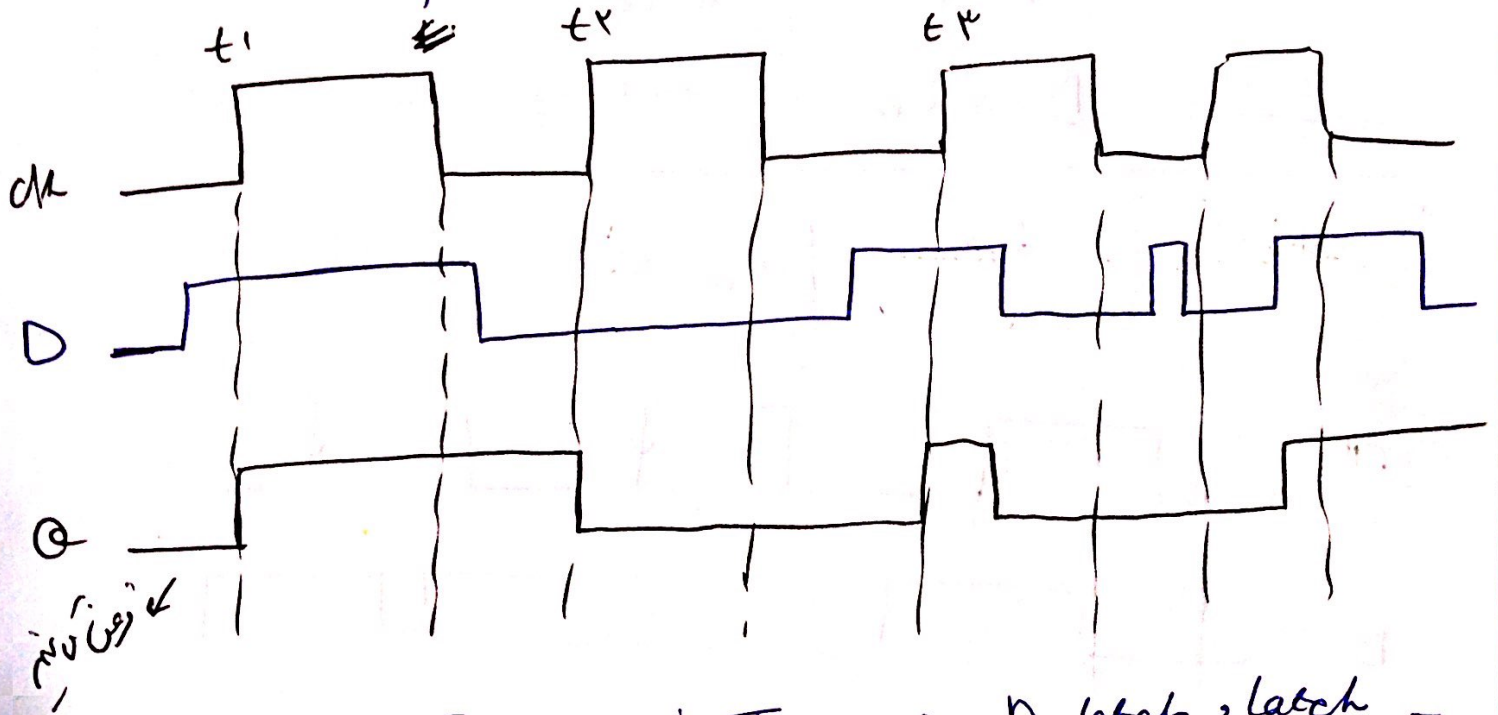


د- latch در صورتی که SR latch است نه در صورتی که R و S هر دو یکسان هستند.
 نیز این حالت مطلوب $R=1$ و $S=1$ پیش نمی آید. و با $ck=0$ حالت فرد می آید.


$$D = \cdot \rightarrow \begin{matrix} \bar{S} = 1 \\ R = \cdot \end{matrix} \rightarrow Q = \cdot$$
$$D=1 \rightarrow \begin{matrix} \bar{S}=0 \\ R=1 \end{matrix} \rightarrow Q=1$$
$$\Rightarrow Q = D$$

an \rightarrow inverter latch

clk	D	$Q(t+0t)$
0	X	$Q(t)$
1	0	0
1	1	1



! ... , T_{setup} و T_{hold} ، D-latch ، latch -
 (Master-slave D Flip Flop) و Flip Flop -
 دوائر التوقيت

