

اسلام ۸ : back slash در پیش به سری کاراکتر قابل

print می‌تونه به identifier بازه . استفاده

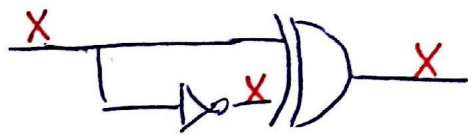
نمی‌کنیم ولی استفاده می‌کنیم باید بگوئیم

اسلام ۱۰ : Z به اگر خنده نشه به شکل x خنده می‌شه چون

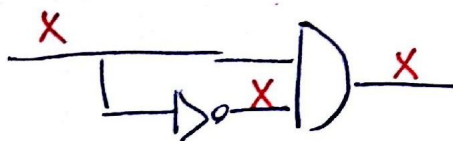
نه قطعا صفر صفر نه قطعا یک

high impedance یعنی چی drive نکرده روی نیم و آماده رفتن مقدار

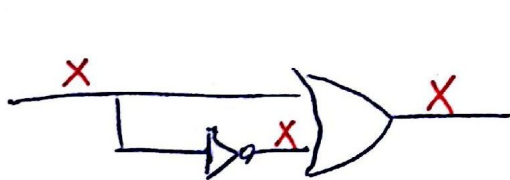
نکته راجع به X : (اسلام ۱۱)



انتظار داریم



انتظار داریم



انتظار داریم

X حالت‌هایی در آرایز واقعیت و نویس می‌ده یعنی noise

درهم نویس می‌ده مثلا 2.5 و هم نویس می‌ده نه مثلا

0 و 5 . $X \geq 1$ noise

* اسلائیڈ 14 : radix تہا عن توتہ حرف تہ
(یعنی مٹے size تہ ، radix تہ)

* اسلائیڈ 15 : ایک لیم مروتہ حید driver تہ تہ

* اسلائیڈ 16 : drive تہ تہ یعنی z و drive تہ تہ

* اسلائیڈ 18 : آرایہ و vector تہ تہ

[:] MSB (position تہ و تہ مدرس تہ تہ)

تہ assignment تہ تہ تہ تہ تہ extend
مٹے ($x \leftarrow x$ $z \leftarrow z$ $0 \leftarrow 0$)

* اسلائیڈ 20 : reg تہ تہ "register" تہ تہ

تہ variable تہ تہ

* reg تہ تہ "driver" تہ تہ تہ تہ

(تہ wire تہ تہ)

always @ (*)

مثال :

$n = a \& b ; \rightarrow$ AND gate

always @ (*)

$n = a ; \rightarrow$ به همین اس a عوض نیست
مقدارش میاره نوی $n \leftarrow$ wire

always @ (posedge clk)

$n \leq a ; \rightarrow$ register

always @ (clk)

$n = a ; \rightarrow$ معوض نذاره

== پس reg همیشه register نیست .

اسلام 23 : اگر چه در هر لحظه یک عفویش می شه ولی در هر لحظه

عفویش بازه نقیصه کرد [:] مثل vector

$A \& \& B \equiv A \& (2B)$
کامل

اسلام 31

اسلام 33 : در Concatenation نام size و مقدارهای درون
 ؟ { مشخص باشد . دلیل علت بودن آخری چیست ؟
 چون size ، ! مشخص نیست .

{ ... و { 4 a } }
 برای sign extension استفاده می شود . \Rightarrow a و 4 بار تکرار می شود

اسلام 34 : چون x فته و واسیت $x \rightarrow x \mid b$
 noise کم هست .

اسلام 36 : شرط گذشتن از x : x نه صفر در نظر گرفته می شه
 نه یک .

اسلام 37 : ** توان $(x \oplus y)$

timescale 1ns/1ns ، 40

دقت \rightarrow واحد زمانی

* توان در 2 نوع always دارم یا (*) یا (clk edge)

* initial block به مفهوم نیست آخری ندارد ، آخری برای test bench

اسلام 42 : comma → "دارد" ; input sub ;

آخری بھی بندارہ → output reg v 0 ;

* در port ، array ندرام ، vector طرح

اسلام 45 : assign wire = wire/reg ;

استفاده از متغیر LHS در RHS ، لوب ایگر
صحنه در بنام استفاده کرد . left right hand side

اسلام 48 : concurrency در verilog بدل شد

ولی در واقع هم زمانی اکا وجود ندارد .

نکته copy شدن مقادیر که concurrent رخ می ده .

اسلام 59 : معلوم نیست با چه ترتیبی initial ها انجام می شن
در display میکنه 0 یا 1 یا 2 یا 3