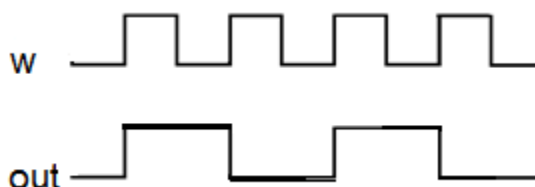


1- برای flow table های کاهش یافته زیر اختصاص حالتی (state assignment) بدست بیاورید که شرایط critical race را نداشته باشد.

	x_1, x_2			
	00	01	11	10
a	$\textcircled{a}, 0$	$\textcircled{a}, 1$	$b, -$	$d, -$
b	$a, -$	$\textcircled{b}, 0$	$\textcircled{b}, 0$	$c, -$
c	$a, -$	$- , -$	$d, -$	$\textcircled{c}, 0$
d	$a, -$	$a, -$	$\textcircled{d}, 1$	$\textcircled{d}, 1$

CS	Ns		z
	0	1	
A	A	B	0
B	C	B	1
C	C	D	1
D	E	D	2
E	E	F	2
F	G	F	3
G	G	H	3
H	A	H	0

2- مدار آسنکرونی با یک ورودی w و خروجی out طراحی کنید به گونه ای که اگر تا یک زمان تعداد فردی پالس آمده باشد خروجی در آن زمان یک باشد وگرنه صفر باشد. رسم state diagram، تخصیص حالت بدون critical race و رسم مدار نهایی را انجام دهید.



3- یک D-LATCH را با قواعد پیاده سازی مدار های آسنکرون ،شامل رسم pft،کاهش حالت،تخصیص حالت مناسب و نهایتا رسم مدار نهایی طراحی کنید

4-حالت های سازگار را بیابید

<u>CS</u>	Ns				z
	00	01	10	11	
A	A	H	B	-	0
B	F	-	B	C	0
C	-	H	-	C	1
D	A	D	-	E	1
E	-	D	G	E	1
F	F	D	-	-	0
G	F	-	G	-	0
H	-	H	-	F	0