



دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارهای منطقی و سیستم های دیجیتال

گزارش آزمایش جلسه ۳

سیدبردیا برائی نژاد (۹۲۱۰۱۶۶۹)

مهدی میر (۹۲۱۰۲۸۴۶)

استاد: دکتر تابنده

۱. در بخش اول با ورودی‌های مناسب select (با توجه به داده‌های Datasheet) آی‌سی را برای اعمال OR، AND، جمع و تفریق مورد آزمایش قرار دادیم و مقدار تاخیر را نیز بدست آوردیم.

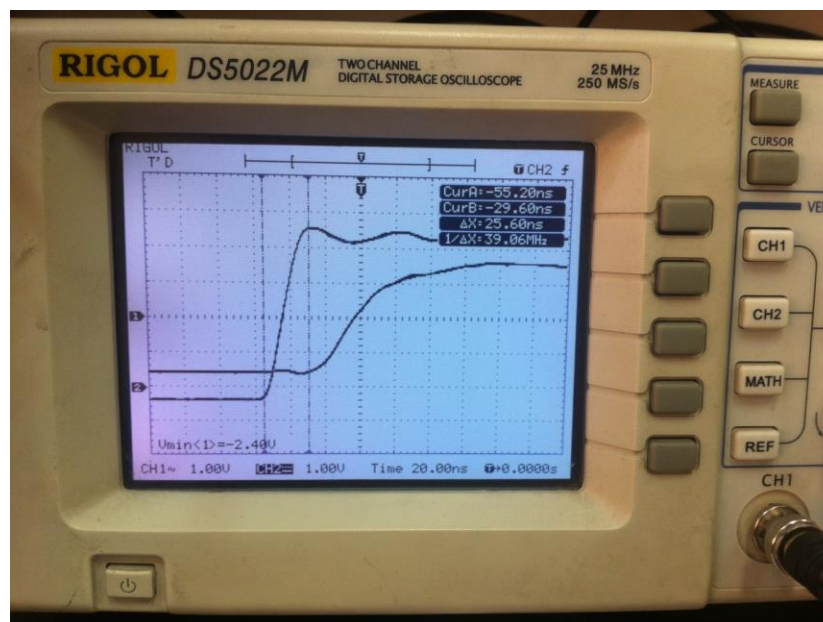
FUNCTION TABLE							
MODE SELECT INPUTS				ACTIVE LOW INPUTS & OUTPUTS		ACTIVE HIGH INPUTS & OUTPUTS	
S ₃	S ₂	S ₁	S ₀	LOGIC (M = H)	ARITHMETIC** (M = L) (C _n = L)	LOGIC (M = H)	ARITHMETIC** (M = L) (C _n = H)
L	L	L	L	\overline{A}	A minus 1	\overline{A}	A
L	L	L	H	\overline{AB}	\overline{AB} minus 1	$\overline{A} + \overline{B}$	$A + \overline{B}$
L	L	H	L	$A + B$	\overline{AB} minus 1	\overline{AB}	$A + B$
L	L	H	H	Logical 1 minus 1		Logical 0 minus 1	
L	H	L	L	$\overline{A} + \overline{B}$	A plus (A + B)	\overline{AB}	A plus AB
L	H	L	H	\overline{B}	\overline{AB} plus (A + B)	\overline{B}	(A + B) plus AB
L	H	H	L	$A \oplus \overline{B}$	A minus B minus 1	$A \oplus \overline{B}$	A minus B minus 1
L	H	H	H	$\overline{A} + B$	A + B	\overline{AB}	AB minus 1
H	L	L	L	\overline{AB}	A plus (A + B)	$\overline{A} + \overline{B}$	A plus AB
H	L	L	H	$A \oplus B$	A plus B	$A \oplus B$	A plus B
H	L	H	L	\overline{B}	\overline{AB} plus (A + B)	\overline{B}	(A + B) plus AB
H	L	H	H	$A + B$	A + B	\overline{AB}	AB minus 1
H	H	L	L	Logical 0 A plus A*		Logical 1 A plus A*	
H	H	L	H	\overline{AB}	\overline{AB} plus A	$A + \overline{B}$	(A + \overline{B}) plus A
H	H	H	L	\overline{AB}	\overline{AB} plus A	$A + \overline{B}$	(A + B) Plus A
H	H	H	H	A	A	A	A minus 1

L = LOW Voltage Level

H = HIGH Voltage Level

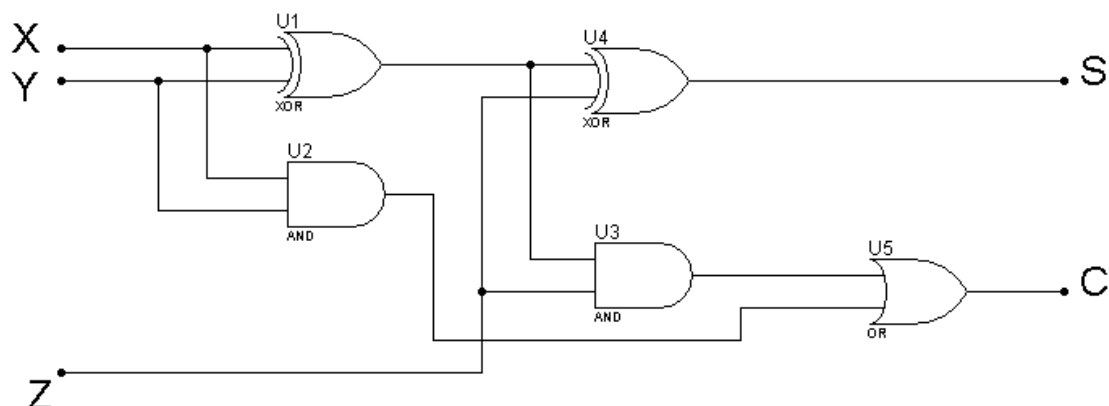
*Each bit is shifted to the next more significant position

**Arithmetic operations expressed in 2s complement notation



با توجه به شکل زیر مقدار تاخیر حدودا برابر با ۲۵ نانوثانیه است.

۲.



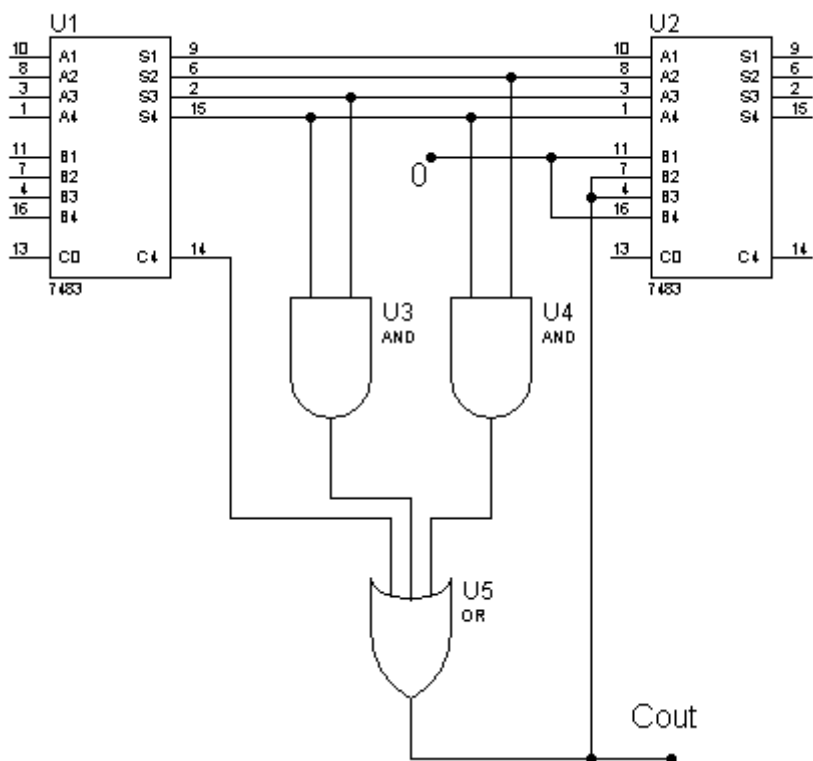
$$S = X \oplus Y \oplus Z, C = (X \oplus Y)Z + XY$$

با توجه به مدار بالا که یک Full Adder می باشد مقادیر جمع (S) و رقم نقلی (C) را می توان با دادن ورودی ها (X و Y) و همچنین رقم نقلی مرحله ی قبلی (Z) بدست آورد. با استفادی از Datasheet مربوط به آی سی این مدار را پیاده سازی می کنیم. برای مشاهده ی خروجی نیز از ۲ ال ای دی متصل به مقاومت استفاده می کنیم و روشن شدن آن ها نشان دهنده ی ۱ شدن مقادیر S و C می باشد.

۳.

در تبدیل sign magnitude به 2's comp. ابتدا همه ی بیت ها را (مطابق شکل) با بیت ام اس بی که نشان دهنده ی علامت است XOR می کنیم. (اگر بیت ام اس بی صفر بود بیت ها ی دیگر تغییری نمی کنند و در غیر این صورت اینورس می شوند). خروجی ها به ورودی ها ی فول ادر متصل می شوند و بیت کری به بیت ام اس بی متصل می شود که باعث می شود در صورت منفی بودن، عدد اینورس شده با ۱ جمع شود و در صورت مثبت بودن تغییری صورت نگیرد. این مدار برای عمل تفریق مورد نیاز است که در واقع جمع با عدد منفی شده است که نتیجه ی مورد نظر ما را به ما می دهد.

پرسش ۱



پرسش ۲

جمع مقادیر تاخیر = $48 + 44 + 30 + 35 + 30 = 187$ نانو ثانیه

پرسش ۳

مدار بدست آمده ۲۵ نانو ثانیه بود که از کمتر از تاخیر محاسبه شده است.

پرسش ۴

OR، AND، XOR و دو فول ادر بیشترین تاخیر را ایجاد می کنند.

$$205 \text{ نانو ثانیه} = 48 * 2 + 44 + 35 + 30$$

پرسش ۵

در یک فول ادر دلیل تاخیر نیاز هر مرحله ی جمع به carry مرحله ی قبلی است. پس تاخیر نهایی جمع تمامی تاخیر ها ی قبلی است که برابر با $d(2n-1)$ می باشد. ($d=delay$)

پرسش ۶

