



دانشگاه صنعتی شریف

دانشکده مهندسی برق

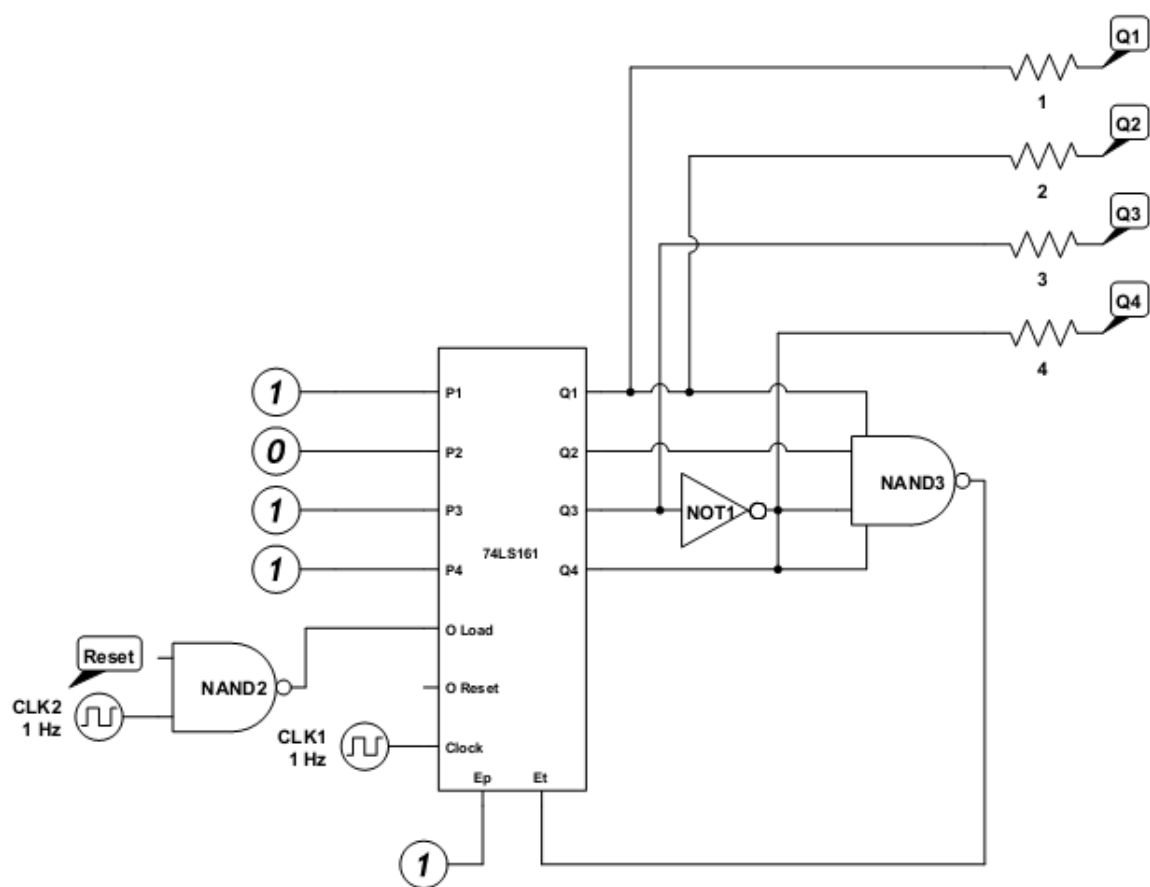
آزمایشگاه مدار های منطقی

گزارش آزمایش جلسه 6

مهدی میر 92102846

محمد علی اسحاقی 921021528

.1



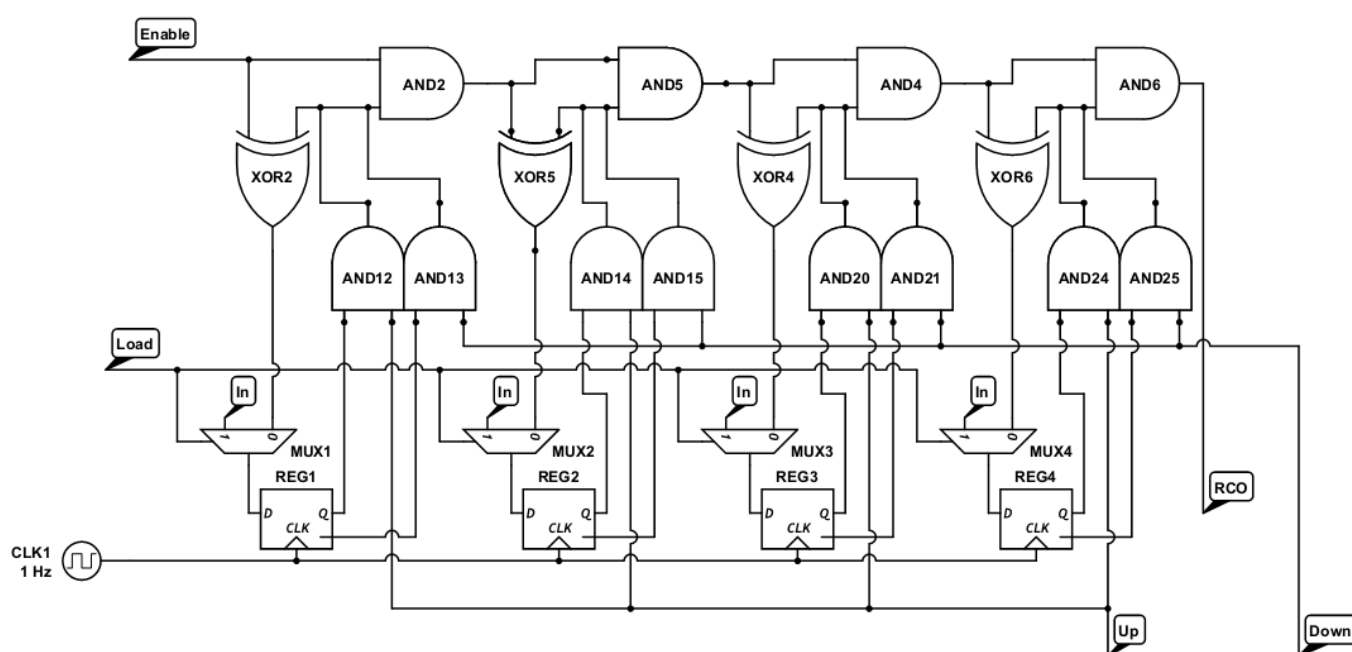
در این آزمایش یک شمارنده حلقوی را پیاده کردیم. که ابتدا تمام بیت‌های حافظه صفر بوده و سپس با اولین یکی که در آن وارد می‌شود، فیدبک را وصل میکنیم (آخرین خروجی Q را به ورودی سریال شیفتر رجیستر) و این سبب گردش 1 موجود در 8 بیت شیفتر رجیستر می‌شود. با تبدیل این 8 کد به یک 3 to 8 Encoder این 8 حالت را بصورت یک عدد باینری سه بیتی مشاهده می‌کنیم. مدار در دیتاشیت رسم شده است.

پرسی ها :

پرسی 1: بیشینه فرکانس کلاک برای عملکرد درست مدار در حالت مینیمم 25MHz و در حالت نرمال 32MHz است.

پرسی 2 :

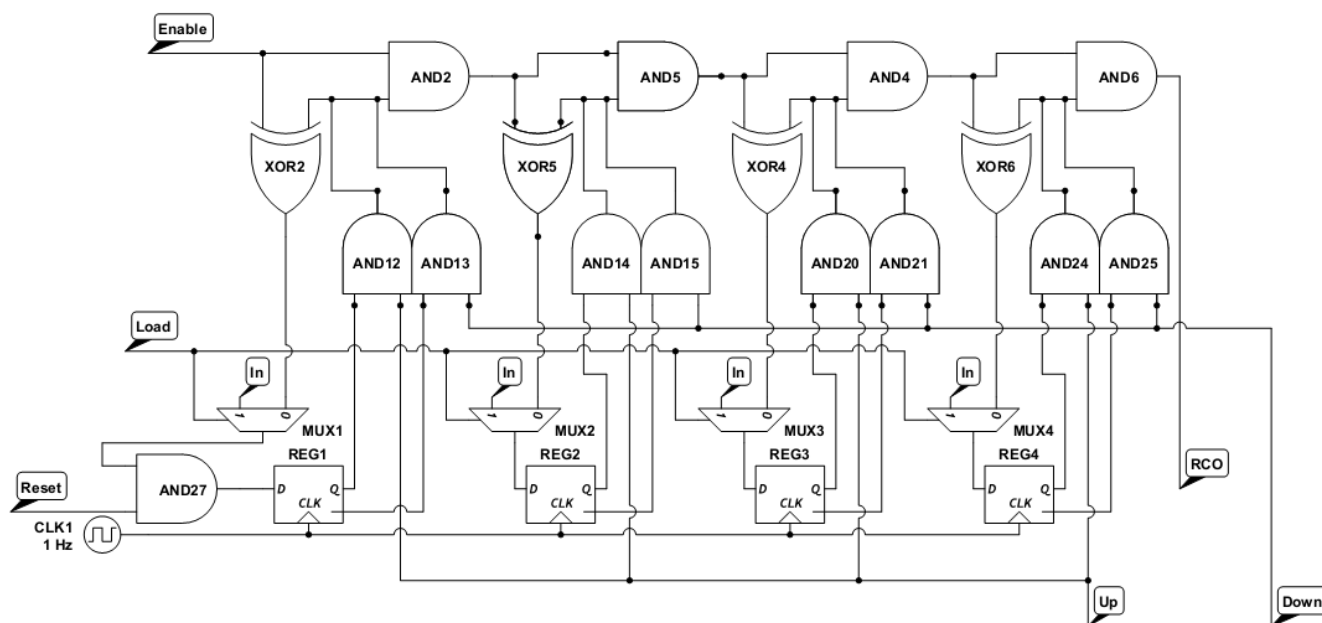
برای مدار 2 سیگنال Active High برای بالا و پایین شمردن Up/Down قرار داده شده است.



پرسش 3:

چون در مدار سنکرون بودن با Clock تنظیم میگردد پس باید سیگنال Reset را در قید Clock قرار دهیم.

برای ایم موضوع سیگنال Active Low برای Reset در نظر گرفته و آن را با ورودی D در تمام Flip Flop ها AND



میکنیم. که برای اولین FF در مدار انجام شده است.

پرسش 4:

میتوان از 2 AND استفاده کرد. به این صورت که $\sim Load$ را با ورودی XOR و Load را بایت مورد نظر برای بارگذاری

در شمارنده AND کرد و این دو را باهم OR میکنیم. در اینصورت نیازی به MUX نداریم. این ایده همان پیاده سازی

MUX با گیت های منطقی است.

پرسش 5:

پرسش 6: برای کاهش اتلاف انرژی و توان در سیستم، ESD Protection، Stable کردن سیگنال ورودی و کمتر کردن

تأثیرات مربوط به نویز همراه با آن.

پرسی 7:

در بالا توضیح داده شد.

00000000 – 10000000 -01000000-00100000-00010000-00001000-00000100-00000010-00000001

گزارش:

فقط کافیت که با Xnor و And حضور کد را مشخص کنیم و سیگنال حاصل را به عنوان Enable T به یک آی سی شمارنده می‌دهیم که با هر بار حضور کد مذکور یک بار بشمارد.

