

lc Set7 Dr. Shaabany

begin

verilog for sequential circuits

```
module FF (clk, Rst, Q);
```

```
input wire clk, D, Rst;
```

```
output reg Q;
```

```
always @ (posedge clk  
negedge
```

```
begin  
if (Rst == 0)
```

```
Q <= 0;
```

```
else
```

```
Q <= D;
```

```
end
```

```
endmodule
```

التي

```
always @ (posedge clk or posedg Rst)
```

```
begin
```

```
if (Rst == 1)
```

```
Q <= 0;
```

```
else
```

```
Q <= D;
```

```
end
```

طراحي حيسر

```
output reg [3:0] R;
```

```
always @ (Pos...)
```

```
begin
```

```
if (Rst == 0)
```

```
R <= 4'b0;
```

```
else if (E)
```

```
R <= In;
```

```
end
```

enable  
التي

> input

تيفت حيسر

```
always @ (*)
```

```
begin
```

```
if (Rst == 0)
```

```
R <= 0;
```

```
else
```

```
begin
```

```
R[0] <= w;
```

```
R[1] <= R[0];
```

```
R[2] <= R[1];
```

```
R[3] <= R[2];
```

```
end
```

```
end
```

```
endmodule
```

Accumulator  $\leftarrow$  counter

جمع کننده یکی یکی

output Reg [r:0] Q

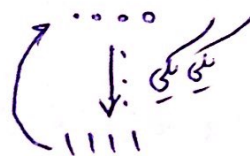
always @ ( )

Rst

else if (E)

Q <= Q + 1;

end;



Verilog به صورت default  $\leftarrow$  unsigned می باشد \*

← برای اینکه دو ایدیه وجود دارد :

$$1) \{a[r:a]\} + \{b[r:b]\} = c \rightarrow \text{آبسی}$$

2) input signed a, c;

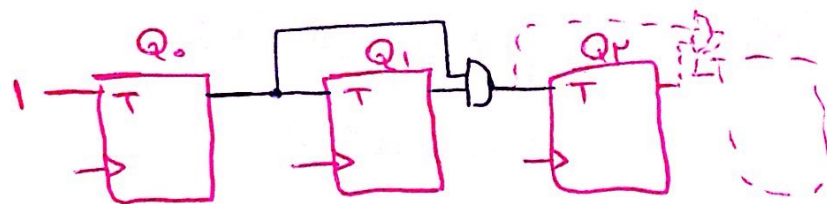
\* اگر یک عدد unsigned را با n عدد signed مثلاً جمع کنیم یکی (عدد) unsigned در نظر گرفته شود.

counter کنترل :

CLK	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

\* هرگاه Q<sub>0</sub> یک است Q<sub>1</sub> تغییر کند.

\* هرگاه Q<sub>0</sub> و Q<sub>1</sub> هر دو یک هستند Q<sub>2</sub> تغییر کند.



\* اگر enable هم داشته باشیم باید با یک یک ورودی ها and کنیم.

اگر تنها با ورودی اول and کنیم ممکن است یکی از مقادیر اولیه داخلی غیر صفر باشد و چون enable مثلاً صفر است این مقادیر نمی توانند تغییر کنند.

$$T_0 = 1$$

$$T_1 = Q_0$$

$$T_2 = Q_0 Q_1$$

$$T_n = Q_0 Q_1 \dots Q_{n-1}$$

## Counter توري D-FF :

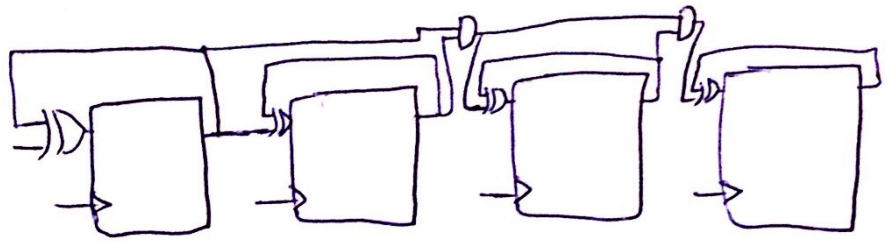
$$D_0 = 1 \oplus Q_0$$

$$D_1 = Q_1 \oplus Q_0$$

$$D_2 = Q_2 \oplus Q_1 \oplus Q_0$$

⋮

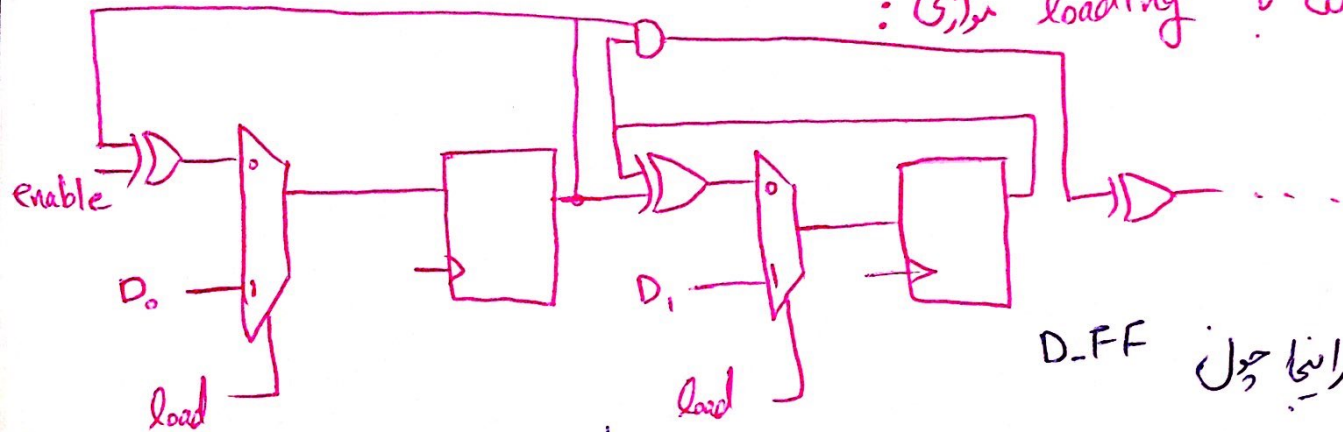
$$D_i = Q_i \oplus Q_{i-1} \oplus \dots \oplus Q_0$$



$$t_{logic} = t_{xor} + n t_{AND}$$

$$t_{CLK} > t_{setup} + t_{logic} + t_{cq}$$

## Counter با loading موازي :



\* در اینجا چون D-FF

داریم پس نیاز نیست enable به صورت طبقه طبقه وارد می شود.