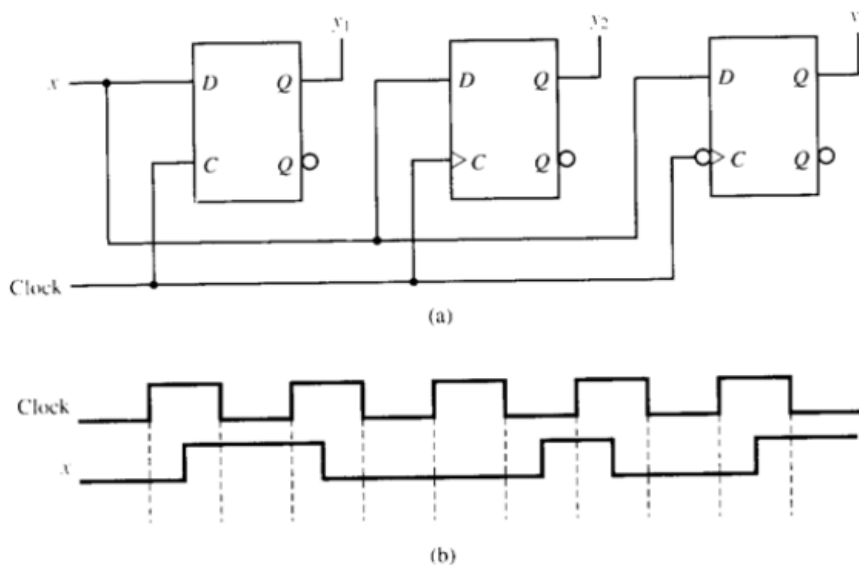
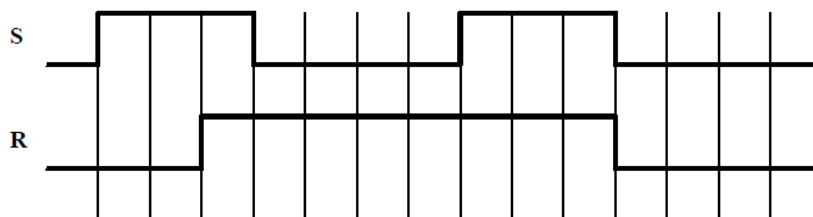


1- خروجی های y_1, y_2 و y_3 را رسم کنید



2- q, q' را برای SR latch ساخته شده با nor با توجه به ورودی های زیر رسم کنید. زمان rise و fall را برای S و R صفر در نظر بگیرید. propagation delay برای گیت nor، 10ns است و فاصله زمانی خطوط عمودی هم 10ns می باشد.



3- یک شمارنده 3بیتی افزایشی را فقط با T-FF و گیت های AND یکبار بصورت سنکرون و یکبار آسنکرون طراحی کنید.

4- با استفاده از مالتی پلکسر های 4 به 1 و d-ff یک شیفت رجیستر 4 بیتی با جدول عملکرد زیر طراحی کنید

S1	S0	Mode
0	0	Shift right (all 4 bits)
0	1	Shift left (all 4 bits)
1	0	Synchronous common clear
1	1	Synchronous parallel load

5-complement 2' یک عدد باینری را می توان به این شیوه بدست آورد: بیت های کم ارزشتر صفر را تا اولین بیت یک از آن سمت تغییری نمی دهیم بیت های پس از اولین یک را معکوس می کنیم یک 2' complementer سریال را به این شیوه طراحی کنید. مدار به یک شیفت رجیستر برای ذخیره کردن اعداد باینری و یک RS-FF نیاز دارد که وقتی اولین least significant one رخ داد ست شود.