

به نام خدا

پیش گزارش آزمایش ۱

بردیابرائی نژاد(۹۲۱۰۱۶۶۹)

۱. 4069 از نوع CMOS است و 74LS04 از نوع TTL است و هر کدام ۶ گیت اینورتر دارد.

## CD4069

CMOS IC

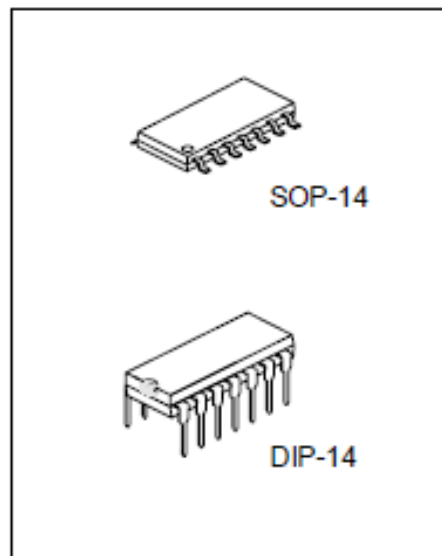
### INVERTER CIRCUIT

#### ■ DESCRIPTION

The UTC CD4069 is a CMOS IC with six inverter circuits and designed for using of wide power supply operating range, low power consumption, high noise immunity, and symmetric controlled rise and fall times. The IC is capable of ESD protection by diode clamps to VDD and VSS.

#### ■ FEATURES

- \* Wide supply voltage range: 3.0V ~ 15V.
- \* High noise immunity: 0.45 V<sub>DD</sub> typ.
- \* Low Power TTL compatibility: Fan out of 2 driving 74L or 1 driving 74LS.



\*Pb-free plating product number: CD4069L

## DM74LS04

### Hex Inverting Gates

#### General Description

This device contains six independent gates each of which performs the logic INVERT function.

۲. در بخش ۱-۳ الف فقط در حین سوئیچ مدار توان مصرف می‌کند (Active Load) و در ۱-۳ ب در بقیه‌ی مواقع هم در حال مصرف است (Passive Load) نامیده می‌شود (البته اندازه‌ی کوچکتري نسبت به قبلي دارد). بقیه توضیحات در پاسخ بخش ۶ داده شده است.

۳. فرض می‌کنیم هر کدام از گیت‌ها  $\Delta t$  ثانیه تاخیر داشته باشند. با توجه به فرد بودن گیت‌ها پاسخ نهایی NOT ورودی خواهد بود البته این پاسخ به مدت  $5\Delta t$  ثابت می‌ماند تا این که پاسخ جدید NOT پاسخ قبلی می‌شود. پس در نهایت ما یک تابع پالس با دوره‌ی تناوب  $10\Delta t$  خواهیم داشت.

۴. اگر فرض کنیم ورودی اولیه ۰ باشد در گیت اول پس از  $20ns$ ، ۱ می‌شود و سپس بعد از  $30ns$  دوباره ۰ می‌شود و همین طور الی آخر. پس تا پایان گیت ۵-ام جمعاً  $20+30+20+30+20=120ns$  طول می‌کشد و سپس ورودی ۱ شده و  $30+20+30+20+30=130ns$  طول می‌کشد تا دوباره ۰ شود. پس در مجموع  $250ns$  زمان یک سیکل کامل است و فرکانس  $4000000Hz=4MHz$  می‌شود.

۵. خروجی با توجه به زوج بودن گیت‌ها همان ورودی با مقداری تاخیر است.

۶. در شکل ۱-۱ اگر ورودی  $0v$  باشد ترانزیستور در حالت قطع قرار می‌گیرد و  $V_{out} = 5v$ . حال اگر ولتاژ ورودی  $5v$  ولت باشد. اگر ولتاژ ورودی  $5v$  باشد،  $V_{BE} = 0.5v$  و  $\beta = 110$ :

$$I_B = \frac{5 - 0.5}{22} = 0.2mA, I_C = 110 \times 0.2 = 22mA, V_{out} = 5 - 10 \times 22 < 0$$

پس در حالت اشباع است و  $V_{out} \approx 0$  است.

شکل ۱-۳ الف از دو بخش PMOS و NMOS به ترتیب در بالا و پایین ساخته شده است. در ولتاژهای کم گیت PMOS مقاومت کمی بین درین و سورس ایجاد می‌گردد و در ولتاژهای زیاد مقاومت زیادی را ایجاد می‌کند. البته این موارد در NMOS برعکس می‌باشند. این

نحوه ی اتصال در CMOS (گیت به گیت و درین به درین) موجب کاهش جریان مصرفی و توان می شود. با زیاد کردن ولتاژ NMOS مقاومت کم و PMOS مقاومت زیادی را نشان می دهد (و همین طور بالعکس) و باعث اینورت شدن ورودی می شود.

شکل ۱-۳ اگر ولتاژ گیت بالا باشد NMOS مقاومت کمی را بین درین و سورس نشان می دهد. در نتیجه خروجی تقریباً صفر می شود. (همین طور برعکس)