

امتحان پایان ترم درس مدارهای منطقی و سیستم های دیجیتال

وقت: ۳ ساعت

گروه (نام استاد):

نام و نام خانوادگی:

۵ دی ۹۲

شماره دانشجویی:

۱- (۲ نمره)

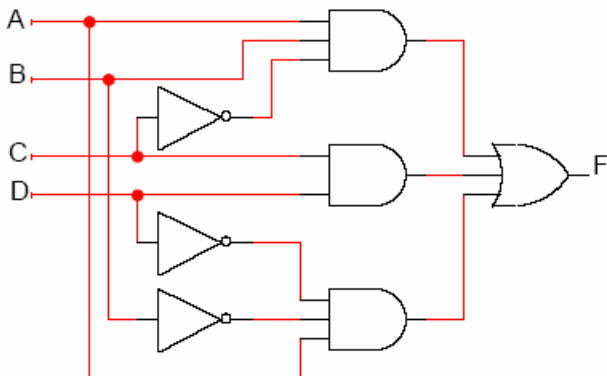
برای جدول flow ساده شده زیر تخصیص حالت را طوری انجام دهید تا بدون مسابقه بحرانی (critical race) باشد و سپس جدول flow شامل حالات اضافی (در صورت نیاز) را بنویسید و خروجی ها را مشخص کنید.

Present State	Next State x_1x_2			
	00	01	11	10
A	(A)/0	B/0	(A)/1	C/1
B	C/-	(B)/0	(B)/1	D/-
C	(C)/1	D/-	A/1	(C)/1
D	A/0	(D)/0	E/-	(D)/0
E	A/-	B/-	(E)/1	(E)/1

جدول flow یک ماشین حالت آسنکرون به صورت زیر داده شده است. با یافتن حالات سازگار جدول flow ساده شده با کمترین تعداد حالات ممکن همراه با خروجی ها را بنویسید (مشابه جدول زیر). توضیح: خروجی های مشخص شده خروجی های حالات پایدار هستند. خروجی های حالات ناپایدار don't care می باشند.

Present state	Next State x_1x_2				Output
	00	01	10	11	
A	(A)	K	C	-	0
C	(C)	K	(C)	M	0
D	(D)	L	J	-	1
H	-	K	J	(H)	1
J	C	-	(J)	H	0
K	(K)	L	C	-	1
L	A	(L)	-	H	0
M	-	K	C	(M)	1

مدار زیر داده شده است. بررسی کنید که آیا این مدار خطر ثابت (static hazard) دارد یا خیر. اگر پاسخ مثبت است با اضافه کردن حداقل تعداد گیت مشکل را رفع کنید. اگر پاسخ منفی است در صورت امکان با حذف تعدادی گیت مدار را ساده کنید بدون آنکه مشکل خطر ثابت بوجود آید.



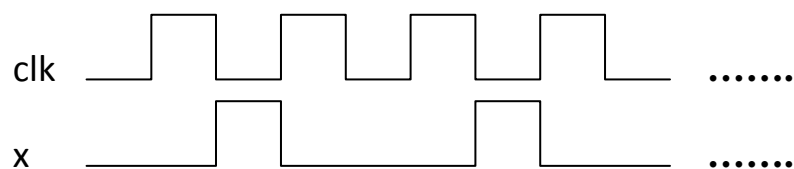
مطلوبست: الف) دیاگرام حالت و ب) جدول حالت مدار ترتیبی همزمان (سنکرون) از نوع مور (Moore) با یک ورودی x و یک خروجی z بطوریکه اگر هر یک از دو دنباله 011 (ابتدا 0 بعد دو تا 1) و یا 101 را ببیند خروجی 1 گردد. دنباله ها می توانند همپوشانی داشته باشند. مثال:

$x=0011001101010010110$

$z=0001000101010000110$

جدول flow ابتدایی یک ماشین حالت آسنکرون مد اصلی (fundamental mode) با دو ورودی T و CLK و یک خروجی Q را بنویسید بطوریکه به صورت یک TFF حساس به لبه منفی عمل کند.

مداری طرح کنید تا سیگنال پریودیک x را از سیگنال کلاک ورودی تولید کند طبق دیاگرام زیر:



توسط شیفت رجیستر، شمارنده، فلیپ فلاپ و گیت مداری طرح کنید با یک ورودی x و یک خروجی z که به صورت آشکار ساز دنباله عمل کند بطوریکه اگر ابتدا 1111 و سپس 0000 و نهایتاً 1111 ببیند خروجی 1 شود. آشکار سازی پیوسته بوده ولی بدون همپوشانی باید انجام گردد. توضیح: لازم نیست که دنباله های ۴ بیتی پشت سرهم دیده شوند. مثال:

$x=011110000111100001111000000001111$

$z=0000000000000100000000000000000001$

کد وریلاگ (Verilog) یک شمارنده را بنویسید که از 0 تا 13 بالا شمرده و سپس از 13 به 0 پایین بشمارد. مدار دارای یک خروجی ۴ بیتی Q و دو ورودی CLK و Reset است. با اعمال Reset خروجی شمارنده به طور آسنکرون 0 می گردد. شمارش به صورت زیر است:

$0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow \dots \rightarrow 12 \rightarrow 13 \rightarrow 12 \rightarrow 11 \rightarrow 10 \rightarrow \dots 1 \rightarrow 0 \rightarrow 1 \rightarrow \dots$