



دانشگاه صنعتی شریف

دانشکده‌ی مهندسی برق

آزمایشگاه مدارهای منطقی و سیستم های دیجیتال

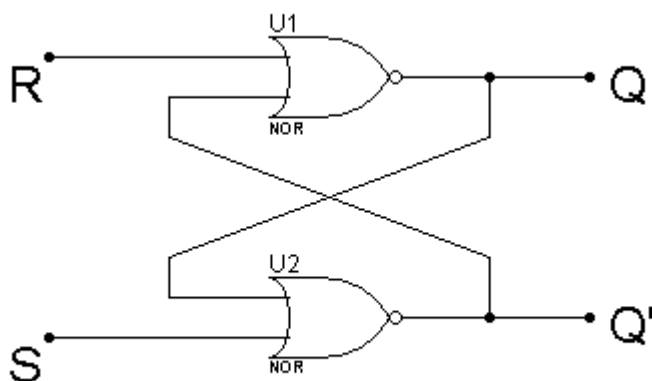
گزارش آزمایش جلسه ۵

سیدبردیا برائی نژاد (۹۲۱۰۱۶۶۹)

مهدی میر (۹۲۱۰۲۸۴۶)

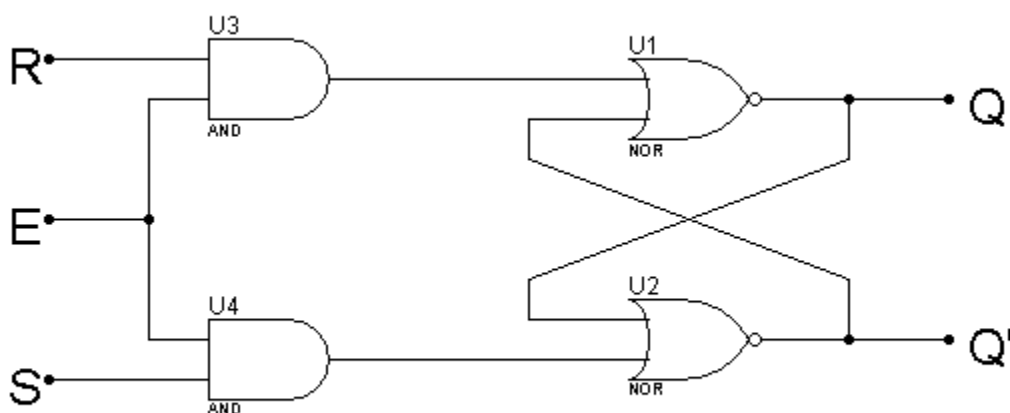
استاد: دکتر تابنده

۱.



با کمک گیت های NOR یک SR-Latch طراحی کردیم و آن را آزمایش کردیم. برای  $R=S=1$  هیچ کدام از گیت ها روشن نشدند. که با توجه به مدار پیش بینی شده بود.

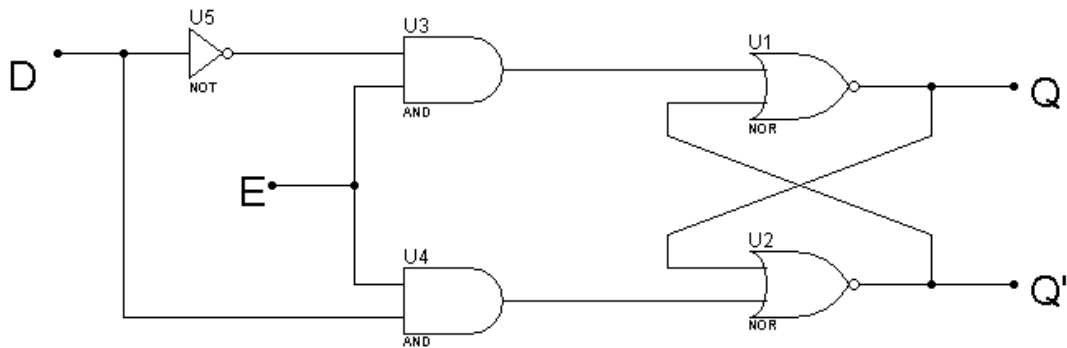
۲.



در این قسمت از گیت های AND هم استفاده می کنیم. در صورتی که کلاک ۰ باشد مدار مقدار قبلی را حفظ می کند و اگر ۱ باشد با توجه به  $R, S$  تغییر می کند. در واقع مدار به سطح پالس حساس است نه به لبه. زیرا وقتی کلاک صفر باشد خروجی دو گیت AND صفر است و خروجی مدار به حالت قبلی خودش بستگی دارد اما وقتی کلاک یک شود

خروجی گیت AND به ورودی های S,R وابسته می شود و با تغییر آنها خروجی مدار Q تغییر می کند. بنابراین خروجی به سطح کلاک حساس است.

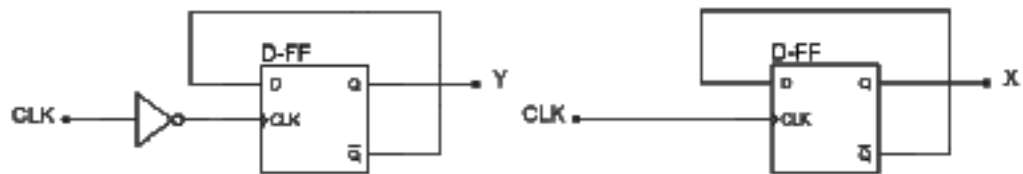
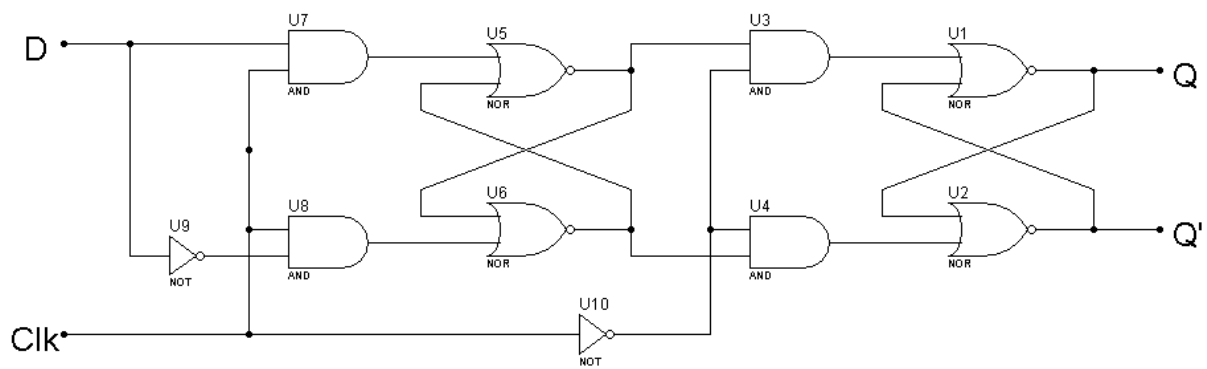
۳.



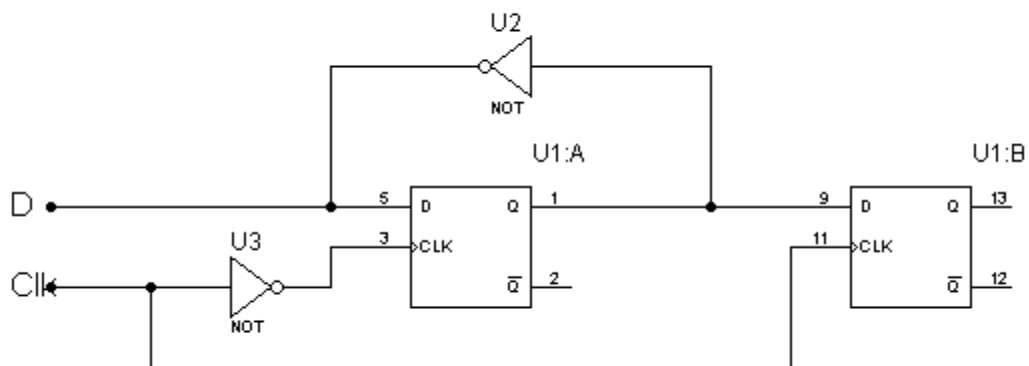
در این بخش نیز از یک گیت NOT اضافی استفاده کردیم. (در واقع D را به عنوان هر دو ورودی یک گیت NOR استفاده کردیم و نتیجه همان NOT است).

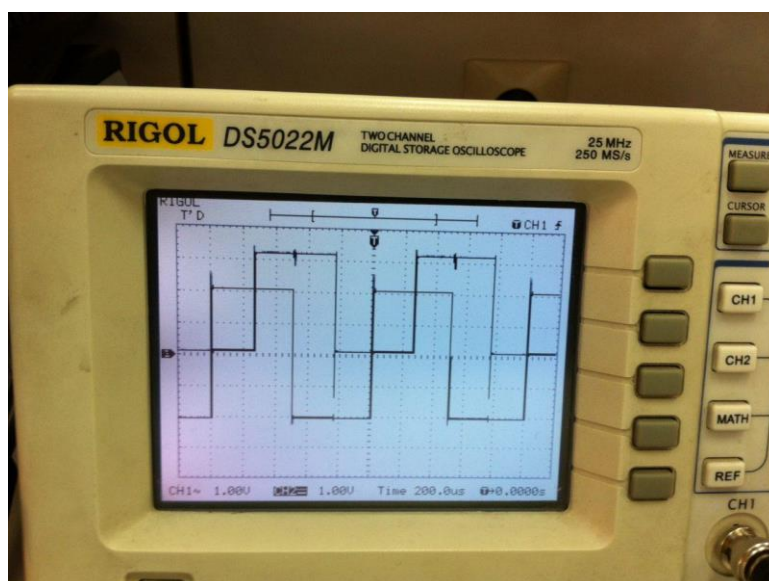
۴.

در مدار زیر خروجی حساس به لبه ی پایین رونده ی Clock است چون هنگامی که Clock بالا است داده های ورودی در latch اول ذخیره می شوند و بعد از پایین آمدن latch, Clock دوم فعال می شود و داده ها را انتقال می دهد. و اما با وصل کردن خروجی Q' به ورودی D می توان مدار مورد نظر را درست کرد. زیرا هر بار که Clock پایین می رود داده ی موجود بر روی Q' بر روی Q ایجاد می شود و این به معنی معکوس شدن خروجی بعد از هر پالس است. می توان خروجی X را از بین دو قسمت مدار زیر گرفت و خروجی Y را از Q گرفت.



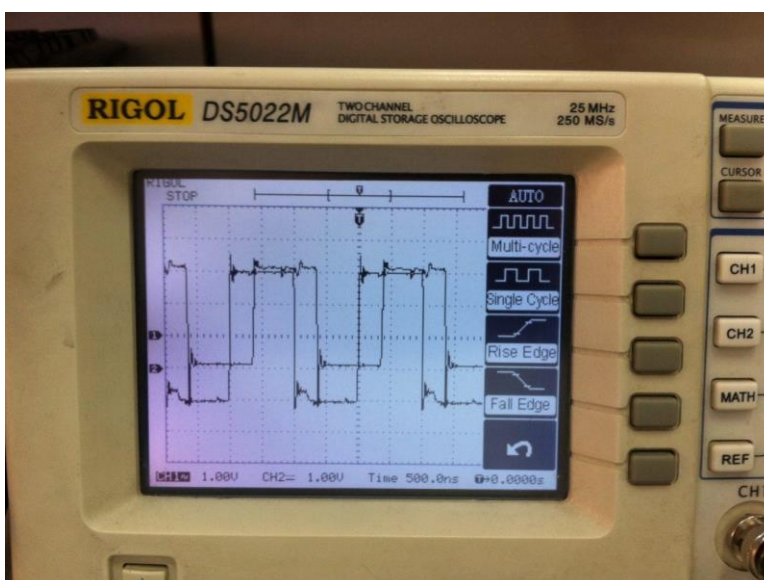
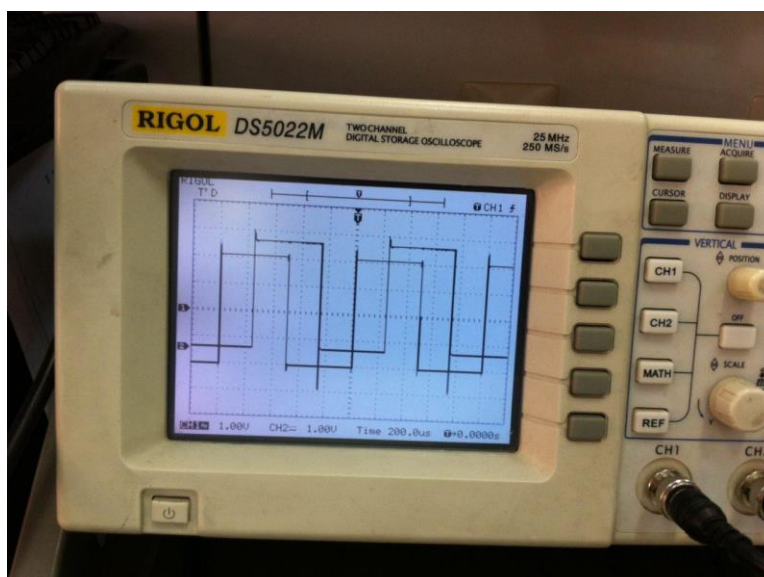
برای قسمت بعد هم:

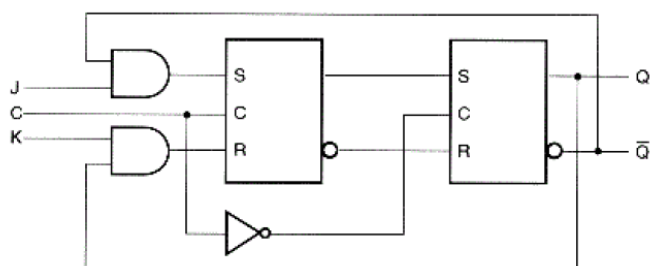




۶.

حاصل باید اصلاح تاخیر ایجاد شده در ورودی توسط کلاک در مدار دوم باشد (زیرا حساس به لبه کلاک است و این تاخیر را از بین می برد و در واقع سیگنال ورودی را با کلاک کالیبره می کند) که به همین نتیجه هم رسیدیم. حداکثر مقدار نشان داده شده در حد ۵۰۰ کیلو هرتز بود.

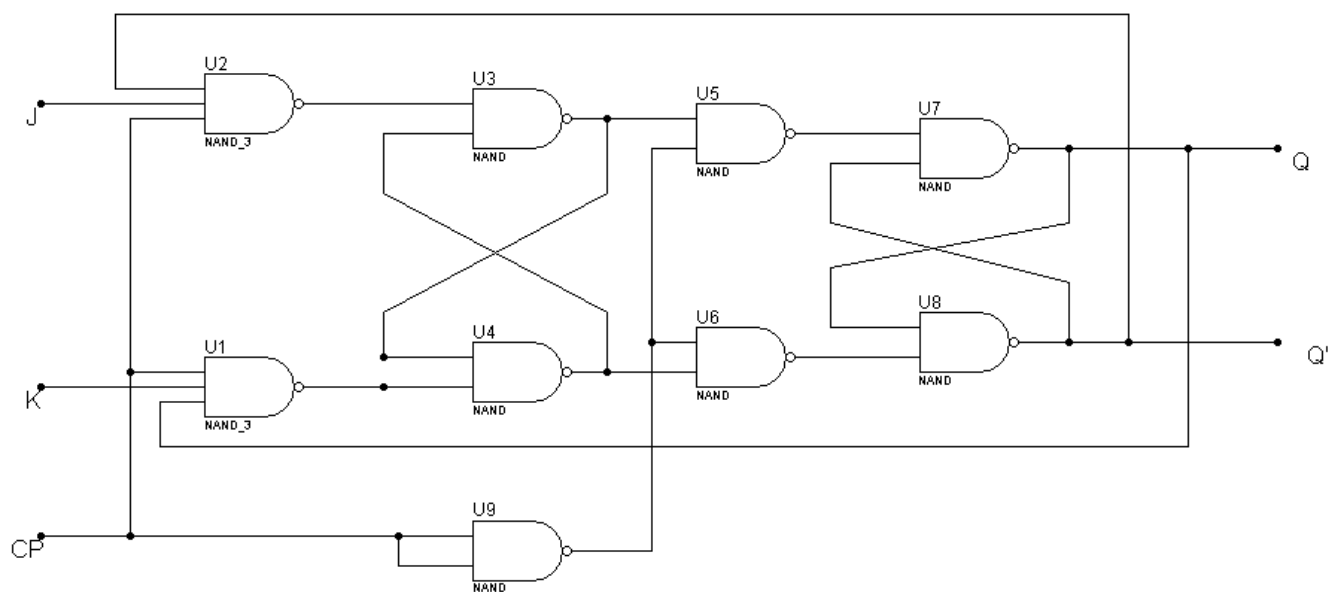




J	K	Q	Q'	S	R
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	0	0
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	0	0	1

در این قسمت با توجه به طرح و به کمک دو GATED SR-latch یک JKFF ساختم و سپس آن را به T-FF تبدیل کردیم.

پرسش ۱

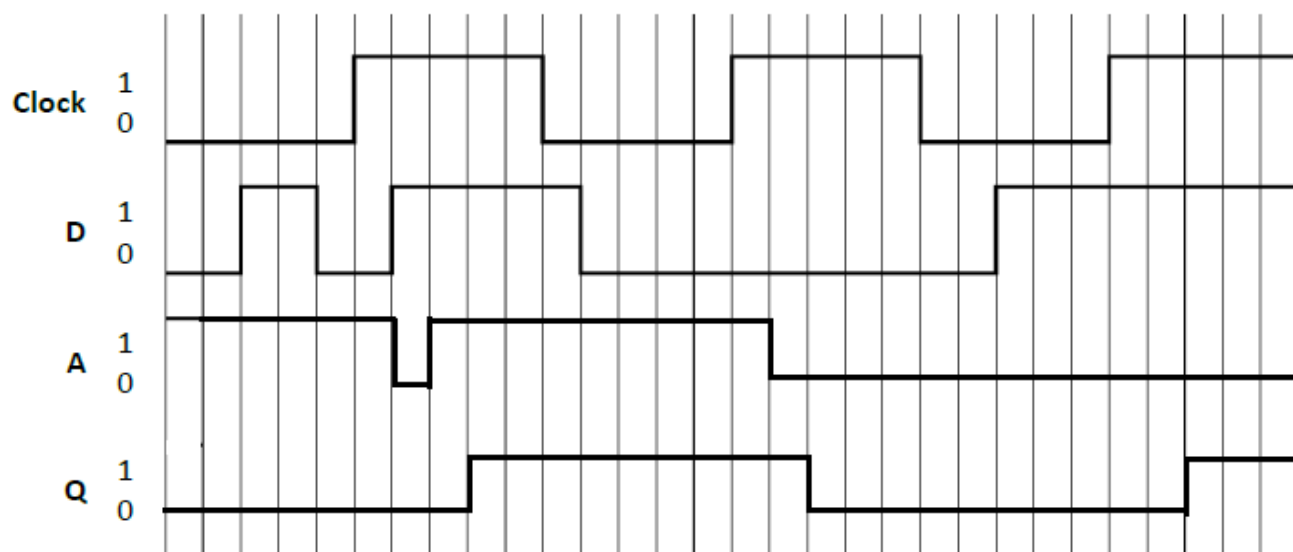


شکل بالا یک JKFF حساس به لبه ی منفی می باشد. با وصل کردن هر دو ورودی به TFF و با NOT کردن J و اتصالش به K به DFF می رسیم.

## پرسش ۲

تاخیر هر دو بنابر دیتاشیت ۱۵ نانو ثانیه است. اما چون در ساختار gated به کمک NOR از دو گیت AND استفاده شده ولی در ساختار دیگر به جای این دو گیت از دو گیت NAND دیگر استفاده شده و تاخیر کمتر AND نسبت به NAND به نظر می رسد تاخیر NORGATED SR-LATCH کمتر باشد.

## پرسش ۳



تاخیر را نمیتوان برابر تاخیر دو گیت NAND دانست. (مثلا در زمانی که Q از یک به صفر می رود به اندازه ی ۴ گیت تاخیر داریم. علاوه بر این اگر تاخیر زمان setup را نیز در نظر بگیریم تاخیر بیشتر می شود).