

ساختار کامپیوتر و میکروپروسسور



دانشگاه صنعتی شریف

دانشکده مهندسی برق

زمستان ۱۳۹۳

Reference Text Books:

1. D. M. Harris, S. L. Harris, "Digital Design and Computer Architecture", 2nd Edition, Morgan Kaufmann Publishers Inc., 2012
2. D. A. Patterson, J. L. Hennessy, "Computer Organization & Design: The Hardware/Software Interface", 5th Edition, Morgan Kaufmann Publishers Inc., 2014
3. D. A. Patterson, J. L. Hennessy, "Computer Organization & Design: The Hardware/Software Interface", 4th Edition, Morgan Kaufmann Publishers Inc., 2009

۴. "طراحی، معماری و سازمان کامپیوتر" / نویسندگان: دیوید ا. پترسون، جان ل. هنسی / برگردان: احسان ملکیان، علی ذاکرالحسینی / نشر نص؛ ۱۳۹۰

- در هر قسمت ستون مربوط به یکی از منابع با رنگ متفاوت مشخص شده است که به معنای اولویت داشتن آن منبع نسبت به دیگران در آن بخش به خصوص است.
- شایان ذکر است مرجع اصلی جهت ارزشیابی و نمره‌دهی مطالب ارائه شده در کلاس درس می‌باشد؛ در نتیجه فقدان مطلبی در یک یا تمام مراجع پیشنهادی به هیچ وجه به معنای حذف آن مطلب در امتحانات نمی‌باشد.

| P & H (4th) ترجمه ملکيان و ذاکراالحسينی(نشر نص) | | Patterson & Hennessy 4th | | Patterson & Hennessy 5th | | Harris & Harris | | کتاب ← |
|---|----------|-----------------------------|----------|-----------------------------|----------|------------------|----------------------|---|
| Pages | Sections | Pages | Sections | Pages | Sections | Pages | Sections | ↓ سرفصل |
| - | | | | | | | | معرفی درس و مرور ساختار عمومی یک کامپیوتر Course Introduction , Overview of a Computer Organization |
| ۱۰۱ تا ۱۰۷ | ۴-۲ | 87 To 94 | 2.4 | 73 To 79 | 2.4 | 9 To 19 | 1.4.1 To 1.4.6 | مرور سیستم اعداد Review of Number Systems |
| فصل چهارم از ویراست اول کتاب Harris & Harris مربوط به آموزش زبان Verilog است که در ویراست دوم تبدیل به System Verilog شده است. (System Verilog یک استاندارد به روزتر از زبان وریلاگ است که در زمینه توصیف سخت افزار تفاوت چندانی با Verilog ندارد). | | | | | | | | مرور بر زبان طراحی سخت افزاری وریلاگ در سطح انتقال داده ها Overview of Verilog HDL at Register Transfer Level |
| ۲۲۹ تا ۲۳۴ | ۲-۳ | 224 To 228 | 3.2 | 178 To 180 | 3.2 | 239 To 250 | 5.2.1 To 5.2.4 | جمع، تفریق و مقایسه اعداد صحیح، اعم از علامت دار یا بدون علامت ^۱ Integer Addition, Subtraction and Comparison |
| ۲۳۵ تا ۲۴۱ | ۳-۳ | 230 To 235 | 3.3 | 183 To 188 | 3.3 | 252 To 253 | 5.2.6 | ضرب اعداد صحیح، الگوریتم و مدار مربوطه Integer (Signed & Unsigned) Multiplication |
| ۲۴۲ تا ۲۴۷ | ۴-۳ | 236 To 242 | 3.4 | 189 To 194 | 3.4 | 253 To 254 | 5.2.7 | تقسیم اعداد صحیح، روش ها و مدار مربوطه Integer Division |

^۱ - دقت داشته باشید که مدار مقایسه گر ارائه شده در کتاب Harris & Harris (بخش 5.2.3 صفحه 247 شکل 5.12) دارای اشکال می باشد و توضیحات مربوط به آن در همان صفحه نیز نادرست است، در نتیجه به توضیحات ارائه شده در کلاس در رابطه با نحوه مقایسه دو عدد توجه بیشتری بفرمایید.

| | | | | | | | | |
|---|---|---|--|---|---|--------------------------------------|---|--|
| ۲۴۹ تا ۲۶۳ و ۲۷۱ تا ۲۷۳ | ۵-۳ | 242 To 258 & 266 To 268 | 3.5 | 196 To 211 & 218 To 220 | 3.5 | 256 To 259 | 5.3 To 5.3.2 | نمایش اعداد ممیز شناور و عملیات ریاضی بر روی آنها Floating Point Numbers and Arithmetic Operations |
| ۸۹ تا ۱۲۶ | ۱-۲ تا ۸-۲ به اختصار مطالعه شود | 76 To 116 | 2.1 To 2.8 Review this chapter "In Brief" | 62 To 120 | 2.1 To 2.10 Review this chapter "In Brief" | 295 To 310 | 6.1 To 6.3.5 Review the rest of chapter in brief | مراحل طراحی و معرفی یک مجموعه دستورالعمل با MIPS و ARM مثال‌هایی مبتنی بر Instruction Set Architecture Design, Examples: ARM & MIPS |
| ۳۰۵ تا ۳۳۴ | ۱-۴ تا ۴-۴ | 300 To 328 | 4.1 To 4.4 | 244 To 271 | 4.1 To 4.4 | 371 To 374 376 To 387 | 7.1 To 7.1.3 7.3 To 7.3.3 | معرفی و مرور بر بلوک‌های پایه یک پردازنده Processor Building Blocks Overview |
| - | - | - | - | - | - | 389 To 396 | 7.4 To 7.4.1 | مسیر داده و کنترلر تک سیکلی Single Cycle Data Path and Controller |
| - | - | - | - | - | - | 396 To 405 | 7.4.2 To 7.4.3 | مسیر داده پیاده‌سازی چند سیکلی Multi-Cycle Data Path |
| - | - | - | - | - | - | 396 To 405 | 7.4.2 To 7.4.3 | کنترلر پیاده‌سازی چند سیکلی Multi-Cycle Controller |
| ۳۹۷ تا ۳۹۹ | ۹-۴ | 384 To 386 | 4.9 | 325 To 327 | 4.9 | 343 To 344 & 440 | 6.7.2 & 7.7 | اینترپت و اختلال ها Interrupt & Exceptions |

| | | | | | | | | |
|---|-----------------|---|-----------------|---|-----------------|------------------|--------------------|---|
| | | | | | | To 444 | | |
| ۳۳۶ تا ۳۴۲ | ۵-۴ | 330 To 335 | 4.5 | 272 To 277 | 4.5 | 409 To 412 | 7.5 | مروری بر پایپ لاین Pipeline Overview |
| ۳۵۳ تا ۳۶۸ | ۶-۴ | 344 To 359 | 4.6 | 286 To 300 | 4.6 | 412 To 413 | 7.5.1 | طراحی مسیر داده های یک پایپ لاین Pipelined Data-Path Design |
| ۳۶۸ تا ۳۷۲ | ۶-۴ | 359 To 363 | 4.6 | 300 To 303 | 4.6 | 413 To 414 | 7.5.2 | طراحی کنترلر پایپ لاین Pipelined Controller Design |
| ۳۴۲ تا ۳۴۸ و ۳۷۲ تا ۳۸۶ | ۵-۴ و ۷-۴ | 335 To 340 & 363 To 375 | 4.5 & 4.7 | 278 To 282 & 303 To 316 | 4.5 & 4.7 | 414 To 426 | 7.5.3 | مخاطرات پایپ لاین و مکانیزم توقف پایپ لاین Pipeline Hazards and Stall Mechanism پیش اندازی داده ها Data Forwarding |
| ۳۸۶ تا ۳۹۰ | ۸-۴ | 375 To 379 | 4.8 | 316 To 320 | 4.8 | 446 To 447 | 7.8.2 | پیش بینی تحقق یا عدم تحقق پرش Branch Prediction |
| - | - | - | - | 374 To 383 | 5.1 & 5.2 | 263 To 270 | 5.5 To 5.5.6 | تکنولوژی های گوناگون حافظه Memory Technologies |
| ۴۷۵ تا | ۲-۵ و | 457 To 468 | 5.2 & 5.3 | 383 To 395 | 5.3 & 5.4 | 475 To 491 | 8.1 To 8.3.3 | ساختار حافظه نهان و طراحی آن Cache Organization and Design |

| | | | | | | | | |
|------------------------------|-----------------|-----------------------|-----------------|-----------------------|---|---|--------------------------------|--|
| ۴۸۷ و ۴۹۸ تا ۵۰۶ | ۳-۵ | & 479 To 487 | | & 402 To 409 | | | | |
| ۶۰۹ تا ۶۲۲ | ۵-۶ و ۶-۶ | 582 To 594 | 6.5 & 6.6 | - | - | 506 To 508 & 558 To 564 | 8.5 & 8.7 To 8.7.6 | تجهیزات جانبی، دسترسی مستقیم به حافظه، و مکانیزم‌های وقفه و سرکشی I/O Devices and Interfacing, DMA, Interrupt and Polling |