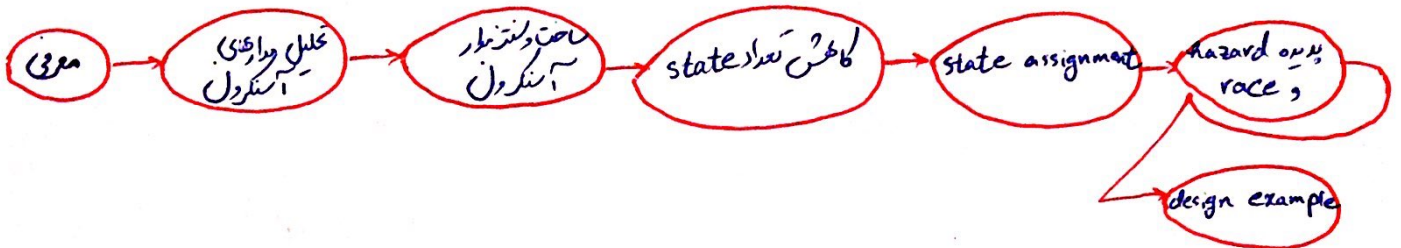


(Asynchronous circuits)

مدارهای آسنکرون:

- * هر کدام از ورودها (نه تنها کلاک) می تواند در مدار تغییر ایجاد کند.
- * نظیران دو تغییر می اعم است (در یک گیتال ورودی).



← مدارهای سنکرون مدارهایی هستند که مقدار حالت آنها توسط داده توسط CLK مدیریت و هماهنگ می شود. (رئیس جمهور)

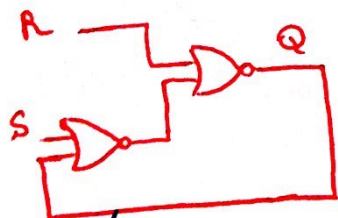
← در مدارهای آسنکرون تغییر در state توسط CLK هدایت نمی شود.

تنها یکی از ورودها باید در آن واحد تغییر پیدا کند.

بعد از تغییر یک ورودی زمانی باید برای پایداری شدن state جدید بگذرد.

۱) تحلیل مدارهای آسنکرون

SR-latch در حقیقت یک مدار آسنکرون است.



← با تغییر S یا R بعد از یک تاخیر (معادل در گیت NOR) خروجی تغییر می کند. → برای مدل کردن

بعد از زمان Δ مقدار y به y

$$Y = SR + \bar{R}y$$

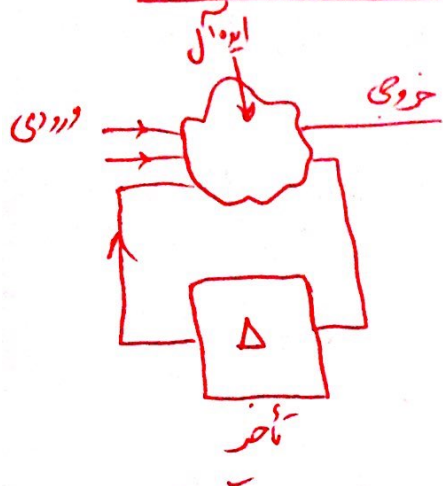
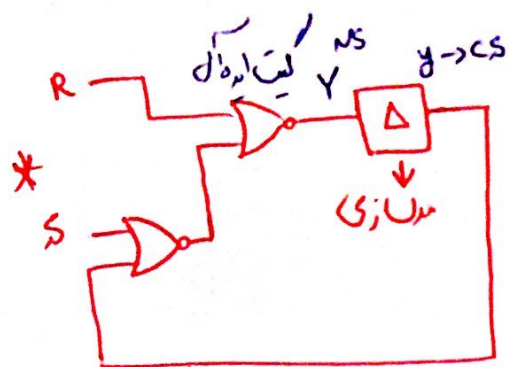
منتقل می شود.

Δ ناشی از تأخیرهای ناشی از سیگنالیت می باشد.

* سرعت مدارهای اسکندون بسترا از مدارهای سکندون

است زیرا در مدارهای سکندون به ازای عددی state ها

باید به اندازهی critical path صبر کنیم. در اسکندون اینگونه است.



برای * state table تنظیم می کنیم.

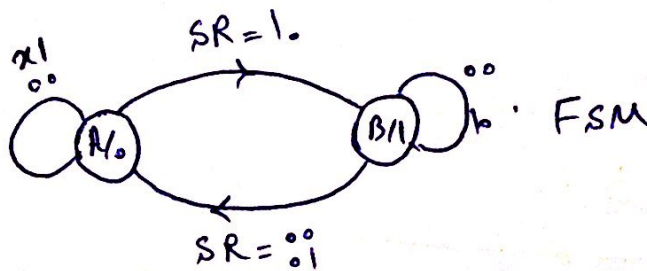
CS y	NS(Y)			
	SR 00	01	10	11
0	0	0	1	0
1	1	0	1	0

- 1) $y=0$ $SR=00 \Rightarrow Y=0 \Rightarrow y=Y$
- 2) $y=0$ $SR=01 \Rightarrow Y=0 \Rightarrow y=Y$
- 3) $y=0$ $SR=11 \Rightarrow Y=0 \Rightarrow y=Y$
- 4) $y=0$ $SR=10 \Rightarrow Y=1 \Rightarrow y \neq Y \rightarrow$ transition state

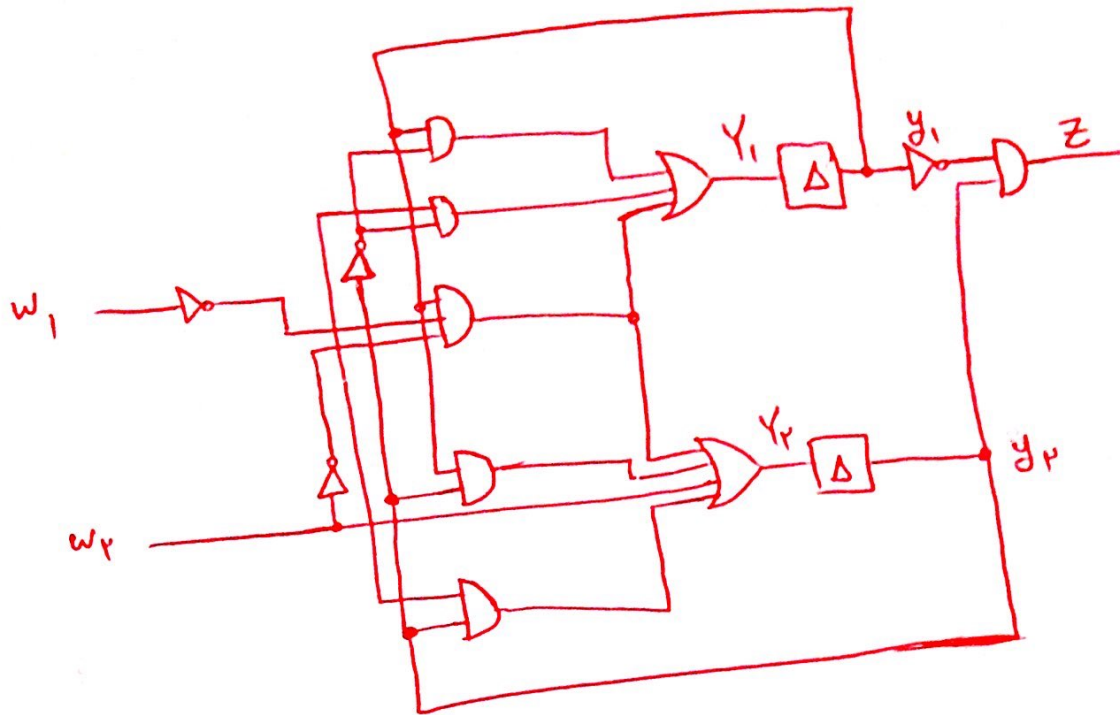
$$Y = y\bar{R} + \bar{R}S$$

y	Y
A	(A) (A) B (A)
B	(B) A (B) A

A \rightarrow 0
B \rightarrow 1



سوال 2 :



$$Y_1 = y_1 \overline{y_2} + w_1 \overline{y_2} + \overline{w_1} \overline{w_2} y_1$$

$$Y_2 = y_1 y_2 + w_1 y_2 + w_2 y_1 + \overline{w_1} \overline{w_2} y_1$$

$$Z = \overline{Y_1} Y_2$$

$y_2 y_1$	NS($Y_2 Y_1$)				output Z
	$w_2 w_1$	00	01	10	11
00		00	01	10	11
01		11	01	11	11
10		00	10	10	10
11		11	10	10	10

⇒

	NS				
	00	01	10	11	
A	A	B	C	D	0
B	D	B	D	D	0
C	A	C	C	C	1
D	D	C	C	C	0