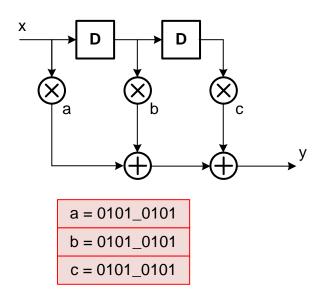
VLSI DSP 2020 Fall

Lab 8 FIR Filter Design



- 1. 設計 3-tap 的 FIR Filter。
- 2. 使用 Direct Form
- 3. 使用 Transpose Form
- 4. 加入 pipeline
- 5. 觀看其 report, 面積為多少, 速度為多少, 以及功率消耗為多少?

Methods	Logic Delay	Net Delay	Area	Static Power	Dynamic Power
Direct Form					
Transpose					
Form					
Direct Form					
with Pipeline					
Transpose					
Form with					
Pipeline					

VLSI DSP 2020 Fall