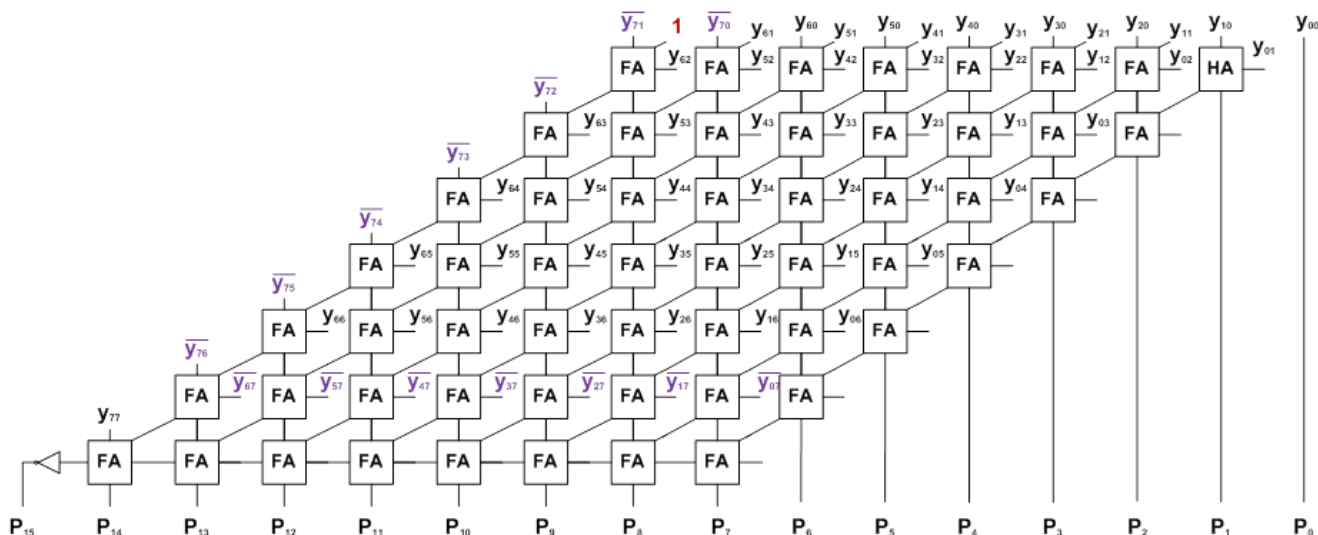
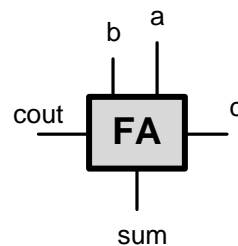
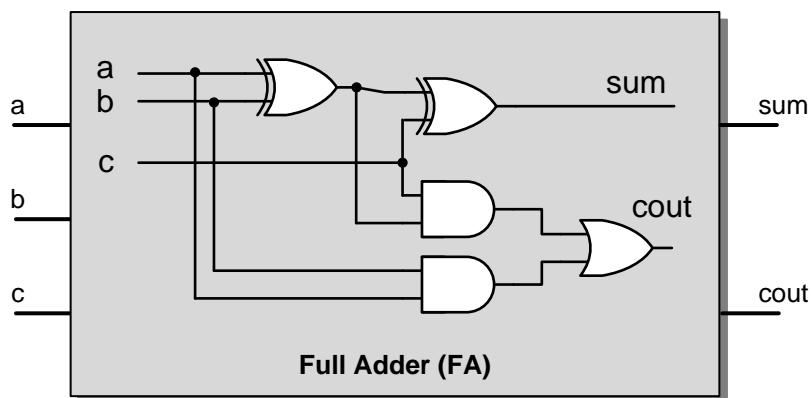


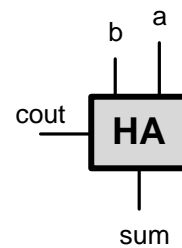
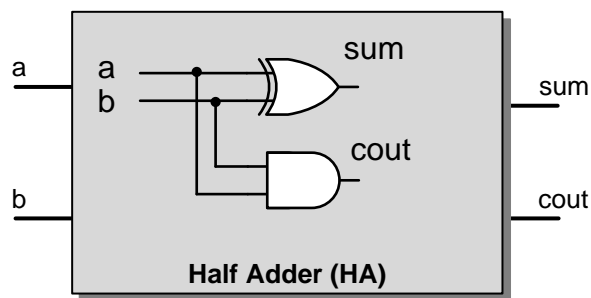
Lab 7 – Multiplier Design with Timing Constraints



設計一個 8-bit Baugh-Wooley Array Multiplier

- 其中 FA, HA, P8x8 由下面的架構進行 verilog 設計。





2. 可以利用 TM8x8.v 進行模擬：

TM8x8.v
P8x8.v
FA.v
HA.v

3. 在 P8x8 電路之輸入及輸出端加上 Regs，並加上 clk 訊號。
4. 加上 timing constraints，設定 clk period = 10, 20, 50，進行合成(synthesis)及 implementation 並觀察其最大操作頻率、使用的資源、功率消耗。