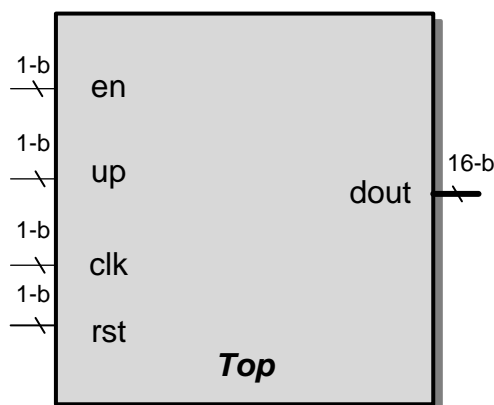


Lab 9 16-bit Smart Up/down Counter Design



- 設計一 16-bit 上數/下數計數器電路。
- 此設計共有 4 輸入 ports 及 1 輸出 port，設計時請依照下面 port name 命名，檔案名稱為 Top.v，Top module name 為 Top。
- 設計的功能規範：
 - rst 訊號為 negedge trigger.
 - en = 1'b1 才進行計數動作。
 - 向上計數時，當 $dout \geq 16'hfff$ 時不再向上計數，而停留在 16'hfff。
 - 向下計數時，當 $dout \leq 16'd0$ 時不再向下計數，而停留在 16'd0。
 - 當連續向上/下計數達 15 次時，之後以 +/- 2 計數，其餘皆以 +/- 1 計數。

1. 觀看其 report，面積為多少，速度為多少，以及功率消耗為多少？