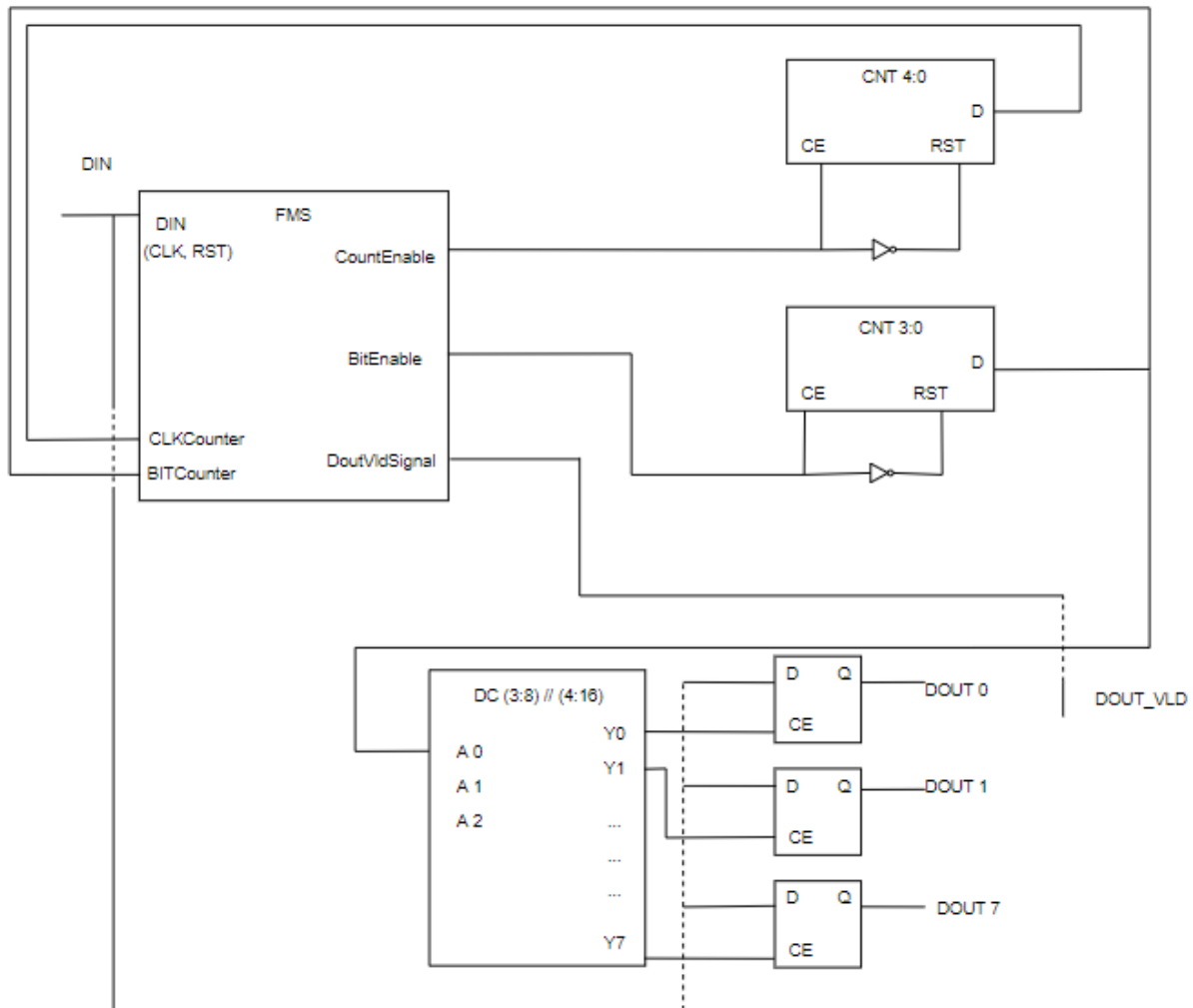


Kopecký Jakub

Architektura navrženého obvodu

Schéma obvodu:



FMS je řízený pomocí vstupu (CLKCounter, BITCounter a DIN). používám dva country, jeden na počítání taktů a druhý na počet zpracovaných bitů z DIN, které mají vystup do FSM. Country jsou řízeny pomocí CountEnable a BitEnable FSM výstupů. Pro paralelní zápis používám decodér [3:8], jak nám bylo poraděno na cvičení.

Návrh Automatu (Finite State Machine)

Schéma automatu:

Mealyho vystupy: CLKCounterEnable, DOUT_VLD_Signal, BITCounterEnable

Moorovy: WaitingForStartBit, STARTBit, Data, STOPBit, DOUT_VLD

DIN = vstupní datový port, **BITCounter** = počet zpracovaných bitů

CLKCounter = počet taktu z CLK

BitEnable = signal pro spuštění čítače bitů

CountEnable = signál pro spuštění čítače hodinového signálu

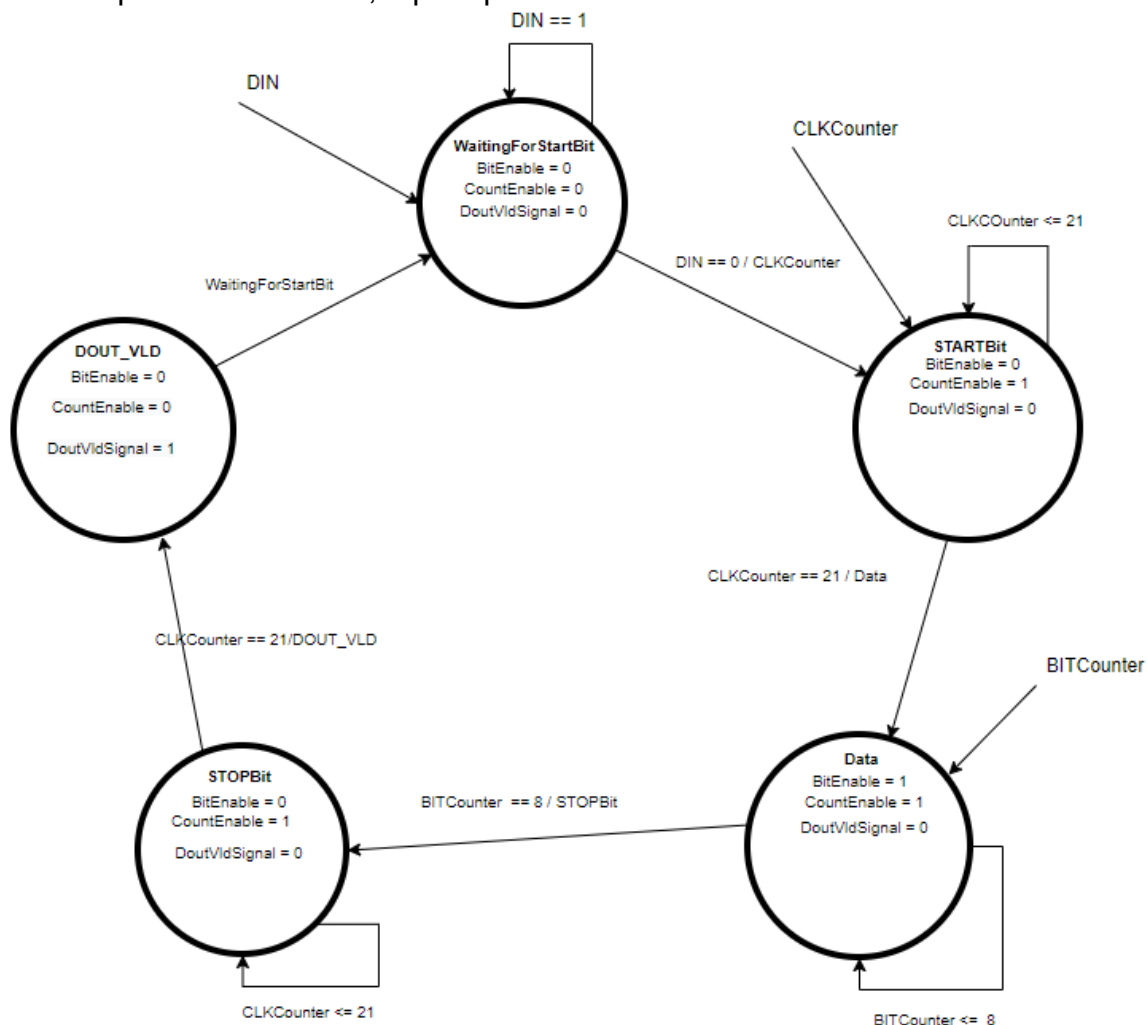
WaitingForStartBit = pokud na automat přijde start bit(bit o hodnotě 0) přejde do dalšího stavu, jinak zůstává v WGSB stavu

STARTBit = zaznamenání start bitu a spuštění CLKCounteru do 21(aby se i poslední bit zaznamenal) taktů ve 22 taktu je v polovici prvního bitu užitečných dat

Data = Automat počítá počet přečtených bitů z DIN a pokud je BITCounter menší jak 8 zak je přeposílá na DOUT

STOPBit = po užitečných datech je umístěn stop bit, Automat čeká 21 taktů (8 pro msb a 13 pro start bit) v tomto stavu a poté přechází do dalšího stavu

DoutVldSignal = při tomto stavu pošle automat na DOUT_VLD logickou hodnotu 1 pro potvrzení platnosti na 1 takt, a poté přechází do dalšího stavu



Simulace v ModelSimu:

