



**POLITECNICO
DI TORINO**

Riepilogo Elettronica Applicata e Misure (03MOAOA)

Jacopo Nasi
Ingegneria Informatica
Politecnico di Torino

I Periodo - 2016

No responsibility is carried about the contents of this document; the document can only be circulated among the students of the course. Use at your own risk. Please do not contact the author with any requests.

Contents

1	Parte B	3
1.1	Parte B1	3
1.2	Parte B2	4
1.3	Parte B3	5
1.4	Parte B4	6
1.5	Parte B5	8
1.6	Parte B6	10
2	Parte C	11
2.1	Parte C1	11
2.2	Parte C2	12
2.3	Parte C3	14
2.4	Parte C4	14
2.5	Parte C5	15
2.6	Parte C6	16

“L’immaginazione è più importante del sapere, l’intuizione è l’unica via per nuove scoperte. Ma non hai veramente capito una cosa se non sei in grado di spiegarla a tua nonna.”

— Albert Einstein

1 Parte B

1.1 Parte B1

I circuiti logici digitali sono caratterizzati da una tensione di alimentazione che varia dal GND a V_{al} . I segnali di ingresso possono essere ricevuti in modo seriale o parallelo.

Gli stati logici di uscita sono rappresentati da tensioni, solitamente la tensione alta (V_{al}) corrisponde al valore logico 1 e prende il nome di V_h , mentre la tensione bassa (GND) corrisponde al valore logico 0 e prende il nome di V_l .

La capacità di riconoscimento dell'ingresso da parte di una porta logica è legata al confronto con una soglia. Per poter garantire il corretto funzionamento di un circuito vengono specificati dei campi di accettabilità degli ingressi. Se essi vengono rispettati ($V_{ol} < V_{il}$ e $V_{oh} > V_{ih}$) la dall'uscita precedente allora non vi saranno problemi di compatibilità tra le porte questo è infatti il principale vantaggio del mondo digitale, usando un semplice comparatore di soglia siamo in grado di rigenerare il segnale alla perfezione. I margini di rumore sono le fasce dove il segnale di entrata potrà ancora essere riconosciuto correttamente, esse sono commisurate al tipo di applicazione del circuito, le auto avranno NM molto ampi. Una rappresentazione grafica della compatibilità si può vedere in figura 1

Transistor I circuiti di tipo CMOS (MOS complementari) hanno una diversa resistenza di uscita nel caso in cui si parli di uscita alta o bassa, anche la tensione di uscita V_o è consistente solo in base ai valori di I_o . Questo tipo di circuiti prevede solamente due tipi di uscita H o L. Nel circuito a tre stati abbiamo anche l'opzione Z = alta impedenza utile in casi in cui all'uscita non si voglia avere né un valore H né un valore L, questo tipo di circuito può essere implementato anche con un doppio switch. Molte considerazioni fatte tralasciano il fattore realtà infatti dobbiamo tenere in considerazione alcuni fattori. I segnali reali hanno fronti con pendenza finita e quindi il riconoscimento del nuovo stato logico non è immediato, allo stesso modo anche le variazioni di tensioni o correnti nei moduli stessi non lo possono essere. La combinazione di tutti questi parametri limita la velocità di operatività e porta a ritardi di propagazione.

Il tempo di propagazione è il tempo necessario, per un segnale in ingresso a propagarsi nel modulo fino alla sua uscita. Questo valore non sempre è uguale per le due transizioni, lo è nel caso di strutture simmetriche come i CMOS, non lo è nel caso di uscita R-SW (dove abbiamo un transitorio in carica molto lento). Il FAN OUT rappresenta il massimo numero di ingressi che possono

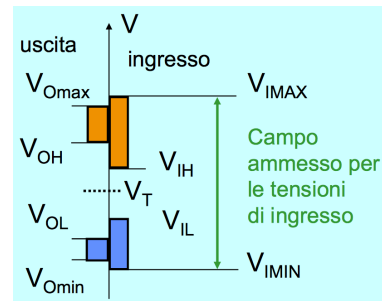


Figure 1: Compatibilità tra porte logiche

essere collegati ad una uscita.

Segnali Differenziali I segnali differenziali hanno numerosi vantaggi in quanto sono protetti dai disturbi, o meglio essendo un doppio canale tutti e due vengono disturbati allo stesso modo mantenendo così il valore differenziale uguale. Ci permettono inoltre di usare una differenza di tensione molto più bassa aumentando così la velocità e riducendo i consumi.

Domande (vedi slide)

- 1) Perché il digitale ci permette di compensare facilmente il rumore.
- 2) Dobbiamo fare in modo che vengano rispettate le compatibilità sia delle correnti che delle tensioni.
- 3) Le uscite a tre stati vengono utilizzate quando il nostro dispositivo deve rimanere in una situazione in cui non trasmette né zero né uno.
- 4) Il FAN-OUT dipende direttamente dalle caratteristiche del circuito ed è il numero di porte logiche che potremmo connettere all'uscita mantenendo un funzionamento corretto.
- 5) Il principale vantaggio dei segnali differenziali è legato alla loro resistenza ai disturbi.

1.2 Parte B2

I circuiti combinatori sono funzioni combinatorie degli ingressi applicati e non hanno bisogno di elementi di memoria a differenza dei circuiti sequenziali i quali sono funzioni anche della precedente storia del circuito.

Elementi di memoria Il primo elemento di memoria è l'anello di inverter ma il suo svantaggio è legato al fatto che una volta assegnatoli in valore non è possibile modificarlo senza rimuovere l'alimentazione. Altra questione di interesse in questo elemento è legata alla situazione di metastabilità (stato temporaneo intermedio) da evitare. Da questo si passa subito al FF Set Reset. Esso presenta l'anello di inverte con due porte NOR che fungono da commutatori nel circuito. Le situazioni possibili sono 4 modificando in modo complementare SET e RESET si modifica il valore, con SET a 1 $Q_a=1$ ecc... Nel caso in cui tutti e due i comandi siano a 0 si crea l'anello di inverter, entrando in stato di memoria. L'ultima condizione (TUTTI 1) è una situazione proibita dove rischio di mandare in stallo (uscite uguali o metastabilità) il sistema. Una possibile soluzione al problema dello stallo è quella di assegnare i comandi S ed R allo stesso segnale opportunamente invertito in un caso. Il sistema può essere volendo convertito (legge di De Morgan) con porte NAND.

Sync o Async I Circuiti possono essere sincroni o asincroni, i primi sono molto più semplici da realizzare (CAD Automatici) e possono cambiare il loro stato solo in presenza di un comando specifico (CLK). Viene aggiunto un

segnali di controllo LE (Latch Enabled) per controllare le situazioni in cui può effettivamente variare lo stato.

I FF Master-Slave sono costituiti da una cascata di FF latch con abilitazione complementare su base CLK, se =0 abilito il primo e blocco il secondo, mentre se =1 l'opposto.

Riepilogo:

- Latch: (Attivo su livello)
 - **LE = 1** Trasparenza
 - **LE = 0** Memoria
- FF D (Master-Slave): (Attivo su fronte)
 - Uscita variante su fronti del CLK
 - Non fronte = Memoria

FF JK è basato su un SR MS con reazione incrociata, la principale differenza è legata alla sua possibilità di sfruttare la situazione normalmente proibita.

Tutti questi circuiti essendo reali presentano non idealità dovute principalmente ai ritardi di propagazione dei segnali. Bisogna quindi tenere in considerazione anche queste cose (La frequenza di CLK viene determinata sulla base di questi ritardi).

I principali sono:

- **Tsetup** = Minimo tempo necessario tra il cambio di stato di D ed il rise del CLK.
- **Trise** = Tempo di salita del fronte di CLK.
- **Thold** = Minimo tempo necessario dopo il rise del clock, ma prima del successivo cambio di stato.
- **Tfall** = Tempo di discesa del fronte di CLK.

In figura 2 una rappresentazione completa del timing di un D-FF.

1.3 Parte B3

I segnali possono essere trattati in due forme, seriale o parallela.

Nel trasferimento seriale uno alla volta i segnali vengono cadenzati da un segnale di CLK (1 bit x volta). In quello parallelo invece vengono trasferiti N bit per volta in un singolo segnale di CLK. Potrebbe sembrare che la seconda sia sempre più veloce, nella realtà potendo sfruttare una frequenza decisamente alta le connessioni seriali sono più veloci (vedi USB).

Registri I registri sono le componenti grazie alle quali possiamo mantenere i dati. Essi sono costituiti semplicemente da FF uniti di tipo L o Edge-Triggered dove viene utilizzata una sola uscita. Vi sono differenti tipi di registri:

- **PIPO**: Parallel In / Parallel Out
- **Shift-Register**: Serial In / Serial Out
- **SIPO**: Serial In / Parallel Out
- **PISO**: Parallel In / Serial Out

Contatori Circuiti logici in grado di generare sulle uscite una sequenza di conteggio binario incrementata ad ogni colpo di CLK. Possono essere sia crescenti che decrescenti.

I divisori invece sono costituiti da FF in cascata dove l'uscita di uno diventa il CLK del successivo. Questo permette di modulare (dividere) la frequenza di CLK. Chiaramente in tutti questi componenti non possiamo trascurare la questione ritardi. Se usiamo contatori sincroni il ritardo non sarà nullo, ma semplicemente sarà uguale per tutte le componenti facendole rimanere sincronizzate. Nel caso di CLK concatenato tra le porte la questione sarà molto più difficile da gestire andato di fatto a generare un circuito asincrono. In qualsiasi caso valgono tutte le regole di sincronizzazione.

Temporizzazione Nel calcolare la massima frequenza di operatività del circuito devo tenere in considerazione molte variabili:

- Ritardo introdotto dal FF (Uscita dalla porta del segnale entrato).
- Ritardi introdotti dalla logica combinatoria (porte AND in questo caso).
- Tempo di SETUP richiesto dal FF.

Per poter ridurre i ritardi in questione non mi conviene usare strutture a riporto (Ripple) ma quelle dirette (Look Ahead) che mi permettono di risolvere tutti i problemi dovuti alla logica combinatoria. Il principale svantaggio di queste strutture è legato alla complessità di progettazione.

1.4 Parte B4

I comparatori di soglia sono elementi fondamentali nell'elettronica digitale, il primissimo compito è quello di pulizia dei segnali (vedi figura 3) in modo da riportarli al loro valore privo di disturbi.

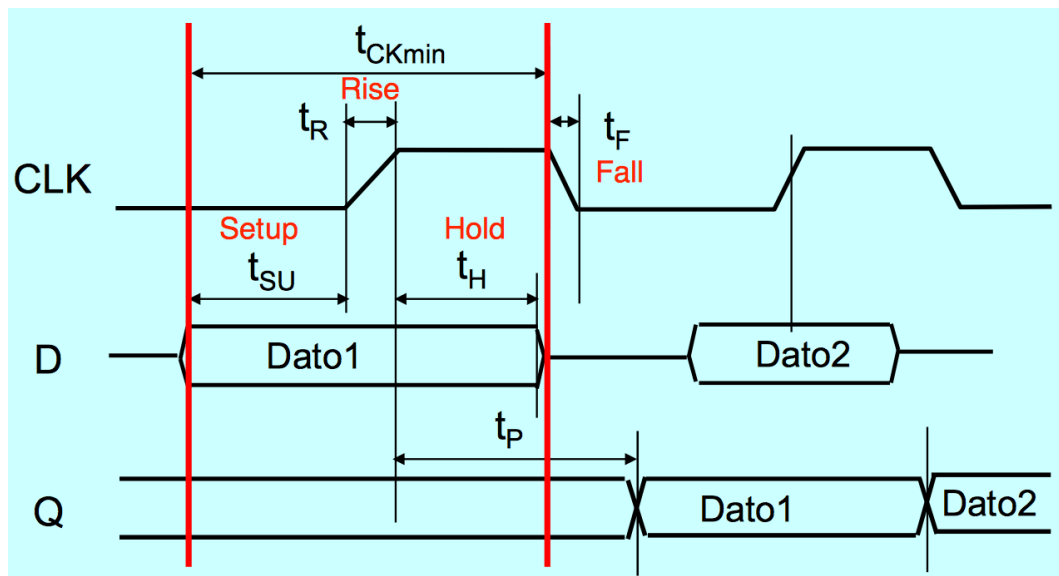


Figure 2: Timing completo di un D-FF

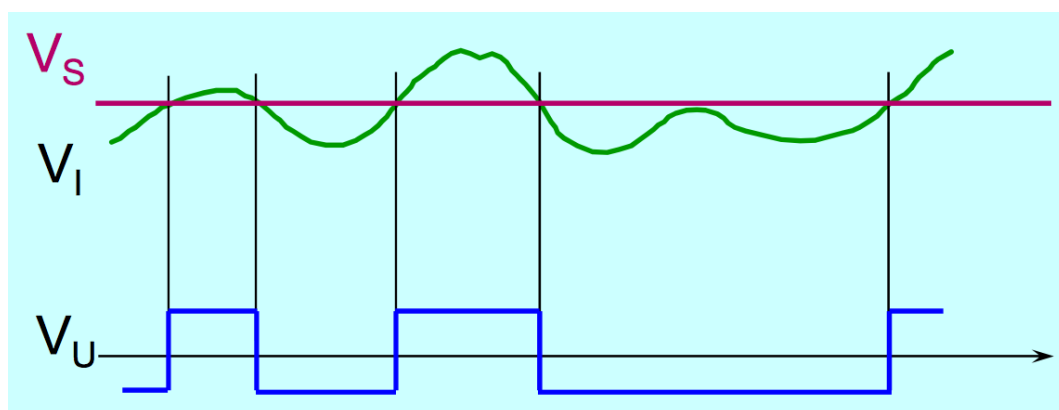


Figure 3: Comparatore non invertente

Comparatori con A.O. Questo tipo di comparatori presenta alcune controindicazioni dovute a:

- Guadagno **Ad** ad anello aperto molto grande.
- Escursione della **Vu** limitata.
- Zona lineare molto ridotta.

Il comparatore può essere realizzato sia con AO invertente che non, con una semplice inversione del segnale di uscita. Il problema principale di questa soluzione, con una sola soglia di confronto, è che un segnale "rumoroso" potrebbe creare un'uscita pessima con tantissimi cambi di valore.

In queste situazioni:

- Fuori linearità.
- Elevata tensione differenziale tra gli ingressi.
- Eventuale tensione di modo comune.

Comparatore con Isteresi La differenza principale è legata all'utilizzo di due soglie invece che una singola, questo permette di avere un sistema più resistente al rumore infatti il valore di uscita commuterà solo al passaggio della soglia più esterna. Questa è un sistema con isteresi. Anche questa soluzione può essere implementata con tutti e due i tipi di AO. Per ottenere uno sdoppiamento della soglia è sufficiente creare un partitore di tensione (utilizzando resistenze) tra l'uscita ed una tensione di riferimento.

Comparatori Integrati Esistono componenti più specifici con uscite più flessibili, maggiore velocità o non idealità meno importanti. Uno di questi è il trigger di Schmitt con soglie fisse e inverter con ingresso a trigger. Il circuito è semplice, un condensatore a massa, componente e resistenza in parallelo e si misura la tensione di uscita rispetto a GND.

Convertitori Il comparatore di soglie trasforma una grandezza analogica in una numerica (su 1 bit). In generale per convertire un segnale A/D avremo bisogno un numero di comparator $2^n - 1$ (n: numero di bit). Eventualmente si possono combinare comparator in cascata.

1.5 Parte B5

Gli oscillatori ed i generatori di segnali sono utili strumenti nel campo dell'elettronica.

Generatori di Segnali Ci possono essere diversi tipi di generatori di segnali, continui o ad impulsi.

I principali parametri da tenere in considerazione in un segnale, a seconda del tipo sono:

- Livelli: V_H, V_L
- Periodo: $T = T_H + T_L$
- Frequenza: $1/T$
- Duty Cycle: $DC = T_H/T$
- Ampiezza: A

Il generatore di onda quadra genera un segnale rettangolare con DC specificato. Il generatore di impulso è un circuito monostabile generante un singolo impulso di larghezza W .

I vari segnali possono essere ritardati, per farlo possono essere usate diverse soluzioni, nei circuiti analogici con celle RC o LRC. Nei circuiti digitali con contatori, o soluzioni ad hoc. Con il software la soluzione è molto più semplice. Spesso si farà uso della celle RC di cui si riporta uno schema in figura 4. Si

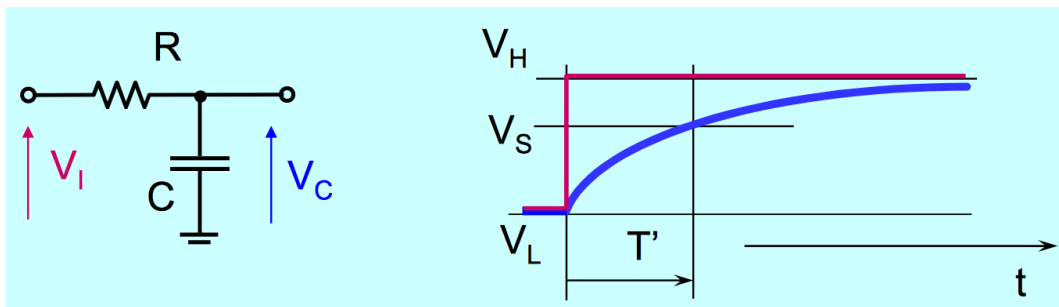


Figure 4: Cella RC

riporta anche la formula per calcolare il tempo di raggiungimento della soglia:

$$T' = RC \cdot \ln \frac{(V_H - V_S)}{(V_H - V_L)} \quad (1)$$

Generatori di Onda Quadra Il segnale O.Q. può essere ottenuto concatenando due parti: una rete RC passa-basso comandata da un segnale BINARIO sfruttando la carica e scarica del condensatore, un comparatore con isteresi. Se il comparatore pilota la rete RC otteniamo proprio un onda quadra in quanto il nostro condensatore si caricherà e scaricherà tra le due soglie (V_{S1}, V_{S2}).

I principali limiti operativi sono legati alla resistenza di reazione. Con una grande resistenza non riusciremo a far circolare la corrente necessaria, valori

troppo bassi invece limitano la dinamica di uscita. Allo stesso modo il condensatore non deve avere un valore troppo basso altrimenti introdurrebbe una capacità parassita.

In modo analogo è possibile ottenere un generatore di onda triangolare.

Il valore del periodo: $T_1 = (R * C * (V_{S2} - V_{S1}))/V_{UH}$ è modificabile variando il valore della resistenza di reazione. La variazione di DC è più complessa e necessita dell'utilizzo di due diodi.

Oscillatori sinusoidali Per realizzare questo componente spesso vengono utilizzati quarzi o altri materiali piezoelettrici in grado di deformarsi in presenza di un campo elettrico o di generare tensione se sottoposti a sollecitazioni meccaniche. Altra possibile soluzione è sfruttando circuiti con reazione, reti RC e porte.

1.6 Parte B6

Ad oggi l'industria elettronica non si occupa della produzione di un'oggetto nella sua interezza, si utilizzano componenti costruiti da altre aziende principalmente perchè ridurre il tempo di progetto e abbassare i NRE Cost (Non-Recurrent Engineering Cost). Le problematiche legate a questa soluzione sono correlate alla più difficile comprensione delle componenti (datasheet complessi). In generale ci sono 3 tipi di industrie:

- Progetto di **Sistemi** (Nokia, Apple, Marelli, ...)
 - Possono includere la produzione.
 - Poco specializzate, molte migliaia di aziende.
- Progetto di **Circuiti integrali** (Intel, Texas Instruments, ...)
 - Produzione quasi assente.
 - Specializzate nella produzione di maschere per i CI.
- Fabbricazione di **Circuiti Integrati** (Intel, Samsung, TSMC, ...)
 - Molto specializzate, meno di 10 al mondo, per gli altissimi costi di ammortamento degli impianti.

Tempo di progetto Il tempo di progetto è fondamentale, il ritardo di ingresso si trasferisce quadraticamente sui ricavi.

Costi I contribuenti al costo per prodotto sono molti: NRE (una tantum), Cu (costo unitario di produzione escludente i costi di progetto).

$$C_p = (NRE/N) + Cu$$

Le diverse scelte dipendono principalmente dal numero di unità prodotte N.

Stili di progetto Vi possono essere differenti stili dai quali dipenderanno molto i costi. Si può partire costruendo circuiti direttamente con le porte fino ad arrivare ad HW generico sfruttando funzioni definite lato SW.

- **FULL CUSTOM:** Necessitano moltissimi step progettuali con altissima flessibilità, il tutto altissimi NRE cost.
- **SEMI CUSTOM:** Sfruttano librerie di progetto, rimangono comunque complessi da sviluppare garantendo una discreta flessibilità ma comunque con alti costi.
- **Cir. Programmabili:** Presentano IN/OUT programmabili, senza nessuna funzione nativa ma con bassi NRE ed alti costi unitari.

Logiche Programmabili La semplicità di queste componenti le rende molto diffuse e di facile utilizzo. La loro struttura è basata su matrici di IN/OUT dove i collegamenti risultano definibili dagli utenti. Le principali logiche sono PAL o PLA. Altri tipi di memorie programmabili sono PROM (eventualmente a sola lettura come nei computer), FPGA (complesse fino a decine di milioni di porte), EEPROM (basate su MOS floating gate).

2 Parte C

2.1 Parte C1

Le tecnologie attuali permettono di avere un numero di transistori $> 10^9$ per chip (Intel i7). Il principale bottle neck rimane la distribuzione dei segnali e l'energia. I circuiti usano simboli binari, ma nella realtà sono tensioni e correnti.

Ritardi Tenendo in considerazione tutte le questioni legate all'interfacciamento delle componenti viste nella parte B andiamo a considerare ulteriori imprecisioni. Le più importanti sono il Clock Jitter T_J (variazione \pm del periodo) ed il Clock Skew T_K (sfasamento \pm tra clock).

Interconnessioni A livello ideale l'uscita logica del driver (TX) e l'ingresso logico del receiver (RX) presentano una connessione perfetta, senza ritardi e disturbi, chiaramente solo in prima approssimazione.

Se cerchiamo di ottenere una più precisa approssimazione dobbiamo andare ad analizzare il circuito come una linea di comunicazione dopo il collegamento D-R viene modellato come una cella RC passa-basso. Conseguentemente, al segnale in uscita dal driver avremo una risposta esponenziale con costante di tempo $\tau = CR$. Il ritardo con cui viene rilevata una variazione di stato logico prende il nome di TEMPO DI TRASMISSIONE (t_{TX}). Questo tempo varia

anche tra connessioni nominalmente allineate e la differenza tra i due casi ($t_{TXmax} - t_{TXmin}$) prende il nome di SKEW.

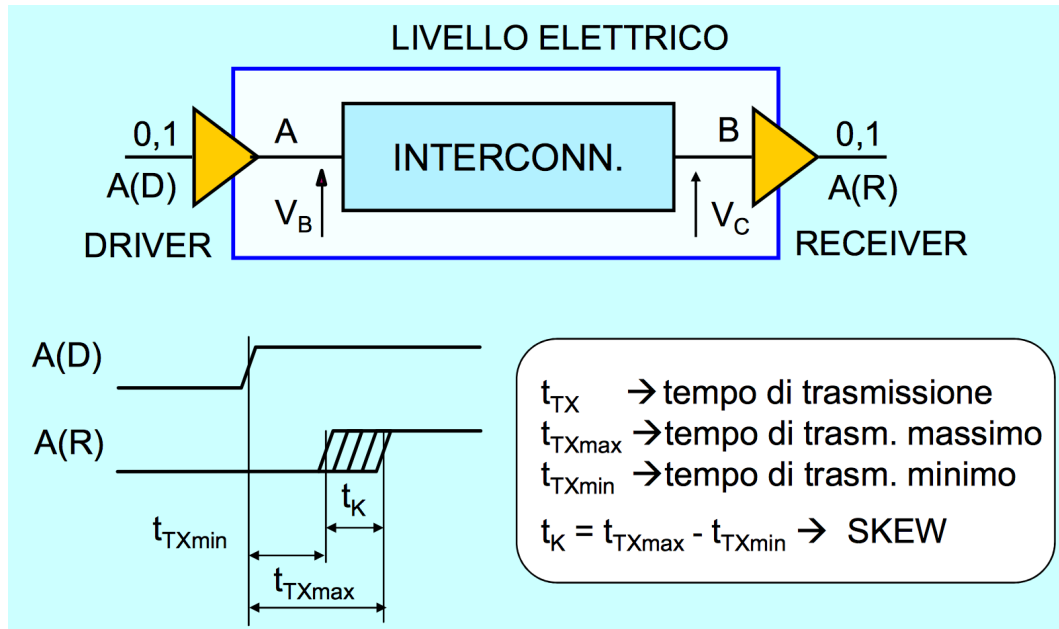


Figure 5: Parametri di interconnessione

2.2 Parte C2

L'approssimazione con celle RC è discretamente valida, vi sono anche le approssimazioni a parametri concentrati. Idealmente aumentando il numero di celle ad infinito si ottiene una linea di trasmissione reale.

Ogni linea presenta dei parametri caratteristici:

- Parametri Fisici:
 - Lu: Impedenza unitaria
 - Cu: Capacità unitaria
- Parametri Elettrici:
 - Impedenza caratteristica: Z_∞ (10...1000 Ω)
 - Velocità di propagazione: $P=(0.6-0.8)*C$
 - Tempo di propagazione: (tempo di spostamento sul conduttore)
 $t_p = L/P$

Linea Pilotata Il primo gradino si sposta lungo tutto il conduttore senza subire distorsioni ed impiega un t_p a propagarsi fino all'ingresso del receiver su una linea senza perdite.

Se $R_t = Z_\infty$ allora in rapporto V/I non varia e non si hanno discontinuità. Se invece $R_t \neq Z_\infty$ il rapporto V/I varia, generando una progressiva variazione del gradino (onda progressiva o incidente), le variazioni genereranno un'onda riflessa (regressiva) con propagazione inversa a prima.

L'ampiezza dell'onda riflessa sarà determinata dal coefficiente di riflessione Γ_T con $V_r = \Gamma_T V_p$.

Questo coefficiente assume valori differenti:

- **Linea Chiusa:** $R_t = Z_\infty$ allora $\Gamma_T = 0$
- **Linea Aperta:** $R_t \rightarrow \infty$ allora $\Gamma_T = 1$
- **Linea in Corto:** $R_t = 0$ allora $\Gamma_T = -1$

L'andamento del sistema viene spesso schematizzato utilizzando un diagramma a traliccio (vedi figura 6). In tutto questo dobbiamo ricordare che le variazioni di stato logico sono riconosciute quando viene attraversata la soglia V_{TH} ; questo può richiedere riflessioni multiple del segnale, e introduce un ritardo t_{TX} (tempo di trasmissione) tra attivazione del segnale e la rilevazione della variazione al ricevitore.

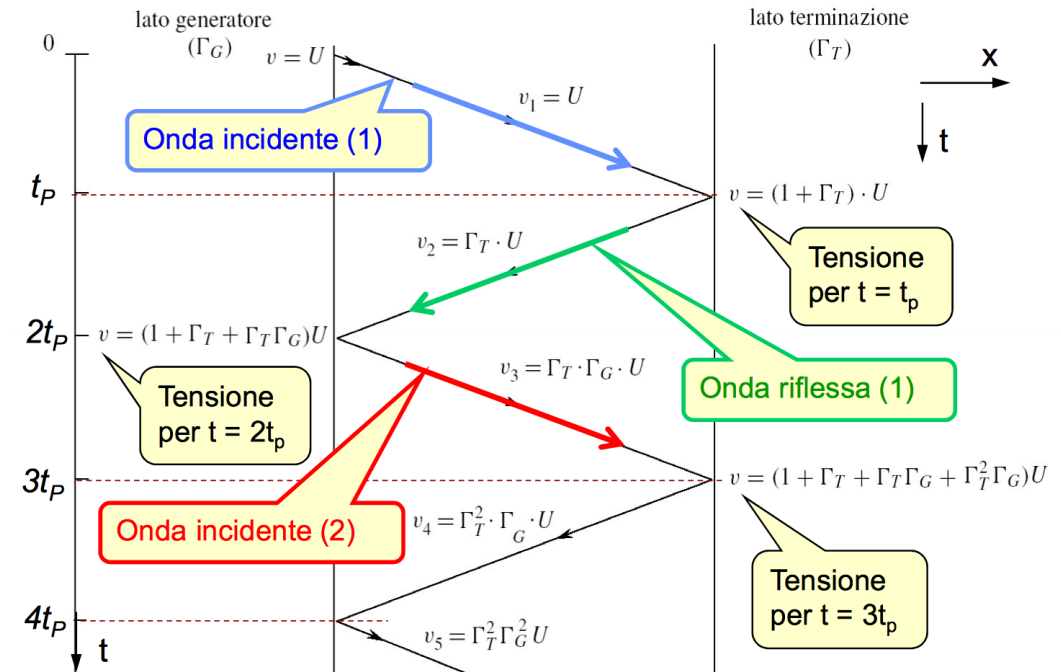


Figure 6: Diagramma a traliccio

2.3 Parte C3

Il tempo di trasmissione t_{TX} , il ritardo di attraversamento della soglia, dipende da molti parametri. Le variazioni di t_{TX} portano allo skew t_K o disallineamento.

skew Diretta conseguenza è la modifica delle relazioni temporali tra i segnali. E' importante riuscire a gestirlo in modo da preservare l'integrità dei segnali. I principali contribuenti a questo parametro sono:

- Parametri TX ed RX (V_H , V_L , soglie, ecc...)
- Propagazione: riflessioni, terminazioni, discontinuità, diafonia, ecc...
- Carico (in particolare capacitivi)
- Rumore di massa (Ground Bounce) e di commutazione

Tipi di commutazione Il tipo di commutazione della nostra linea dal rapporto R_O/Z_∞ oppure dal tipo di corrente:

- **BASSO Rapporto** $R_O < Z_\infty$: → I gradino ampio.
La soglia viene attraversata, commutazione su onda incidente (IWS), basso t_{TX} e veloce. Richiede terminazione (adatto a BUS). Vedi figura 7
- **ALTO Rapporto** $R_O > Z_\infty$: → I gradino basso.
Soglia non attraversata, commutazione su onda riflessa (RWS), alto t_{TX} e lento. Non sono necessarie terminazione (adatto per sistemi lenti). Vedi figura 8
- **BASSA Corrente**, con R_O alta, la soglia viene attraversata dopo riflessioni multiple (vedi figura 9) con un funzionamento lento.

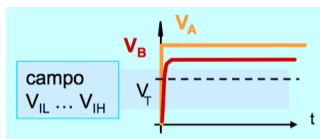


Figure 7: IWS

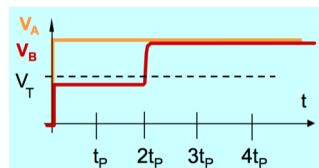


Figure 8: RWS

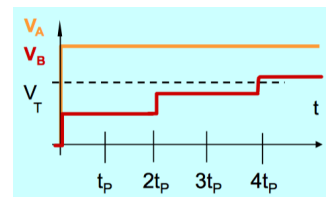


Figure 9: Attr. Multi-plo

2.4 Parte C4

Le operazioni a livello ciclo hanno lo scopo di garantire il corretto trasferimento delle informazioni trasferite dal livello fisico. La temporizzazione di un sistema non è banale, spesso i ritardi sono funzioni del tempo, difficili quindi da prevedere con esattezza.

Trasferimento Informazioni Vi sono due tipi di trasferimento dei dati:

- Attivato dalla **sorgente** → Scrittura. Direzione controllo = informazione.
- Attivato dalla **destinazione** → Lettura. Direzione controllo \neq informazione.

Con tre tecniche di *temporizzazione* per realizzarli:

- **Fissa** (*Sync*) → Worst-Case
- **Adattiva** (*Async*): → ACK di conferma
- **Semisincrona**: → Temporizzazione fissa salvo WAIT request.

Temporizzazione Fissa Questa soluzione prevede di eseguire le operazioni rispettando i ritardi di worst-case in modo da garantirne l'affidabilità. Il problema di questa soluzione è che si potrebbero andare a generare inutili ritardi. Ottima invece in sistemi molto instabili.

Temporizzazione Adattiva Nel caso di circuiti asincroni l'unica soluzione è quella di lavorare con una conferma di ricezione da parte del modulo ricevente a quello inviante. In questo caso non sarà necessario ipotizzare le tempistiche nel nostro sistema in quanto esso si adatterà alla velocità della destinazione.

Cicli Source-Synchronous La caratteristica principale riguarda lo spostamento in accordo da INF e STB da Master a Slave. Il principale vantaggio sarà legato alla velocità, la temporizzazione dipenderà solamente da **latenza** dell'informazione (attesa ottenimento INF) e la **durata del ciclo**.

2.5 Parte C5

I sistemi a bus sono mezzi trasmissivi in grado di trasferire dati tra più terminali selezionando le interfacce che partecipano al trasferimento. Il selezionamento delle interfacce non è immediato, prevede una procedura ben definita:

- Allocazione del canale dal master.
- Indirizzamento dallo slave.
- Trasferimento...

Allocazione L'allocazione del bus deve tenere conto delle possibili collisioni per tanto andremo ad allocare un canale prima di utilizzarlo. I meccanismi possono essere di 3 tipi:

- **Token Passing:** Gettone unico, spostato tra i master senza valutare le richieste.
- **Collision Detection:** GRANT a tutti quelli che richiedono e in caso di collisione nuovo tentativo.
- **Arbitrazione:** Valutazione delle request ed emissione di un solo GRANT, nessuna collisione.

Indirizzamento Questa fase prevede prima una selezione ed infine l'indirizzamento. La prima può essere Codificata (selezione diretta con indirizzo) oppure Decodificata (selezione dei registri e successiva selezione dopo il decoder di indirizzo). La fase di indirizzamento invece può essere Logico (dipende dal nome dello slave) oppure Geografico (dipende dalla posizione).

Gestione In caso di più persone parlanti in un canale devo comunque evitare le collisioni, vi sono 3 tecniche di gestione anche qui:

- **Riunione:** GRANT assegnato a turno, rifiutabile e passabile.
- **Gruppo non regolato:** Possibilità di prendere parola a canale libero, evita le collisioni con CSMA-CD.
- **Gruppo gestito:** Un arbitro riceve le richieste ed assegna un singolo GRANT.
 - FCFS (simile a FIFO): Non va bene nel caso di eventi non “sequenziabili”.
 - Livelli Priorità: Definisce un rango tra i processi, utilizza starvation per bloccare processi meno prioritari, devo comunque garantire un tempo di risoluzione anche dei meno prioritari (fairness).

2.6 Parte C6