

**En cuanto a los repertorios de instrucciones según el tipo de almacenamiento interno de la CPU. Indica la respuesta NO correcta.**

· Los registros tienen acceso más rápido que la memoria y son más fáciles de usar por los compiladores y de manera mas efectiva, por eso siempre se han diseñado arquitecturas GPR.

**Sobre la arquitectura como objeto del compilador.**

La mayoría de instrucciones ejecutadas son salida de un compilador. La arquitectura a nivel de maquina es un objeto del compilador.

**En el siguiente código, ¿dónde existe riesgo por dependencia de datos?**

**- ADD R1, R2, R10 - AND R3,R1,R5 - SUB R4,R1,R5 - OR R1,R1,R10**

Existe riesgo por dependencia de datos, en la instrucción AND y SUB. La instrucción OR no tiene riesgos si se utiliza adelantamiento interno en el banco de registros.

**Ventaja y desventajas de una arquitectura GPR**

Las arquitecturas R-R permiten una codificación simple con instrucciones de longitud fija. Las instrucciones emplean mas números de ciclos similares para ejecutarse. La desventaja es que generan mayor recuento de instrucciones que las arquitecturas M-M.

**Dado las siguientes instrucciones en MIPS que se ejecutan en una maquina segmentada de cinco etapas: IF, ID, EX, MEM, WB. Si hay forwarding, ¿cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?**

**{L\_1: sub \$s1,\$s2,\$s3 - L\_2: and \$s1,\$s3,\$s1 - L\_3: sw \$s2, 24(\$s1)}**

7 ciclos de reloj.

**Sobre las arquitecturas VLIW y Superescalar. Indicar la respuesta correcta.**

En los procesadores superescalares, el compilador es el encargado de descubrir el paralelismo que permita aprovechar las instrucciones que se van captando de memoria.

**Los valores para cada etapa de un procesador segmentado es la siguiente: ¿cuánto tardaría en ejecutar una instrucción lw del MIPS en el procesador segmentado?**

**(IF=350ps ; ID=400ps ; EXE=370ps ; MEM=450ps ; WB=200ps)**

450

**¿Cuál será aproximadamente la ganancia de velocidad obtenida al segmentar un procesador de forma lineal y síncrona con 20 etapas si ejecuta un programa de 50 instrucciones comparada con la versión multiciclo donde las instrucciones tardan los mismos ciclos?**

$n * k/k + n - 1$  (k numero de etapas y n de tareas). La respuesta 14.

**Sobre el diseño de la segmentación. Indica la respuesta correcta:**

Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. La etapa mas lenta actúa como cuello de botella ya que se debe ajustar el ritmo de trabajo a la etapa mas lenta.

**Un cierto procesador GPR soporta modo de ejecución R-M. Los operandos de memoria pueden tener modo de direccionamiento directo o absoluto a memoria e indirecto a memoria. Suponer que solo permite un formato para las instrucciones y suponer que los nodos de direccionamiento son ortogonales respecto al código de operación.**

No es necesario especificar explícitamente en la instrucción los modos de direccionamiento ya que son ortogonales.

**Acerca de la técnica de adelantamiento. Indica la respuesta no correcta.**

La técnica de adelantamiento permite aumentar el rendimiento de la maquina al evitar ciclos de detención.

**El retardo para cada etapa de un proceso segmentado es la siguiente. ¿Cuál es la productividad de una serie grande de instrucciones suponiendo que no se producen riesgos ni paradas? El resultado se expresa en millones de instrucciones por segundo MIPS.**

**(IF=350ps ; ID=400ps ; EXE=370ps ; MEM=450ps ; WB=200ps;)**

La productividad sería de 2222 MIPS.

**Sobre el modo de direccionamiento literal o inmediato. Indica la respuesta correcta:**

Las dos son correctas. Los inmediatos son los mas utilizados, aunque se usan inmediatos grandes para el calculo de direcciones. Las operaciones que mayor hacen uso de operandos inmediatos son las cargas/almacenamientos, las comparaciones y las aritmético-lógicas.

**Sobre los modos de direccionamiento:**

El direccionamiento inmediato y desplazamiento dominan la utilización de los modos de almacenamiento. Los modos de direccionamiento reducen el RI pero complican la implementación pudiendo incrementar el CPI medio.

**Sobre los tipos de operaciones del repertorio:**

La arquitectura RISC suelen proporcionar instrucciones "aritmético-lógicas", "transferencia de datos", "sistema" y "punto flotante".

**Para el procesador MIPS segmentado de 5 etapas con un delay slot en los saltos ejecuta la siguiente secuencia de instrucciones. Supone que hay forwarding. En el ciclo 7 de reloj, ¿en que etapa de la segmentación se encuentra la instrucción sw?**

**{ LW R1,0(R4) - LW R2,400(R4) - ADDI R3,R1,R2 - SW R3,0(R4) - SUB R4,R4,#4 - BNEZ R4,L1 }**

Se encuentra en la fase EX.

**¿Qué problemas surgen al segmentar una maquina MIPS partiendo de la original multiciclo?**

El sistema de memoria debe proporcionar un ancho de banda cinco veces mayor al de la maquina original.

**Sobre las formas de especificar una dirección de salto. Elige la respuesta correcta:**

Cuando esta incluida la condición del salto, el trabajo que tiene que realizar la maquina para ejecutar la instrucción puede ser demasiado.

**Indica las desventajas de las arquitecturas que utilizan operandos M-M.**

El código es mas compacto.

**¿Cómo es posible solucionar un riesgo estructural en una ruta de datos segmentada?**

Deteniendo la maquina hasta que se solucione el conflicto.

**Considerar que vamos a diseñar una máquina segmentada a partir de una máquina multiciclo con 5 pasos de ejecución cuyas duraciones son 15ns, 27ns, 34ns, 42ns y 65ns. Suponed que el tiempo dedicado en actualizar los registros intermedios es 3ns. ¿Cuál será el ciclo de reloj de la máquina segmentada(expresad el resultado en ns)?**

Se le suma +3 a la mas lenta. La respuesta son  $65+3=68$ ns

**Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:**

L\_1:sub \$s1, \$s2, \$s3

L\_2:and \$s2, \$s3, \$s1

L\_3: sw \$s2, 24(\$s1)

**Si hay forwarding, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?**

7 ciclos de reloj

**Sobre las arquitecturas VLIW y Superescalar. Indica la respuesta correcta  
Seleccione una respuesta.**

En los procesadores Very Large Intruction Word (VLIW), cada instrucción incluye las operaciones que se realizan simultáneamente.

**Sobre la codificación de los modos de direccionamiento:**

La codificación híbrida es una alternativa intermedia que persigue las ventajas de la codificación fija y variable: reducir recuento de instrucciones y formato sencillo de fácil implementación. Un ejemplo clásico es el IBM 360.

**El retardo para cada etapa en un procesador segmentado es la siguiente:**

IF	ID	EXE	MEM	WB
350ps	400ps	370ps	450ps	200ps

**¿Cuál es la duración mínima del ciclo de reloj para un procesador segmentado y para un procesador no segmentado monociclo (las instrucciones se ejecutan en un ciclo de reloj) utilizando estos parámetros?**

Para uno segmentado es 450ps y para uno no segmentado monociclo es 1770ps.

**Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:**

**L\_1:sub \$s1, \$s2, \$s3**

**L\_2:and \$s2, \$s3, \$s1**

**L\_3: sw \$s2, 24(\$s1)**

**Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?**

11

**¿Cómo es posible solucionar un riesgo estructural en una ruta de datos segmentada?**

Adelantando las operaciones que generan conflicto en los recursos

**Las instrucciones típicas de un lenguaje ensamblador pueden agruparse en general en tres categorías. Estas son:**

Operaciones aritmético-lógicas, movimiento de datos y control.

**En cuanto a las áreas de aplicación. ¿Cuál de las siguientes afirmaciones NO es correcta?**

En los servidores el rendimiento de operaciones con tipos de datos enteros es mucho menos importante que el rendimiento para punto flotante o cadenas de caracteres

**En cuanto a la manera de programar las máquinas, indica la respuesta correcta. Selecciona una respuesta.**

La arquitectura a nivel lenguaje máquina es un objeto del compilador

**Sobre el concepto de segmentación. Indica la respuesta NO correcta. Selecciona una respuesta.**

La segmentación es una de las claves que permite aumentar el rendimiento en los computadores pero que no afecta a la productividad.

**Considerar que vamos a diseñar una maquina segmentada a partir de una maquina multiciclo con 5 pasos de ejecución cuyas decoraciones son 20ns, 45ns, 30ns, 11ns y 52ns. Suponed que el tiempo dedicado en actualizar los registros intermedios es 2ns, ¿cuál seria el ciclo de reloj de la maquina segmentada (expresad el resultado en ns)?**

$52+2= 54\text{ns}$

**Suponed que en cierta maquina segmentada con una profundidad del cauce de 8, el CPI ideal ignorando cualquier riesgo es de 1. Suponer que solo se producen detenciones de 5 ciclos en el 30% de las instrucciones, ¿cuál es la ganancia de velocidad de la segmentación considerando las detenciones?**

$\text{Ganancia} = \text{Profundidad} / 1 + \text{Detenciones} * \text{CLK}$

$\text{Ganancia} = 8 / 1 + (5 * 0,3) = 3,2$

**Sobre el tipo y tamaño de los operandos. Selecciona una respuesta.**

Algunas arquitecturas soportan un formato denominado habitualmente decimal empaquetado (BCD). Se utilizan 4 bits para codificar valores 0-9.

**Señalar la opción correcta sobre los modos de direccionamiento de una arquitectura de registros de propósito general. Seleccione una respuesta:**

Las dos opciones son correctas. Pueden especificar posiciones de memoria y constantes y/o registros.

**Dada las siguiente secuencia de instrucciones en MIPS que se ejecutan en una maquina segmentada de cinco etapas: IF, ID, EX, MEM, WB.**

**sub \$s1,\$s2,\$s3**

**and \$s2,\$s3,\$s1**

**sw \$s4,24(\$s1)**

**Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿En cuantos ciclos de reloj se incrementa la ejecución de estas instrucciones? Selecciona una respuesta.**

En 4 ciclos.

**¿Cuál de las siguientes afirmaciones es cierta?**

**Seleccione una respuesta.**

Dado el mismo número de ALU's, una arquitectura VLIW ocupará menos espacio en un chip que una arquitectura superescalar.

**Sobre las tablas reserva. Seleccione una respuesta:**

Todas son verdaderas. Las múltiples marcas en una fila indican la utilización de una etapa en distintos ciclos de reloj. Se utilizan en los cauces no lineales para describir el uso que hacen las operaciones e instrucciones de las distintas etapas a lo largo del tiempo. Sirven para planificar las tareas en una máquina segmentada.

**Señala la opción correcta. Seleccione una respuesta.**

En un árbol de Wallace se utilizan CSA's para sumar 3 o más operandos.

**Señala la opción u opciones correctas que se refieran a una arquitectura Superescalar: Seleccione al menos una respuesta.**

El HW se encarga de la planificación (dinámica) de instrucciones

En la captación de Instrucciones, es capaz de leer varias instrucciones por ciclo desde la caché.