

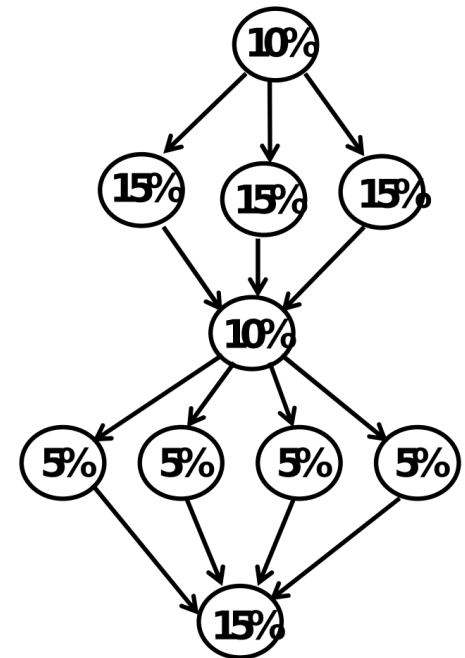
Ingeniería de los Computadores

Sesión Problemas

Ingeniería de los Computadores

Sesión Problemas

- En la Figura, se presenta el grafo de dependencia entre tareas para una aplicación. La figura muestra la fracción del tiempo de ejecución secuencial que la aplicación tarda en ejecutar las tareas del grafo. Suponiendo un tiempo de ejecución secuencial de 60 s, que las tareas no se pueden dividir en tareas de menor granularidad y que el tiempo de comunicación es despreciable, obtener el tiempo de ejecución en paralelo y la ganancia en velocidad en un computador con:
 - (a) 4 procesadores.
 - (b) 2 procesadores.



Ingeniería de los Computadores

Sesión Problemas

- El supercomputador UAS de la Universidad de Alicante consta de 1024 procesadores conectados en Anillo y es capaz de descomponer el 90% de cualquier aplicación para que sea ejecutada de forma paralela. A partir de los benchmarks del Servicio de Informática de la UA se constata que la paralelización que se consigue tiene las siguientes características:
 - Un 50% de la parte paralelizable sólo puede utilizar 512 procesadores.
 - Un 25% de la parte paralelizable sólo puede utilizar 256 procesadores.
 - El resto de la parte paralelizable puede utilizar todos los procesadores.
 - El coste de comunicación es el 15% del tiempo de ejecución en paralelo en cada caso.
- La UA ha solicitado a IBM que estudie una actualización de su supercomputador para mejorar el rendimiento. Una propuesta ha sido la de cambiar la red de comunicación considerando una conexión Hipercubo. Esta permite reducir el coste de la comunicación a un 2% del tiempo de ejecución en paralelo en cada caso. Sin embargo, la UA no está dispuesta a realizar el desembolso económico propuesto con lo que ha pedido a IBM que estudie acelerar el 25% de la parte paralelizable cuando sólo puede utilizar 256 procesadores. Esto es, acelerando esa parte del proceso de forma equitativa para los 256 procesadores. ¿Cuántas veces más rápido tiene que ejecutarse, como mínimo, esa parte de las aplicaciones para que la solución sea competitiva con el cambio propuesto inicialmente por IBM?

Ingeniería de los Computadores

Sesión Problemas

Pregunta 8 (1,5 ptos). Dada la siguiente secuencia de instrucciones:

```
lw r1, dato1 ; r1 = dato1
add r1,r1,r0 ; r1 = r1 + r0
lw r2, dato2 ; r2 = dato2
lw r3, dato3 ; r3 = dato3
add r4, r2, r3; r4 = r2 + r3
mult r1, r1, r4; r1 = r1 * r4
sub r2, r3, r1; r2 = r3 - r1
```

Indica cómo sería la evolución del buffer de reorden y de la tabla de registros. La arquitectura sobre la que se ejecutan las instrucciones está formada por las siguientes etapas: búsqueda de instrucción, decodificación/emisión, ejecución, reorden y escritura. El coste de cada etapa para todas las instrucciones es de 1 ciclo excepto en la etapa de ejecución. En ejecución hay una unidad de carga/almacenamiento, una unidad para suma/resta y una unidad de multiplicación; los ciclos de ejecución según el tipo de instrucción son los siguientes:

- Carga/almacenamiento: 2 ciclos
- Suma/resta: 1 ciclo
- Multiplicación: 3 ciclos

La arquitectura puede captar y decodificar tres instrucciones en paralelo. También pueden finalizar tres instrucciones en paralelo. La estación de reserva es única para todas las unidades de ejecución y admite tres instrucciones como máximo y sigue una política de emisión alineada. Los valores iniciales de los registros son 0. Los datos son: datoA = 2, datoB = 3, datoC = 4

Ingeniería de los Computadores

Sesión Problemas

- Un banco ha adquirido un supercomputador formado por 32768 nodos conectados mediante una red toro 3D cuyos enlaces tienen una velocidad de 2Gbit/s. Para terminar de analizar el rendimiento del supercomputador se desea saber cuánto tardará un paquete formado por 56 bytes (incluyendo la cabecera) que se envía desde el nodo 3056 al nodo 12018. El tiempo de enrutamiento es de 9ns. Calcula los tiempos de envío tanto utilizando “store and forward” como “wormhole”. Nota: la cabecera del paquete está formada por 2 bytes.

Ingeniería de los Computadores

Sesión Problemas

Pregunta 10 (1,5 pts). Una máquina SMP de 4 procesadores utiliza el protocolo MESI para controlar la coherencia de los datos en las cachés. Los bloques de caché son de 2 palabras y el procesador P4 no tienen caché. La política de reemplazo de caché es aleatoria. Las cachés tienen solamente 2 bloques. En un momento dado, los procesadores ejecutan las siguientes referencias: P1:WRITE_2(18); P2:READ_2; P3:WRITE_8(5); P4:WRITE_3(-2); P1:READ_4 (direcciones de memoria en base 10). WRITE_M(N) significa que escribe el valor N en la dirección M. El contenido inicial de las posiciones de memoria y el contenido de las cachés es el siguiente:

Cachés

P1			P2			P3		
Dir.	Dato	Estado	Dir.	Dato	Estado	Dir.	Dato	Estado
1	12	M	7	-2	S	1	0	I
2	6		8	5		2	6	
7	-2	S	3	-1	E	7	-2	S
8	5		4	0		8	5	

Memoria

Dir	1	2	3	4	5	6	7	8	9	10
Dato	0	6	-1	0	16	1	-2	5	0	-3

Indique esquemáticamente por cada acceso y para cada procesador como cambian las cachés y la memoria principal. Indicar, además, si se produce un fallo de caché, el tipo y las variaciones de estado de los bloques (explicando el motivo).