

Ingeniería de los Computadores

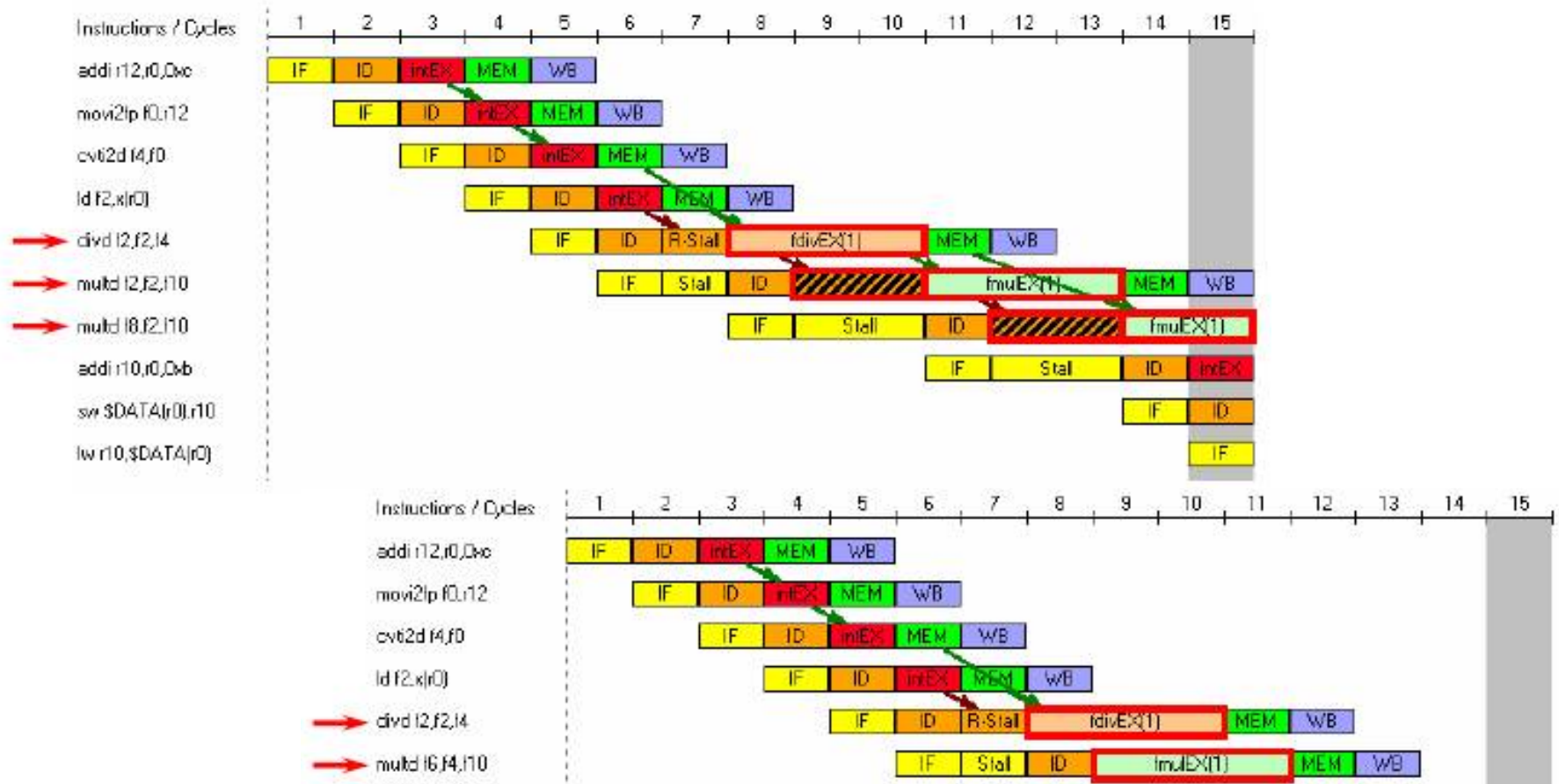
Sesión 2. Superescalares: motivación
y cauce

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

- Dependencias estructurales provocan pérdidas de ciclos
 - Ejemplo de una unidad FP vs. Varias unidades FP

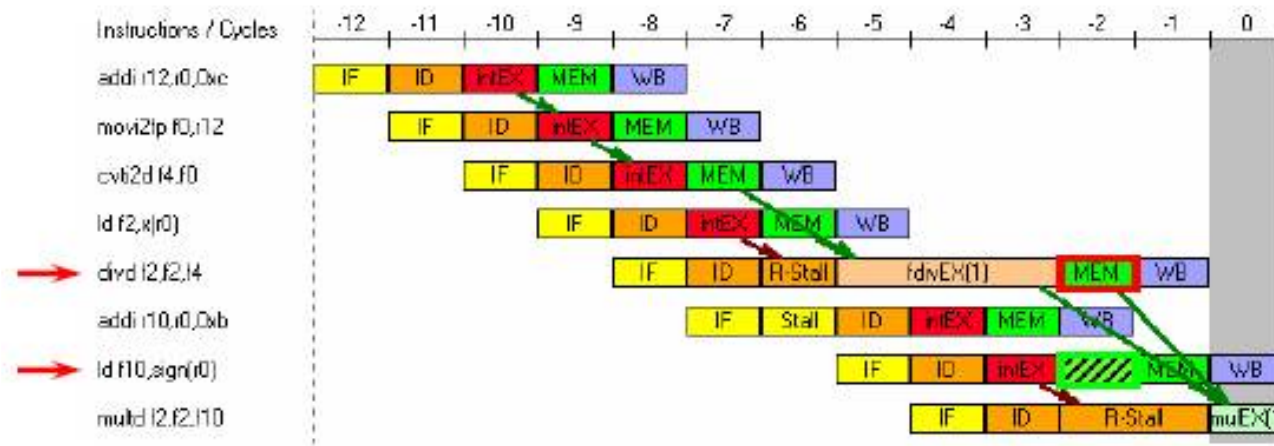


Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

- Varias unidades funcionales permiten la **ejecución fuera de orden**
 - Validar riesgos WAR y WAW



- Se obtienen mejores prestaciones si se pueden procesar varias instrucciones en la misma etapa → **procesamiento superescalar**

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

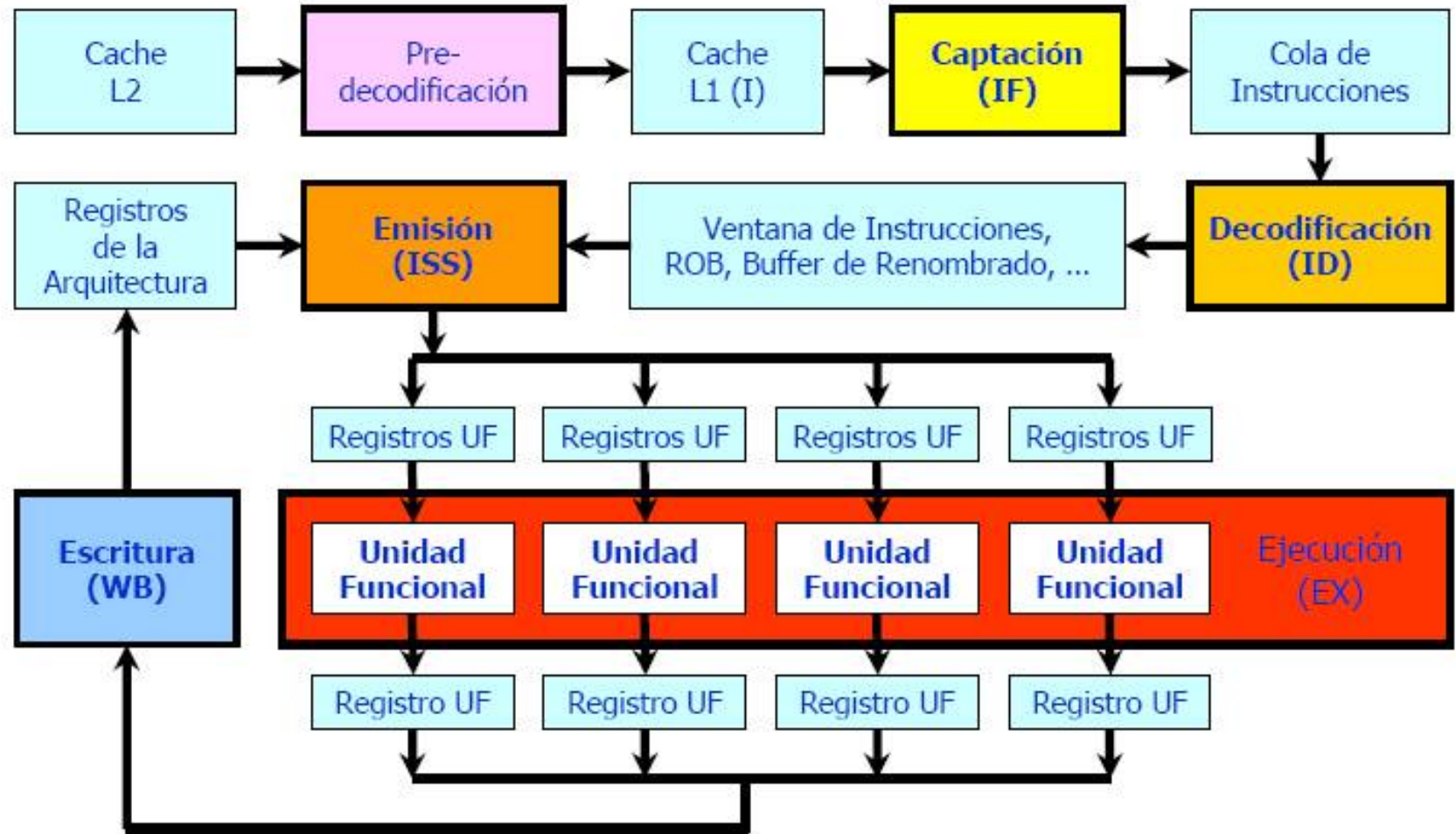
- Etapas
 - Captación de instrucciones (IF)
 - Decodificación de instrucciones (ID)
 - Emisión de instrucciones (ISS)
 - Ejecución de instrucciones (EX) – Instrucción finalizada o “finish”
 - Escritura (WB) – Instrucción completada o “complete”
- Características del procesamiento superescalar
 - Diferentes tipos de órdenes: orden de captación, orden de emisión, orden de finalización
 - Capacidad para identificar ILP existente y organizar el uso de las distintas etapas para optimizar recursos

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce



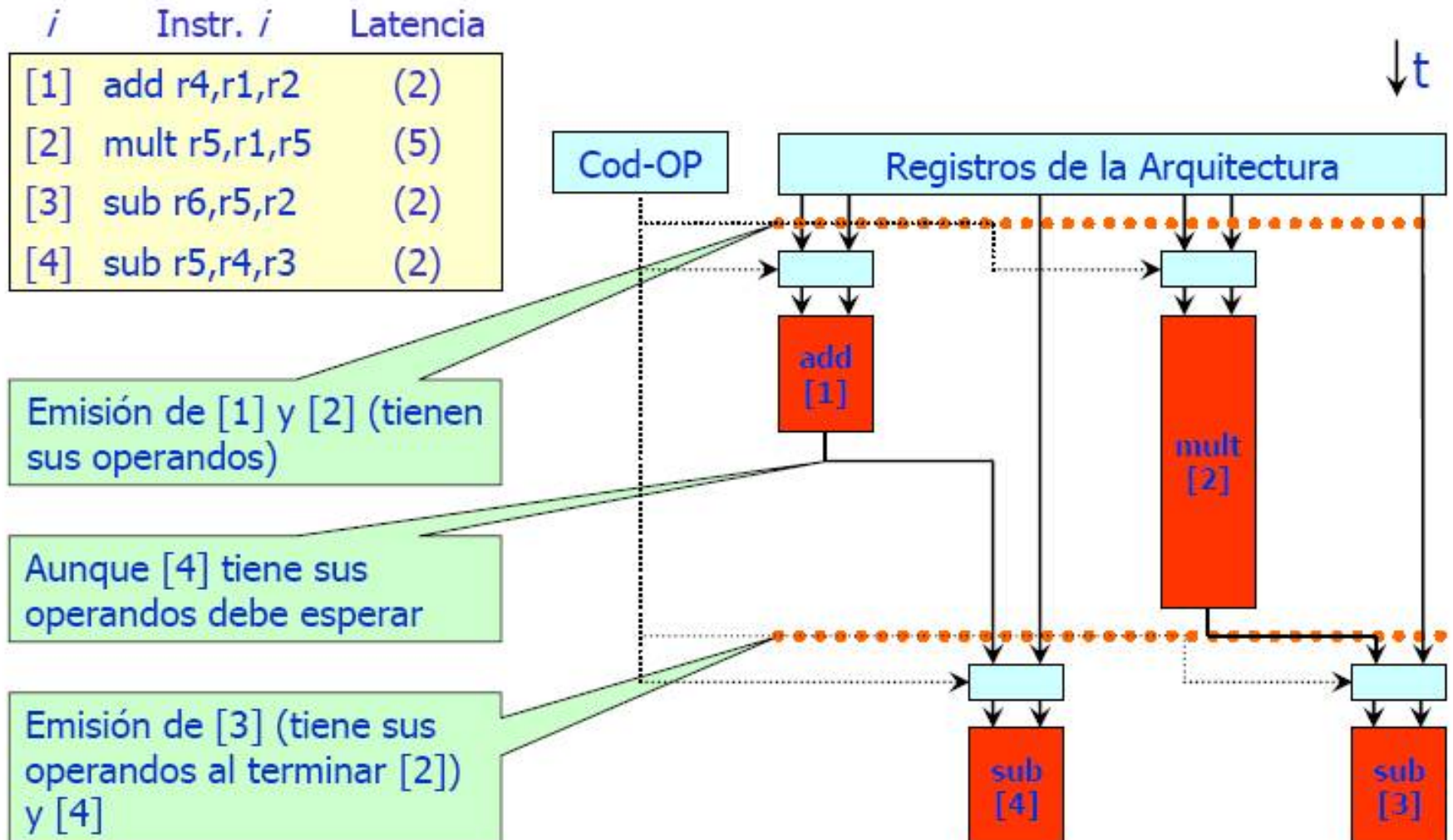
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

- Emisión ordenada



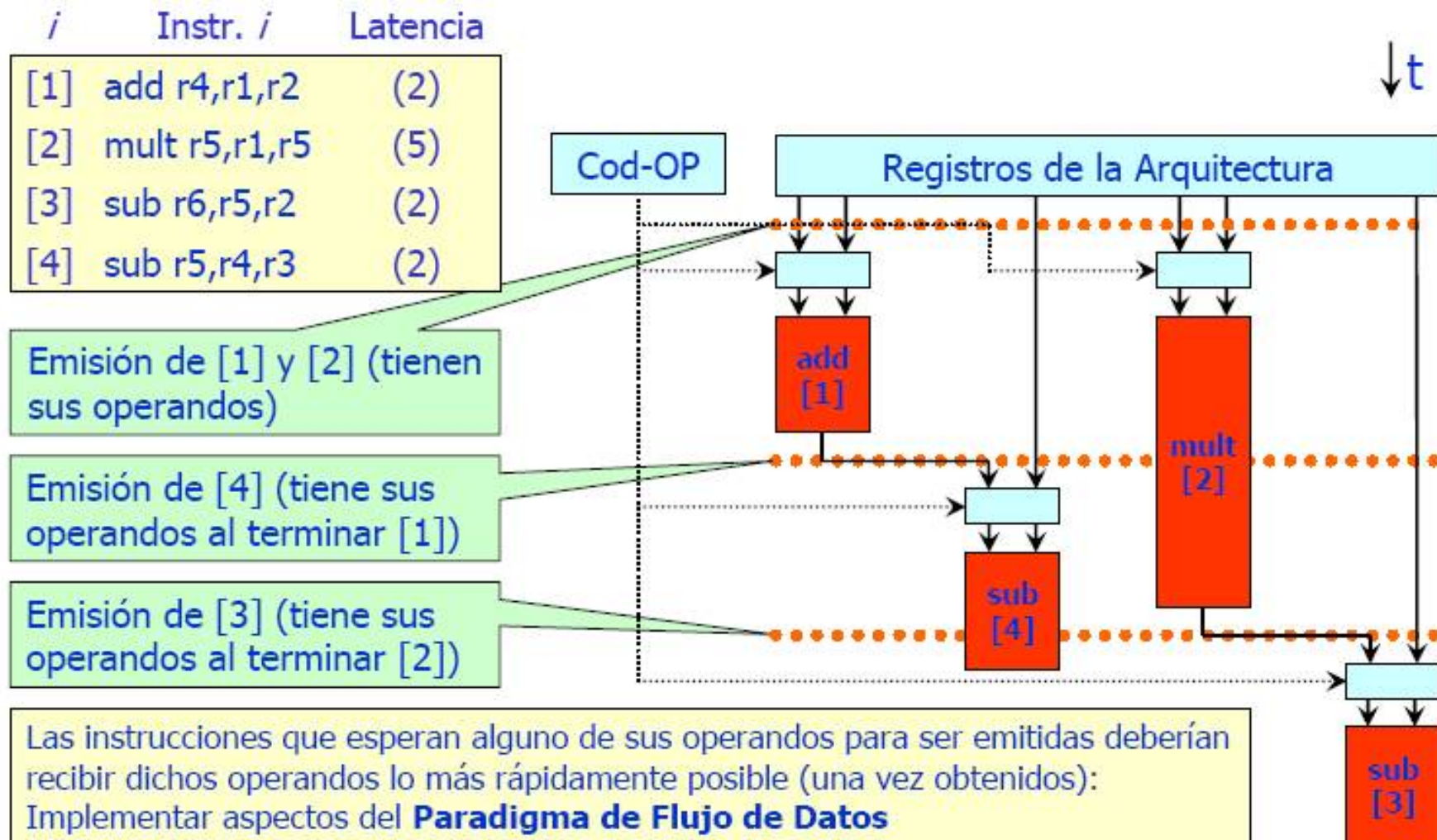
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

- Emisión desordenada



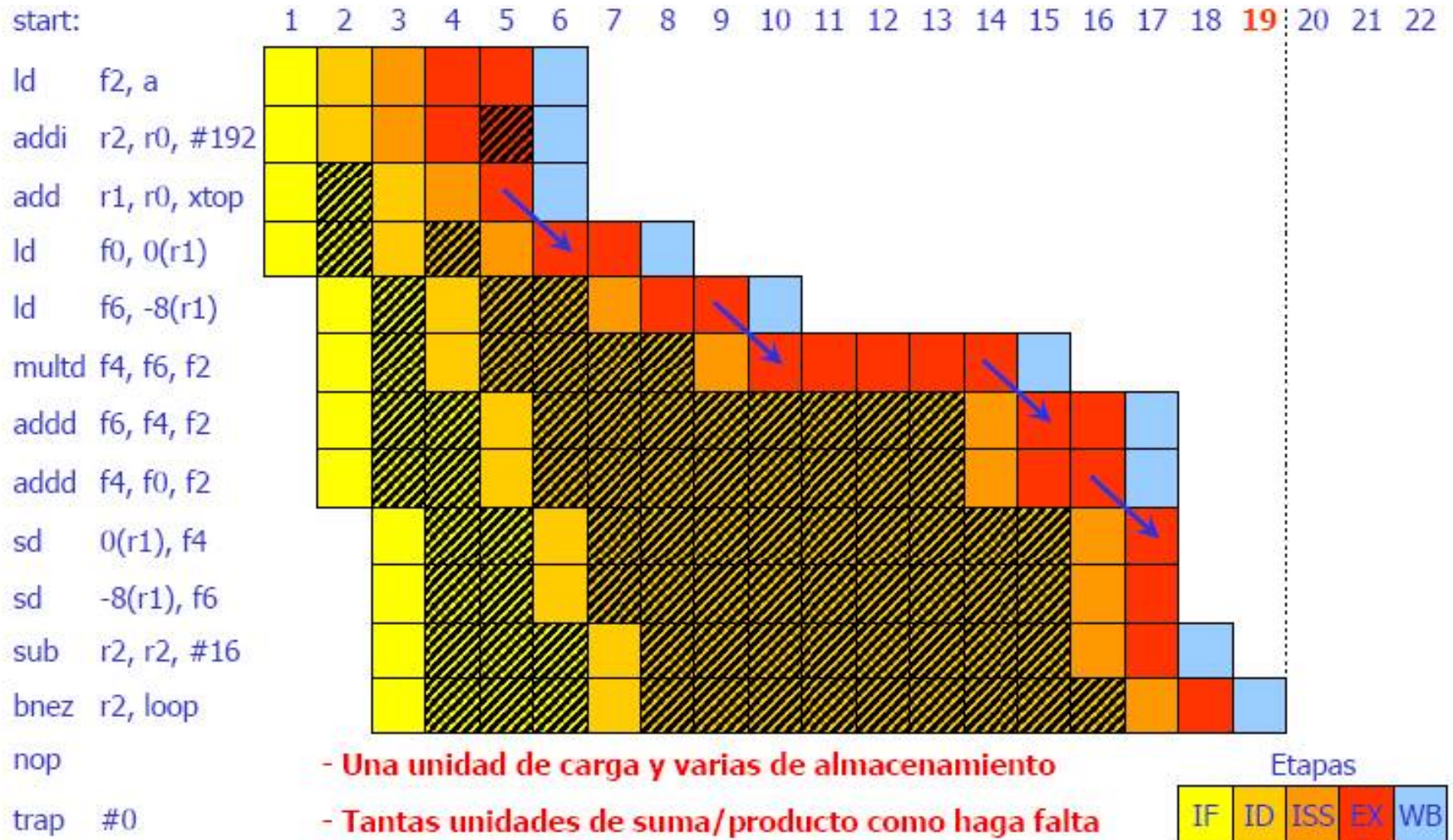
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

- Superescalar: emisión ordenada/finalización ordenada



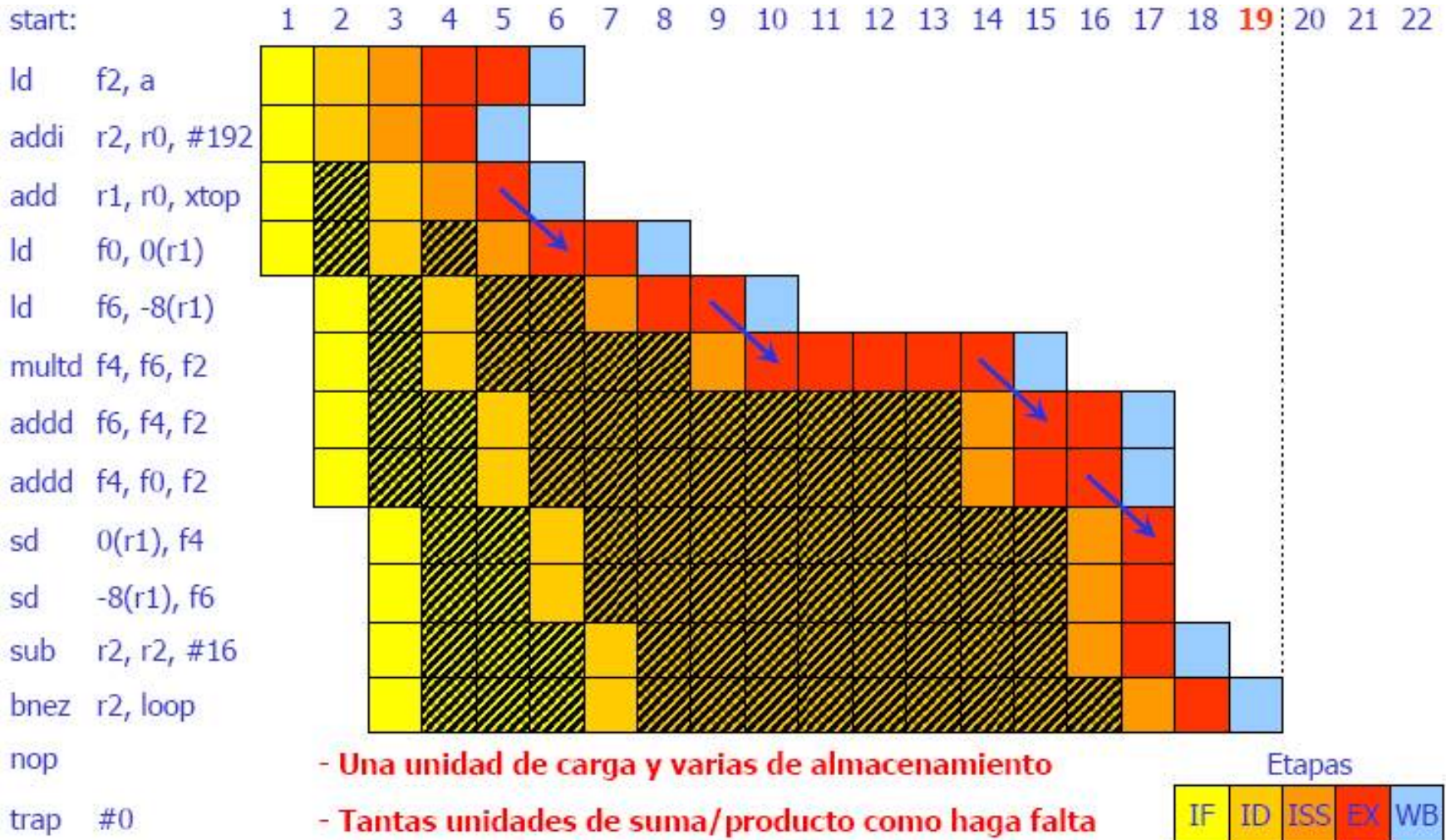
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

- Superescalar: emisión ordenada/finalización desordenada



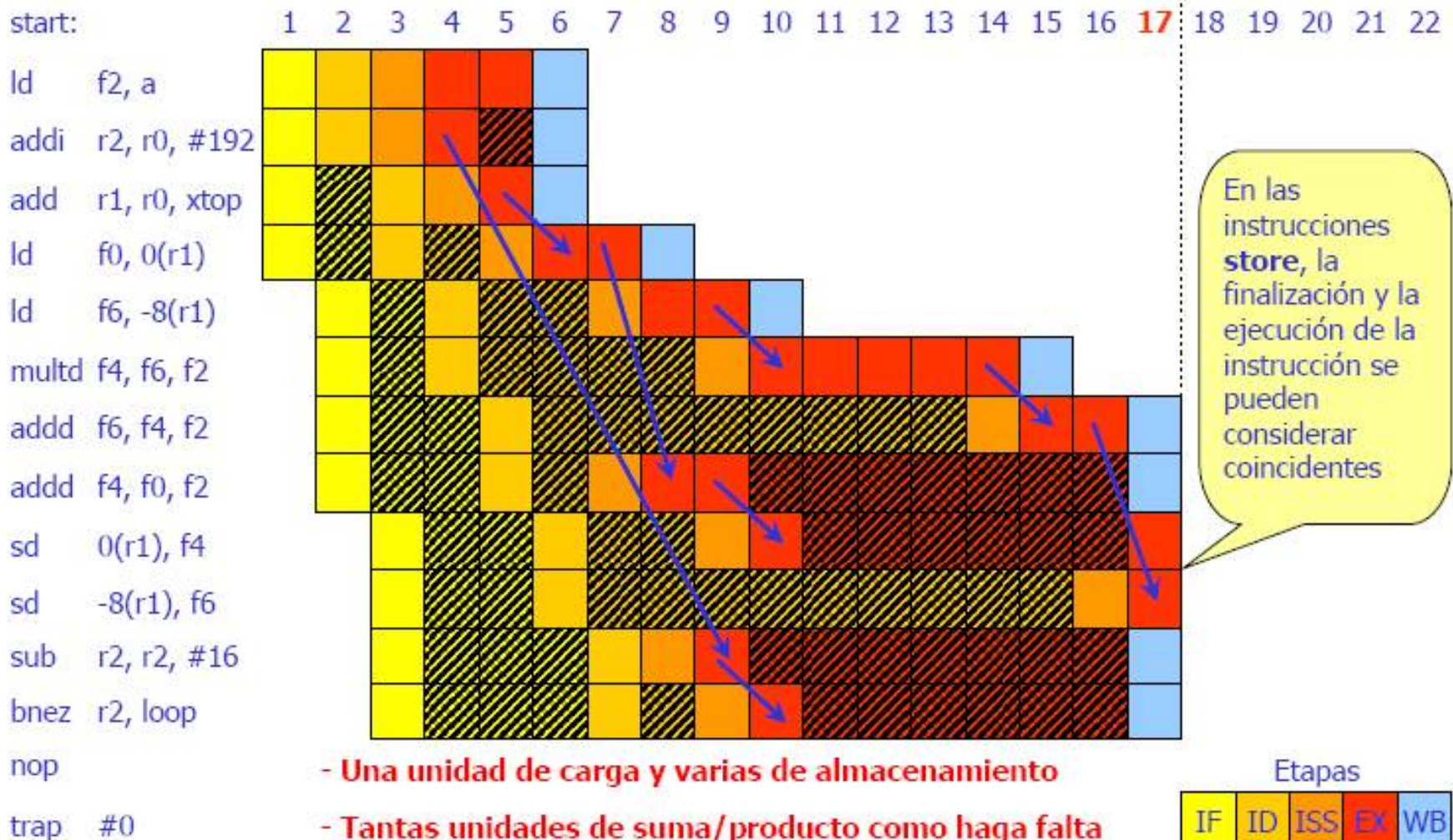
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

- Superescalar: emisión desordenada/finalización ordenada



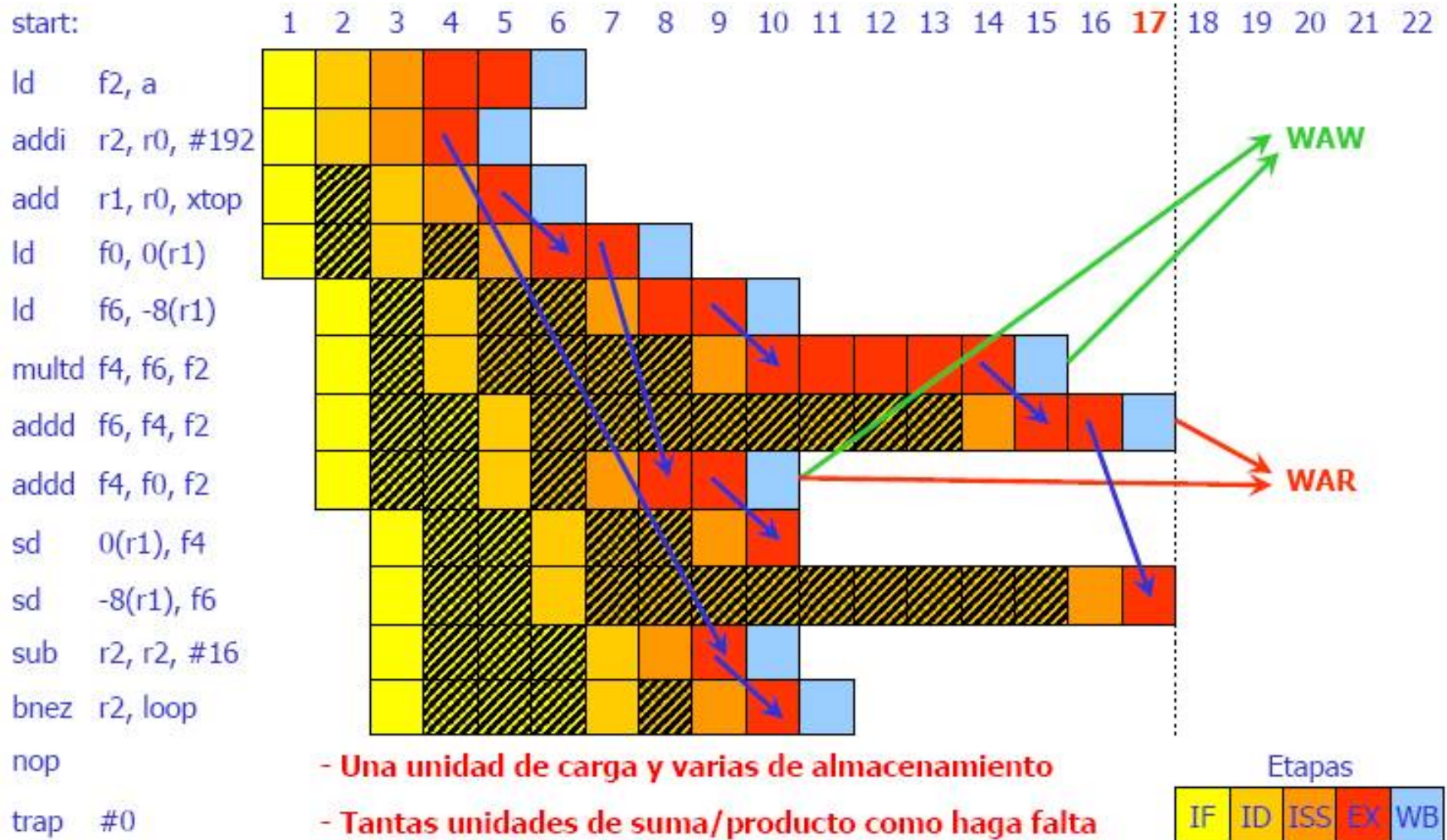
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

- Superescalar: emisión desordenada/finalización desordenada



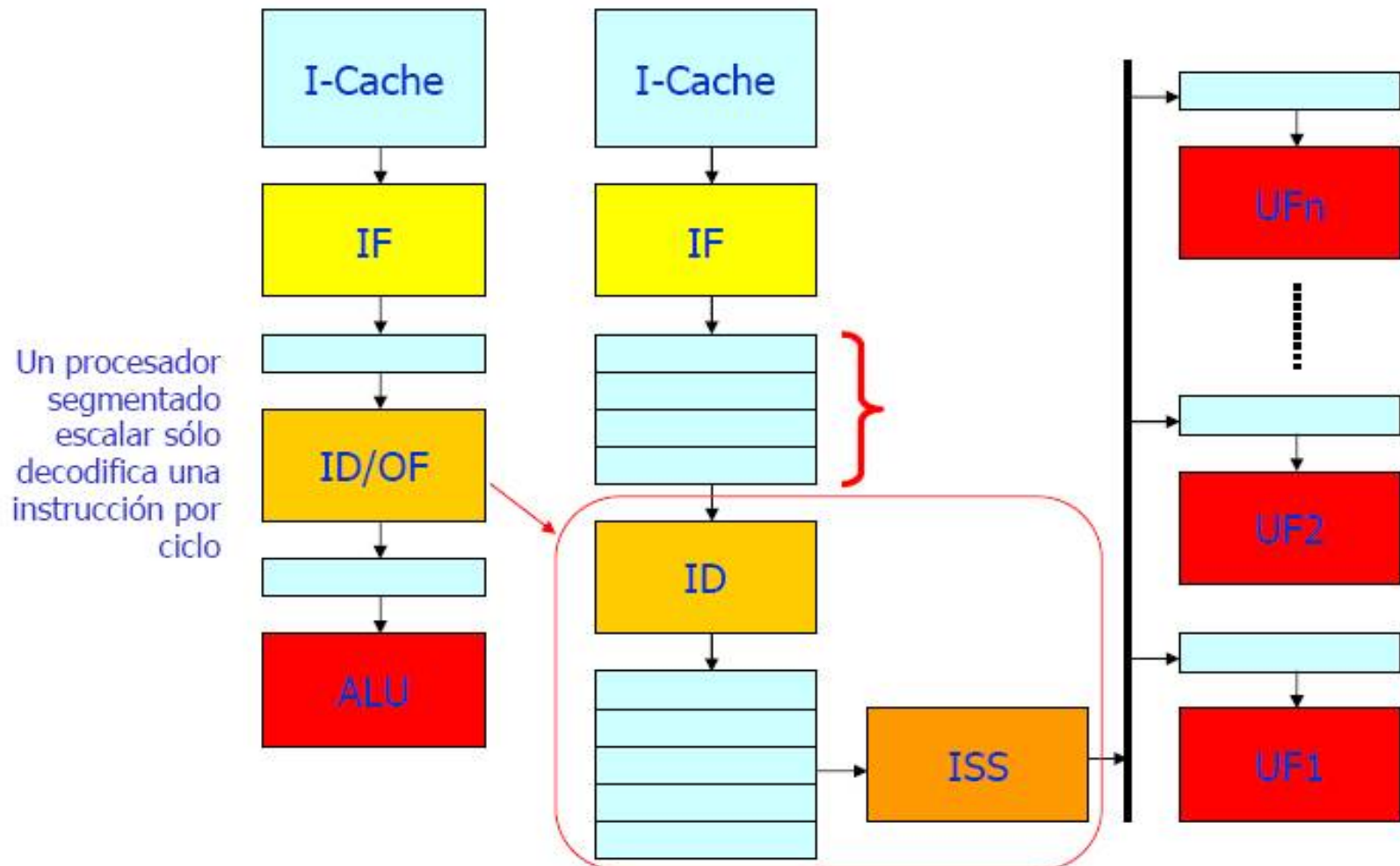
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación



En un procesador superescalar se han de decodificar varias instrucciones por ciclo (y comprobar las dependencias con las instrucciones que se están ejecutando)

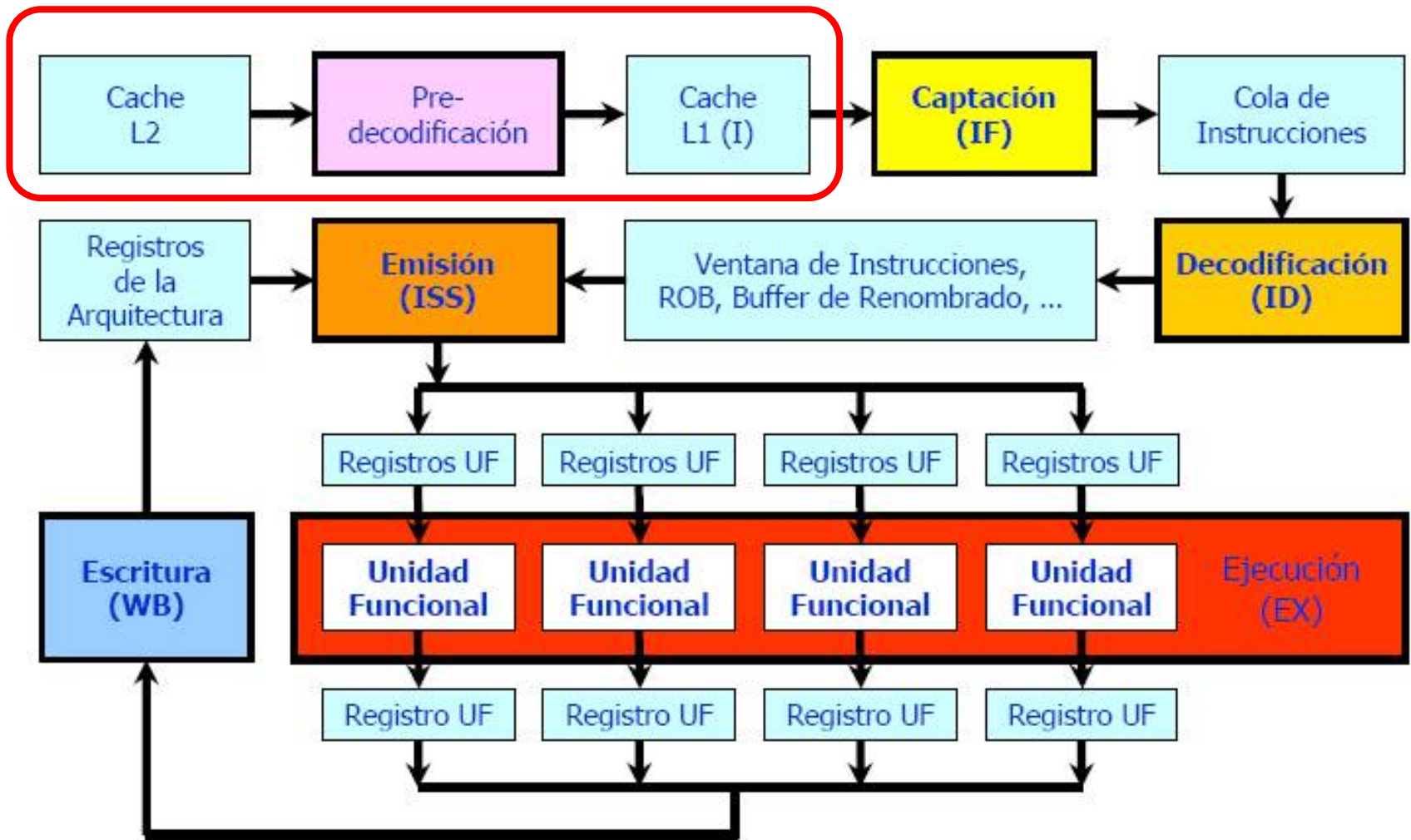
Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

- Bits de predecodificación pueden indicar:
 - Si es una instrucción de salto o no (se puede empezar su procesamiento antes)
 - El tipo de unidad funcional que va a utilizar (se puede emitir más rápidamente si hay cauces para enteros o coma flotante...)
 - Si hace referencia a memoria o no

Ingeniería de los Computadores

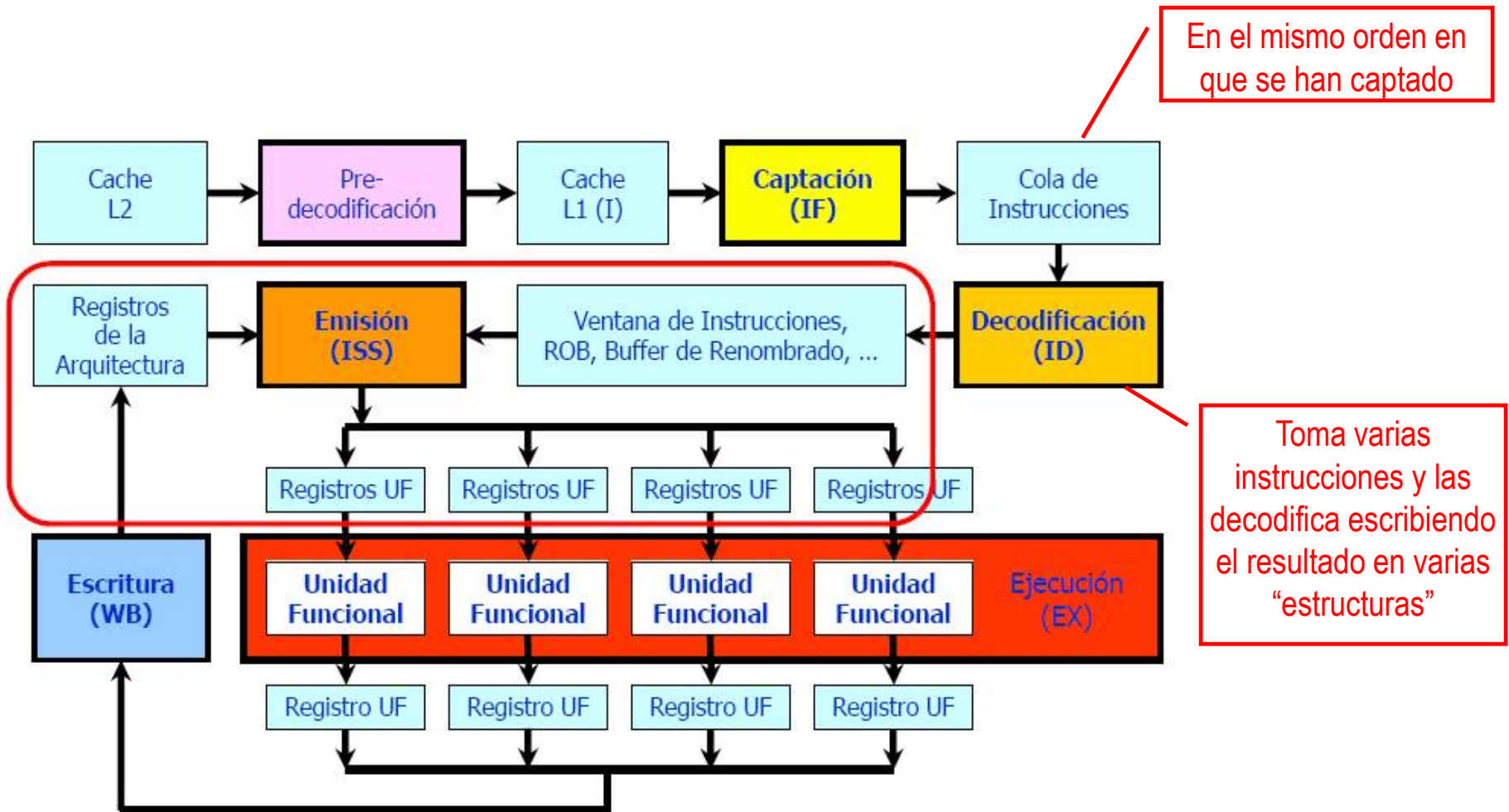
Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Ventana de instrucciones:
 - La ventana de instrucciones almacena las instrucciones pendientes (todas, si la ventana es centralizada o las de un tipo determinado, si es distribuida)
 - Las instrucciones se cargan en la ventana una vez decodificadas y se utiliza un bit para indicar si un operando está disponible (se almacena el valor o se indica el registro desde donde se lee) o no (se almacena la unidad funcional desde donde llegará el operando)
 - Una instrucción puede ser emitida cuando tiene todos sus operandos disponibles y la unidad funcional donde se procesará. Hay diversas posibilidades para el caso en el que varias instrucciones estén disponibles (características de los buses, etc.)

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

Ejemplo de Ventana de Instrucciones

#	opcode	address	rb_entry	operand1	ok1	typ1	operand2	ok2	typ2	pred
2	MULTD	loop + 0x4	2	1	0	FPD	0	0	FPD	—
1	LD	loop	1	0	0	INT	0	1	IMM	—

Dato no válido
(indica desde dónde se recibirá el dato)

Lugar donde se
almacenará el resultado

Dato válido
(igual a 0)

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- **Orden:** Emisión Ordenada o Desordenada
- **Alineamiento:** Emisión Alineada o No alineada

Ejemplos:

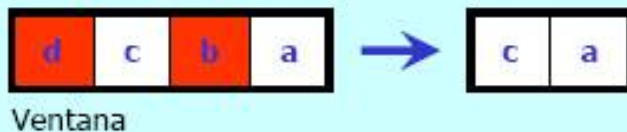
Alineada: SuperSparc (92), PowerPC (93, 95, 96), PA8000 (96), Alpha (92, 94, 95), R10000 (96)


No Alineada: MC88110 (93), PA7100LC (93), R8000 (94), UltraSparc (95)

Emisión Ordenada

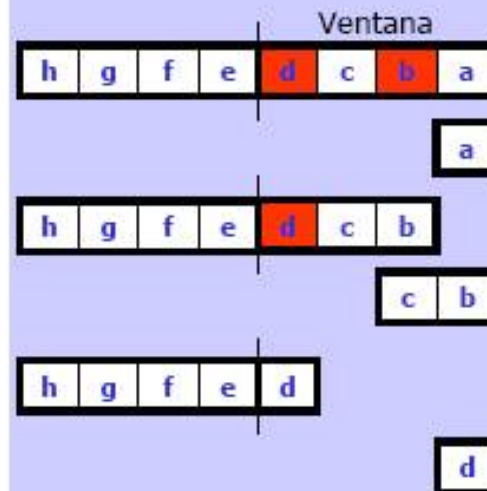


Emisión Desordenada



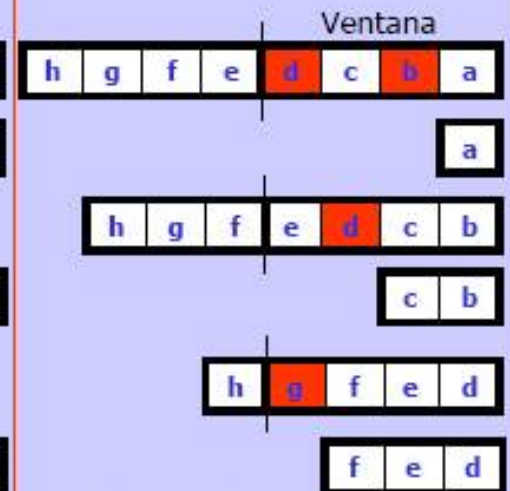
 Instrucción no preparada para la emisión

Emisión Alineada



Ordenada

Emisión No alineada



Ordenada

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -
mult r5 [r1] 1 - [r5] 1 -
add r4 [r1] 1 - [r2] 1 -

Ventana de
Registros

add/sub: 2
mult: 1

[1] add r4,r1,r2 (2)
[2] mult r5,r1,r5 (5)
[3] sub r6,r5,r2 (2)
[4] sub r5,r4,r3 (2)

↓ Se han emitido [1] y [2]

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -

↓ Ha terminado [1]

sub r5 [r4] 1 - [r3] 1 -
sub r6 r5 0 mult [r2] 1 -

Ha terminado [2]: pueden
emitirse [3] y [4]



sub r5 [r4] 1 - [r3] 1 -
sub r6 [r5] 1 - [r2] 1 -

[4] puede emitirse pero
debe esperar a la [3]

Instrucc.	ISS	EXE
add	(1)	(2)-(3)
mult	(1)	(2)-(6)
sub	(7)	(8)-(9)
sub	(7)	(8)-(9)

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -
mult r5 [r1] 1 - [r5] 1 -
add r4 [r1] 1 - [r2] 1 -

Ventana de
Registros

add/sub: 2
mult: 1

[1] add r4,r1,r2 (2)
[2] mult r5,r1,r5 (5)
[3] sub r6,r5,r2 (2)
[4] sub r5,r4,r3 (2)

↓ Se han emitido [1] y [2]

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -

↓ Ha terminado [1]

Ha terminado [2]: pueden
emitirse [3] y [4]

sub r5 [r4] 1 - [r3] 1 -
sub r6 r5 0 mult [r2] 1 -



sub r5 [r4] 1 - [r3] 1 -
sub r6 [r5] 1 - [r2] 1 -

[4] puede emitirse pero
debe esperar a la [3]

Instrucc.	ISS	EXE
add	(1)	(2)-(3)
mult	(1)	(2)-(6)
sub	(7)	(8)-(9)
sub	(7)	(8)-(9)

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

sub	r5	r4	0	add	[r3]	1	-
sub	r6	r5	0	mult	[r2]	1	-
mult	r5	[r1]	1	-	[r5]	1	-
add	r4	[r1]	1	-	[r2]	1	-

Ventana de Registros

add/sub: 2
mult: 1

[1] add r4,r1,r2 (2)
[2] mult r5,r1,r5 (5)
[3] sub r6,r5,r2 (2)
[4] sub r5,r4,r3 (2)

↓ Se han emitido [1] y [2]

sub	r5	r4	0	add	[r3]	1	-
sub	r6	r5	0	mult	[r2]	1	-

No afecta al tiempo

Instrucc.	ISS	EXE
add	(1)	(2)-(3)
mult	(1)	(2)-(6)
sub	(7)	(8)-(9)
sub	(4)	(5)-(6)

↓ Ha terminado [1]

Se ha emitido [4] y ha terminado [2]: puede emitirse [3]

sub	r5	[r4]	1	-	[r3]	1	-
sub	r6	r5	0	mult	[r2]	1	-



sub	r6	[r5]	1	-	[r2]	1	-

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -
mult r5 [r1] 1 - [r5] 1 -
add r4 [r1] 1 - [r2] 1 -

Ventana de Registros

add/sub: 1
mult: 1

[1] add r4,r1,r2 (2)
[2] mult r5,r1,r5 (5)
[3] sub r6,r5,r2 (2)
[4] sub r5,r4,r3 (2)

↓ Se han emitido [1] y [2]

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -

↓ Ha terminado [1]

sub r5 [r4] 1 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -



Ha terminado [2] y se ha emitido [3].
Cuando la unidad quede libre se emitirá [4]

sub r5 [r4] 1 - [r3] 1 -

Instrucc.	ISS	EXE
add	(1)	(2)-(3)
mult	(1)	(2)-(6)
sub	(7)	(8)-(9)
sub	(10)	(11)-(12)

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -
mult r5 [r1] 1 - [r5] 1 -
add r4 [r1] 1 - [r2] 1 -

Ventana de Registros

add/sub: 1
mult: 1

[1] add r4,r1,r2 (2)
[2] mult r5,r1,r5 (5)
[3] sub r6,r5,r2 (2)
[4] sub r5,r4,r3 (2)

↓ Se han emitido [1] y [2]

sub r5 r4 0 add [r3] 1 -
sub r6 r5 0 mult [r2] 1 -

**Se ganan
3 ciclos**

Instrucc.	ISS	EXE
add	(1)	(2)-(3)
mult	(1)	(2)-(6)
sub	(7)	(8)-(9)
sub	(4)	(5)-(6)

↓ Ha terminado [1]

Se ha emitido [4] y ha terminado [2]: puede emitirse [3]

sub r5 [r4] 1 - [r3] 1 -
sub r6 r5 0 mult [r2] 1 -



sub r6 [r5] 1 - [r2] 1 -

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Estaciones de reserva

sub	r5	r4	0	add	[r3]	1	-
sub	r6	r5	0	mult	[r2]	1	-
mult	r5	[r1]	1	-	[r5]	1	-
add	r4	[r1]	1	-	[r2]	1	-

Cola de Instrucciones

add/sub: 1
mult: 1

[1] add r4,r1,r2 (2)
[2] mult r5,r1,r5 (5)
[3] sub r6,r5,r2 (2)
[4] sub r5,r4,r3 (2)



sub	r5	r4	0	add	[r3]	1	-

Cola de Instrucciones

ID/ISS

sub r6 r5 0 mult [r2] 1 -
add r4 [r1] 1 - [r2] 1 -

Estaciones de Reserva
(con capacidad para dos instrucciones)

mult r5 [r1] 1 - [r5] 1 -

Ingeniería de los Computadores

Sesión 2. Superescalares

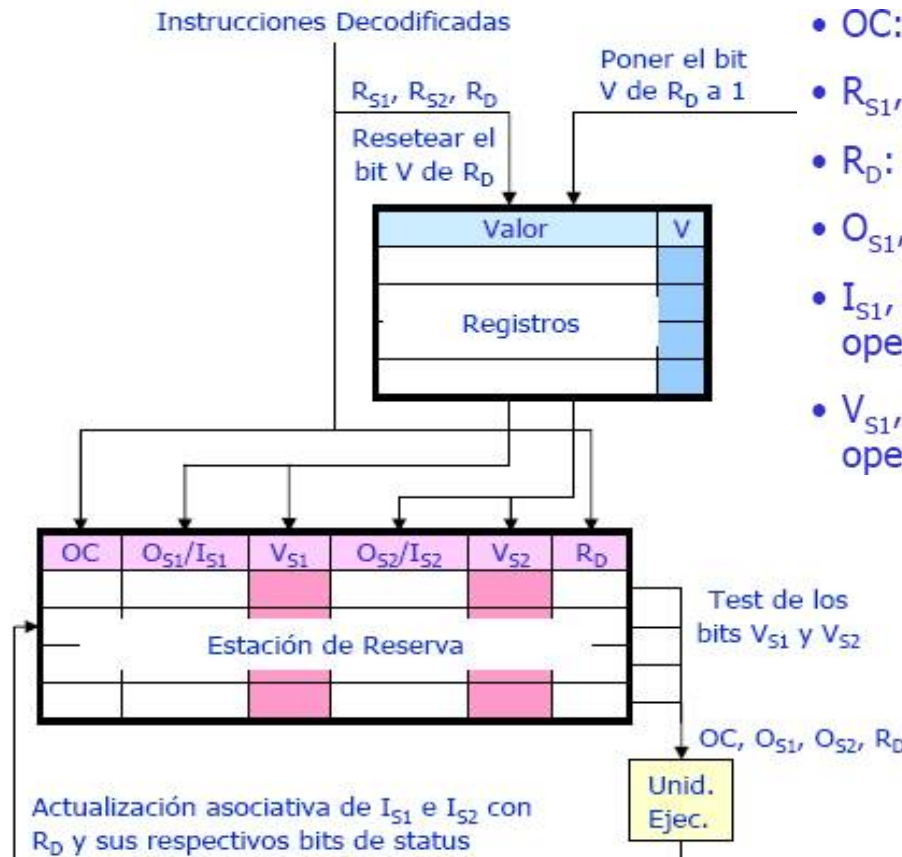
Motivación

Cauce

Decodificación

Emisión

- Estaciones de reserva



- OC: Código de operación
- R_{S1}, R_{S2} : Registros fuente
- R_D : Registro de destino
- O_{S1}, O_{S2} : Operandos fuente
- I_{S1}, I_{S2} : Identificadores de los operandos fuente
- V_{S1}, V_{S2} : Bits válidos de los operandos fuente

Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Estaciones de reserva. Ejemplo de uso (1)

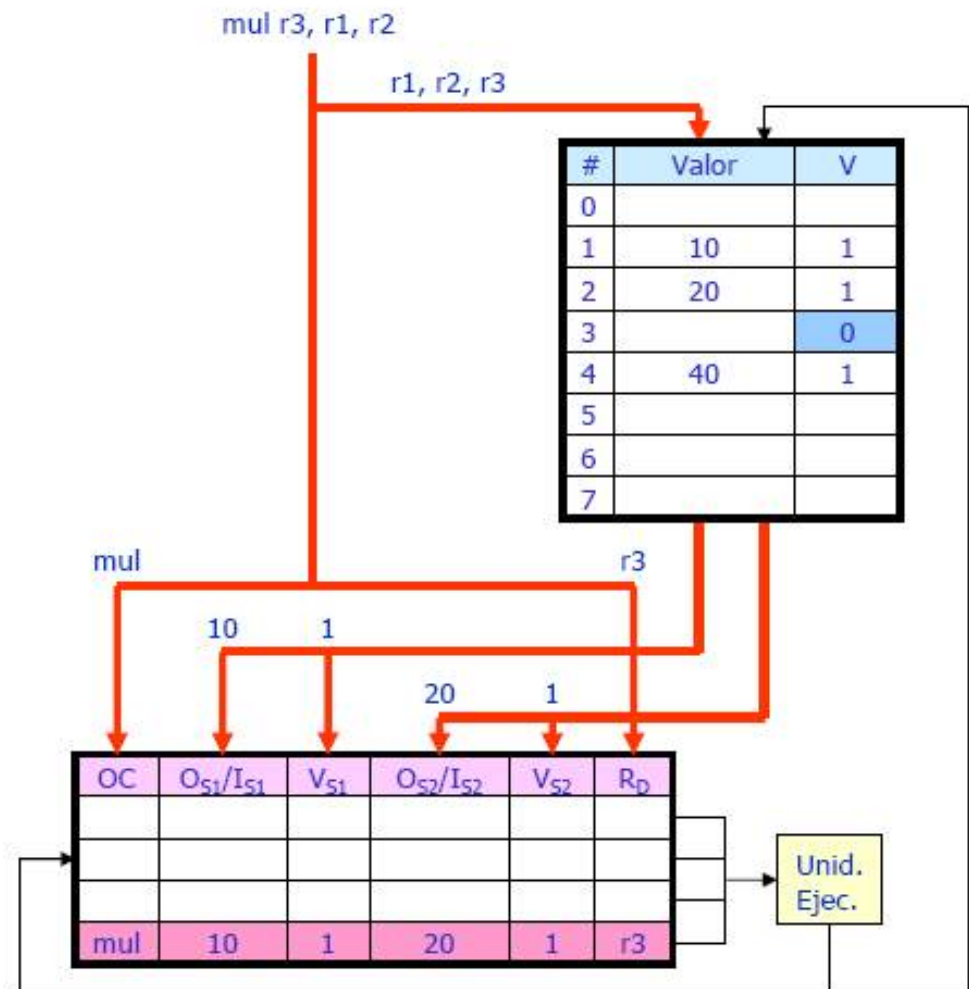
Ciclo i: mul r3, r1, r2

Ciclo i+1: add r5, r2, r3

add r6, r3, r4

Ciclo i:

- Se emite la instrucción de multiplicación, ya decodificada, a la estación de reserva
- Se anula el valor de r3 en el banco de registros
- Se copian los valores de r1 y r2 (disponibles) en la estación de reserva



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

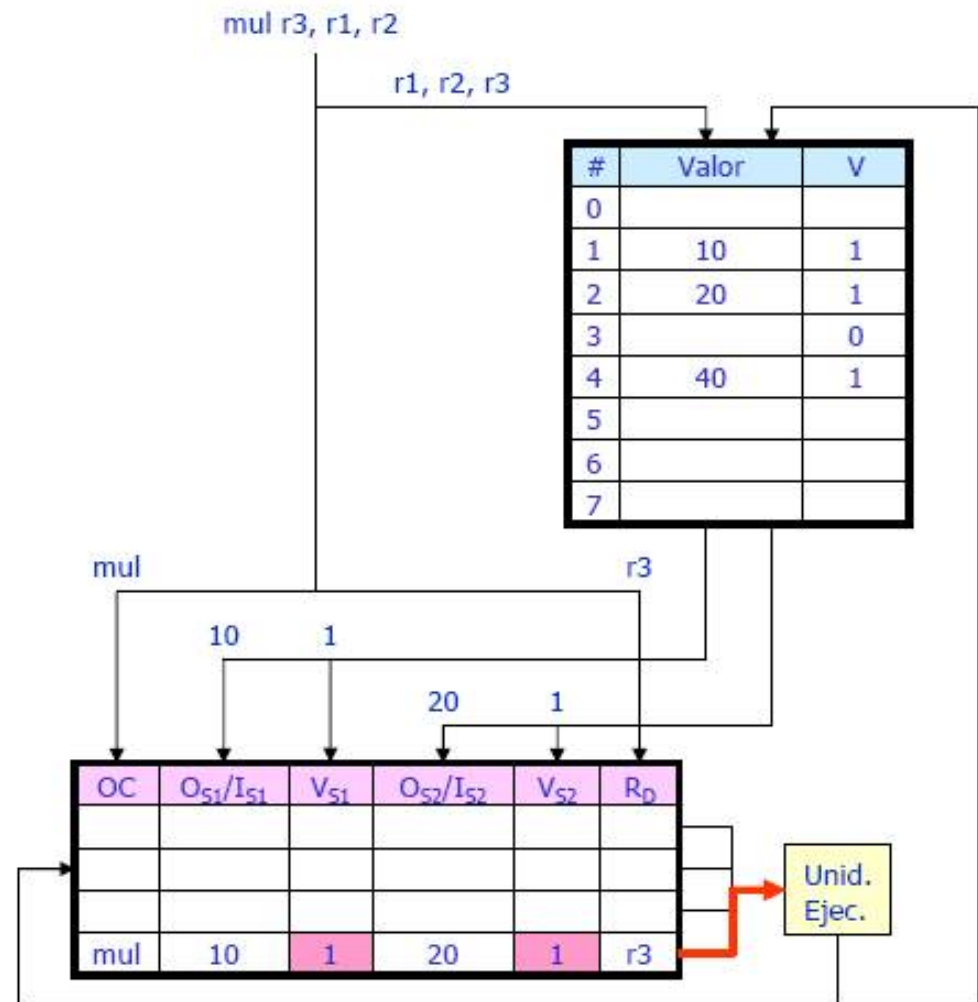
Emisión

- Estaciones de reserva. Ejemplo de uso (2)

Ciclo i: mul r3, r1, r2
Ciclo i+1: add r5, r2, r3
add r6, r3, r4

Ciclo i + 1:

- La operación de multiplicación tiene sus operadores preparados ($V_{S1} = 1$ y $V_{S2} = 1$)
- Así que puede enviarse a la unidad de ejecución



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Estaciones de reserva. Ejemplo de uso (3)

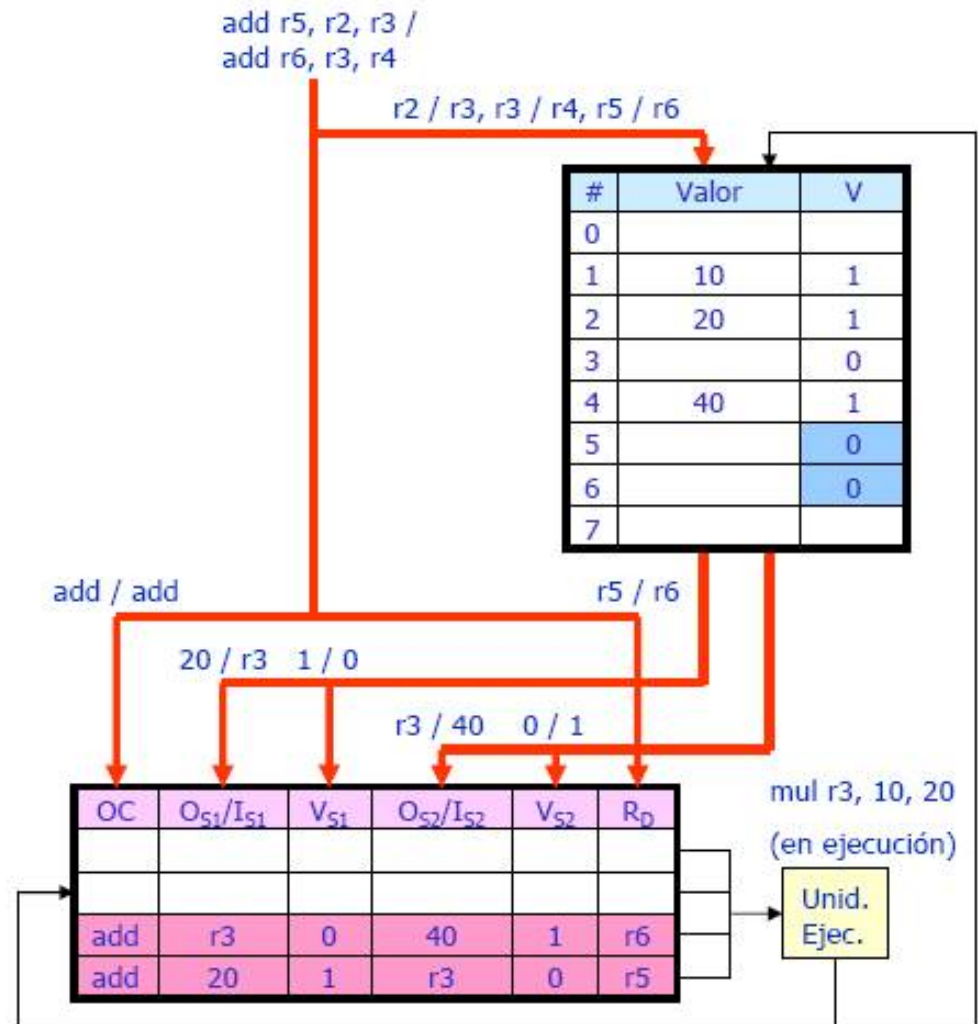
Ciclo i: mul r3, r1, r2

Ciclo i+1: add r5, r2, r3

add r6, r3, r4

Ciclo i + 1 (*cont.*):

- Se emiten las dos instrucciones de suma a la estación de reserva
- Se anulan los valores de r5 y r6 en el banco de registros
- Se copian los valores de los operandos disponibles y los identificadores de los operandos no preparados



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

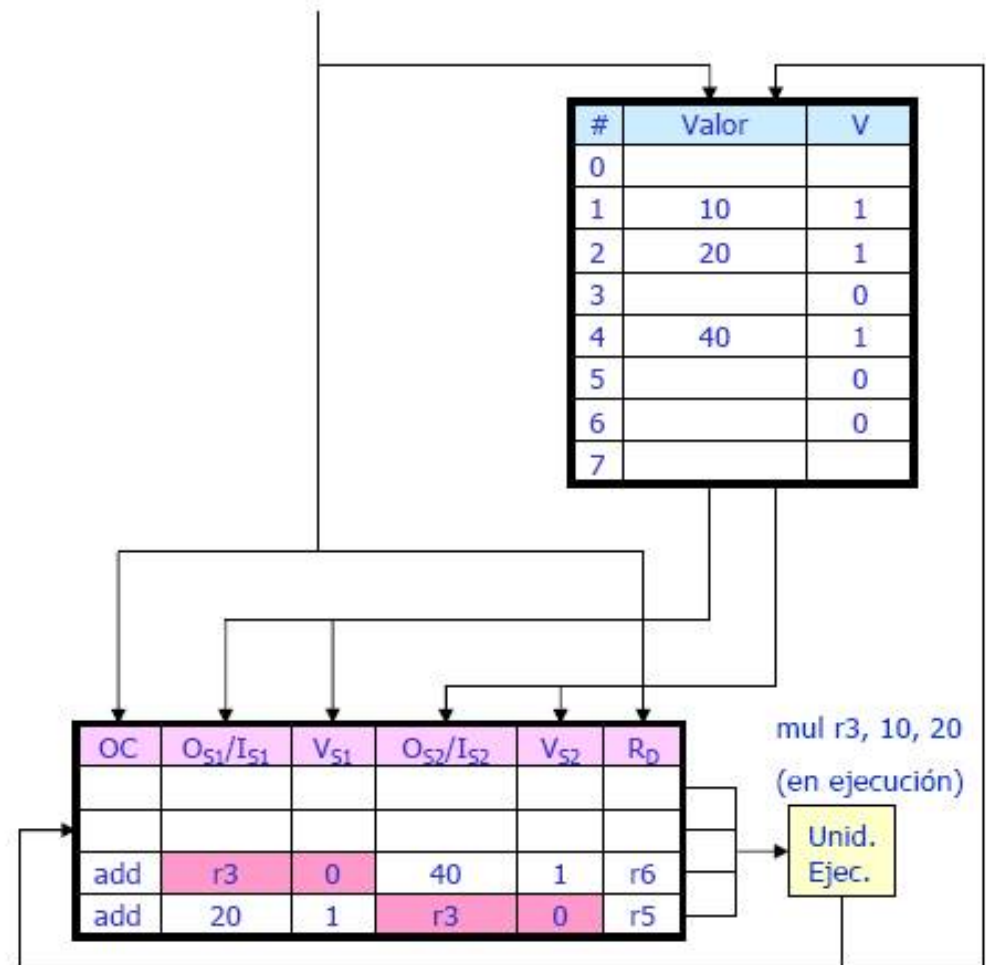
Emisión

- Estaciones de reserva. Ejemplo de uso (4)

Ciclo i: mul r3, r1, r2
Ciclo i+1: add r5, r2, r3
add r6, r3, r4

Ciclos $i + 2 \dots i + 5$:

- La multiplicación sigue ejecutándose
- No se puede ejecutar ninguna suma hasta que esté disponible el resultado de la multiplicación (r3)



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Estaciones de reserva. Ejemplo de uso (5)

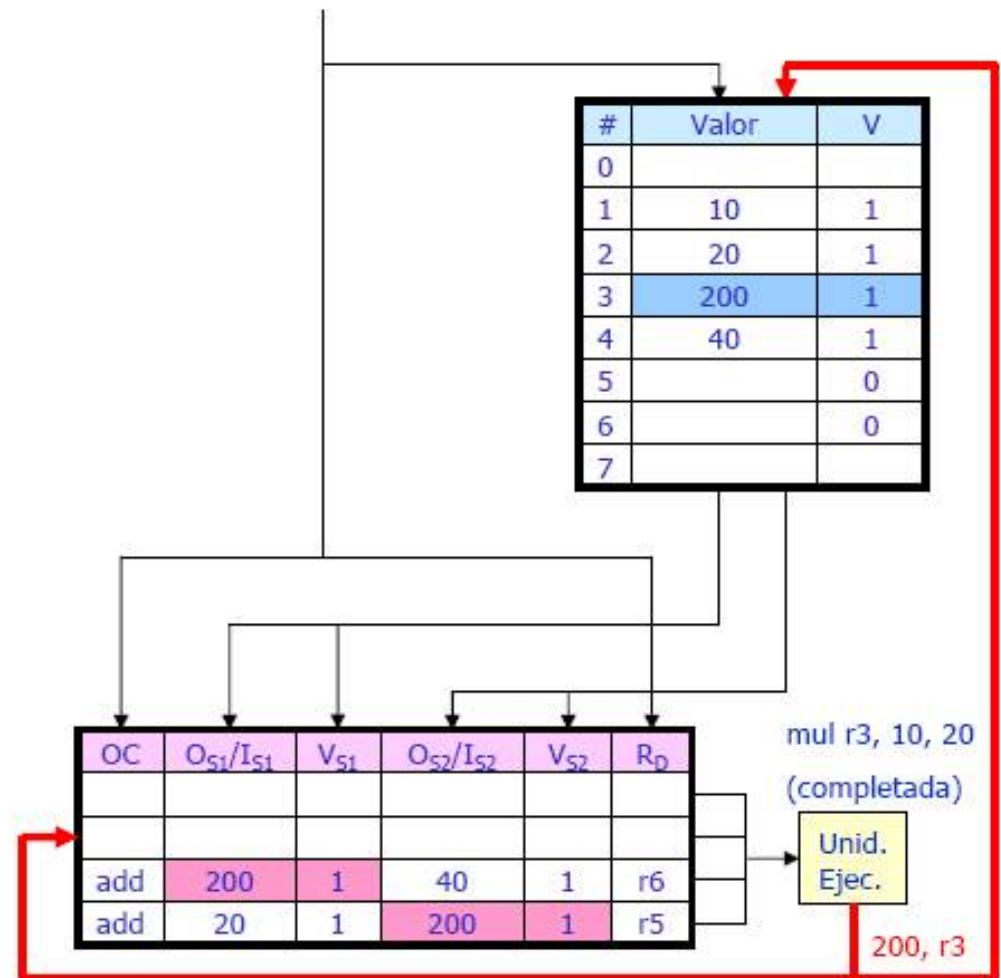
Ciclo i: mul r3, r1, r2

Ciclo i+1: add r5, r2, r3

add r6, r3, r4

Ciclo i + 6:

- Se escribe el resultado de la multiplicación en el banco de registros y en las entradas de la estación de reserva
- Se actualizan los bits de disponibilidad de r3 en el banco de registros y en la estación de reserva



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Estaciones de reserva. Ejemplo de uso (6)

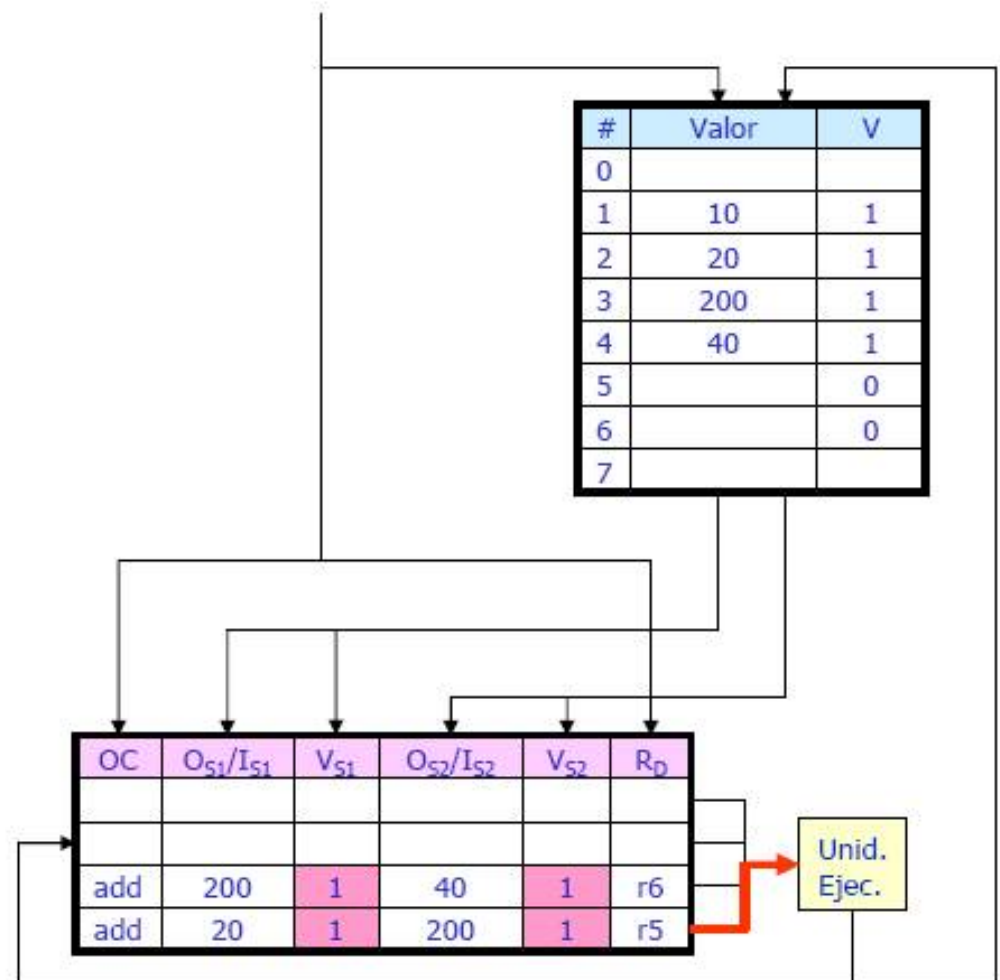
Ciclo i: mul r3, r1, r2

Ciclo i+1: add r5, r2, r3

add r6, r3, r4

Ciclo i + 6 (*cont.*):

- Las sumas tienen sus operadores preparados ($VS1 = 1$ y $VS2 = 1$)
- Así que pueden enviarse a la unidad de ejecución



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Estaciones de reserva. Ejemplo de uso (7)

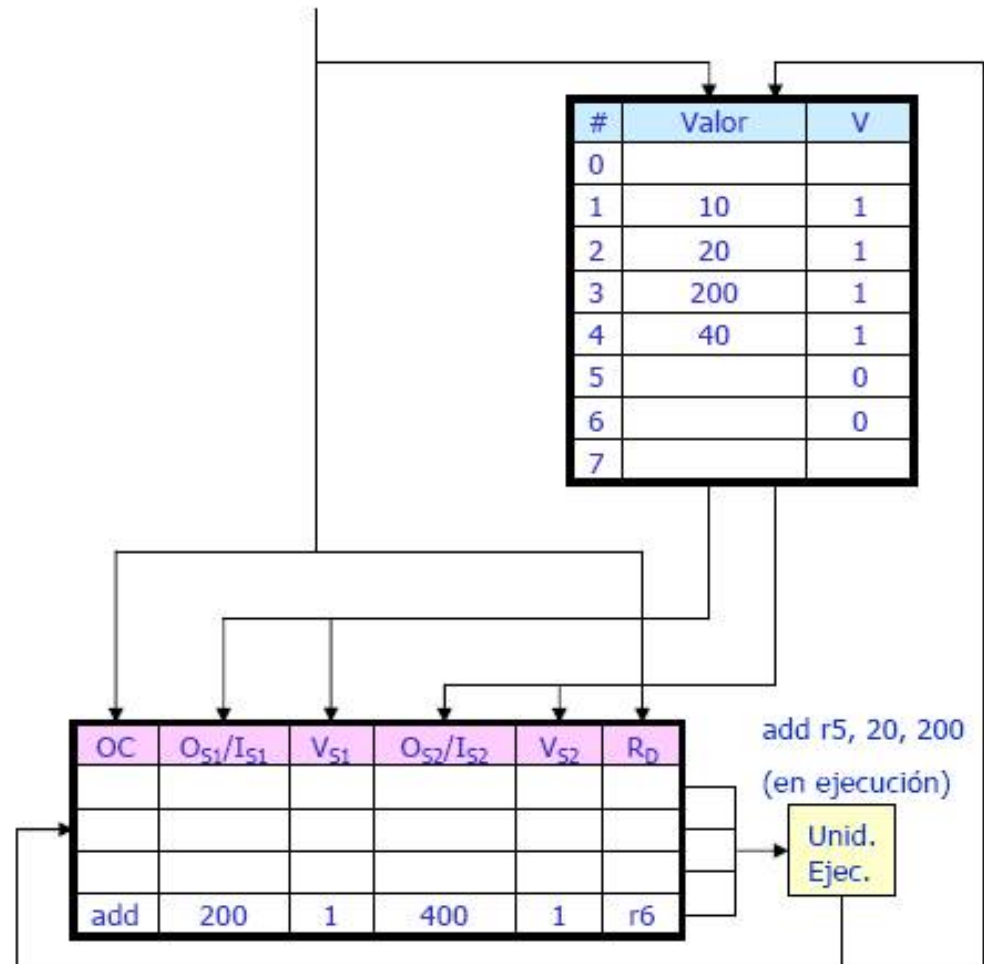
Ciclo i: mul r3, r1, r2

Ciclo i+1: add r5, r2, r3

add r6, r3, r4

Ciclo i + 6 (*cont.*):

- Como sólo hay una unidad de ejecución, se envía la instrucción más antigua de la estación de reserva, la primera suma



Ingeniería de los Computadores

Sesión 2. Superescalares

Motivación

Cauce

Decodificación

Emisión

- Ejercicio
 - Emisión ordenada/desordenada
 - Recursos: 1 lw/sw, 1 add/sub, 1 mult/div
 - Recursos: 1 lw/sw, 2 add/sub, 2 mult/div
 - Latencia: lw/sw (5 ciclos), add/sub (2 ciclos), mult/div (5 ciclos)

```
Lw r1,0(r2)
Add r2,r1,r3
Mult r3,r1,r2
Sub r4,r1,r2
Add r4,r1,r2
Div r4,r5,r6
```