



# **Ingeniería de los Computadores**

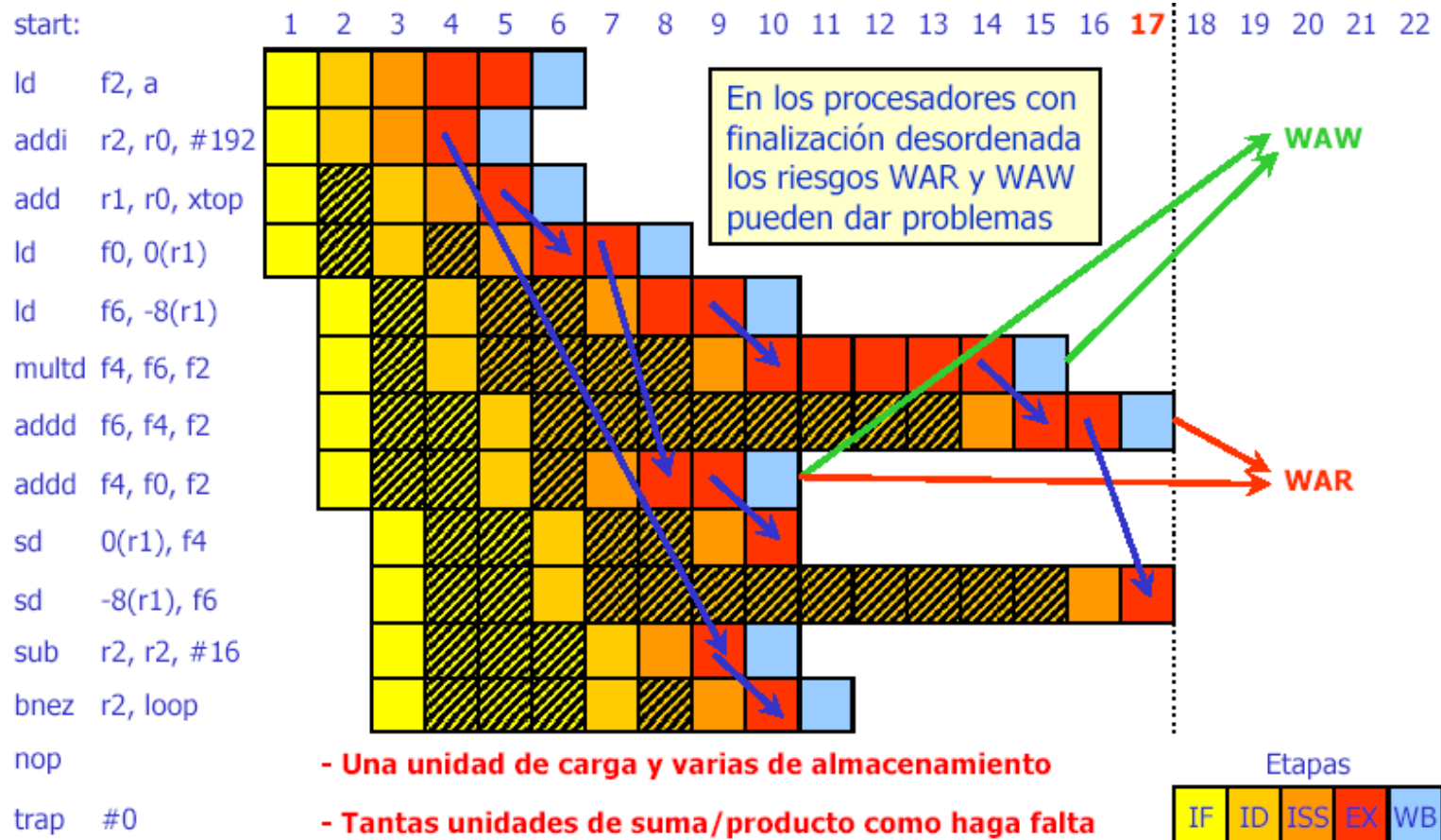
Sesión 3. Superescalares: estructuras

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

- Renombrado de registros (motivación)



# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

- Técnica para **evitar el efecto de las dependencias WAR, o Antidependencias** (en la emisión desordenada) y **WAW, o Dependencias de Salida** (en la ejecución desordenada).

**R3 := R3 - R5**

**R4 := R3 + 1**

**R3 := R5 + 1**

**R7 := R3 \* R4**



Cada escritura se asigna  
a un registro físico distinto

**R3b := R3a - R5a**

**R4a := R3b + 1**

**R3c := R5a + 1**

**R7a := R3c \* R4a**

Sólo RAW

R.M. Tomasulo (67)

**Implementación Estática:** Durante la Compilación

**Implementación Dinámica:** Durante la Ejecución (circuitaría adicional y registros extra)

### Características de los Buffers de Renombrado

- **Tipos de Buffers** (separados o mezclados con los registros de la arquitectura)
- **Número de Buffers de Renombrado**
- **Mecanismos para acceder a los Buffers** (asociativos o Indexados)

### Velocidad del Renombrado

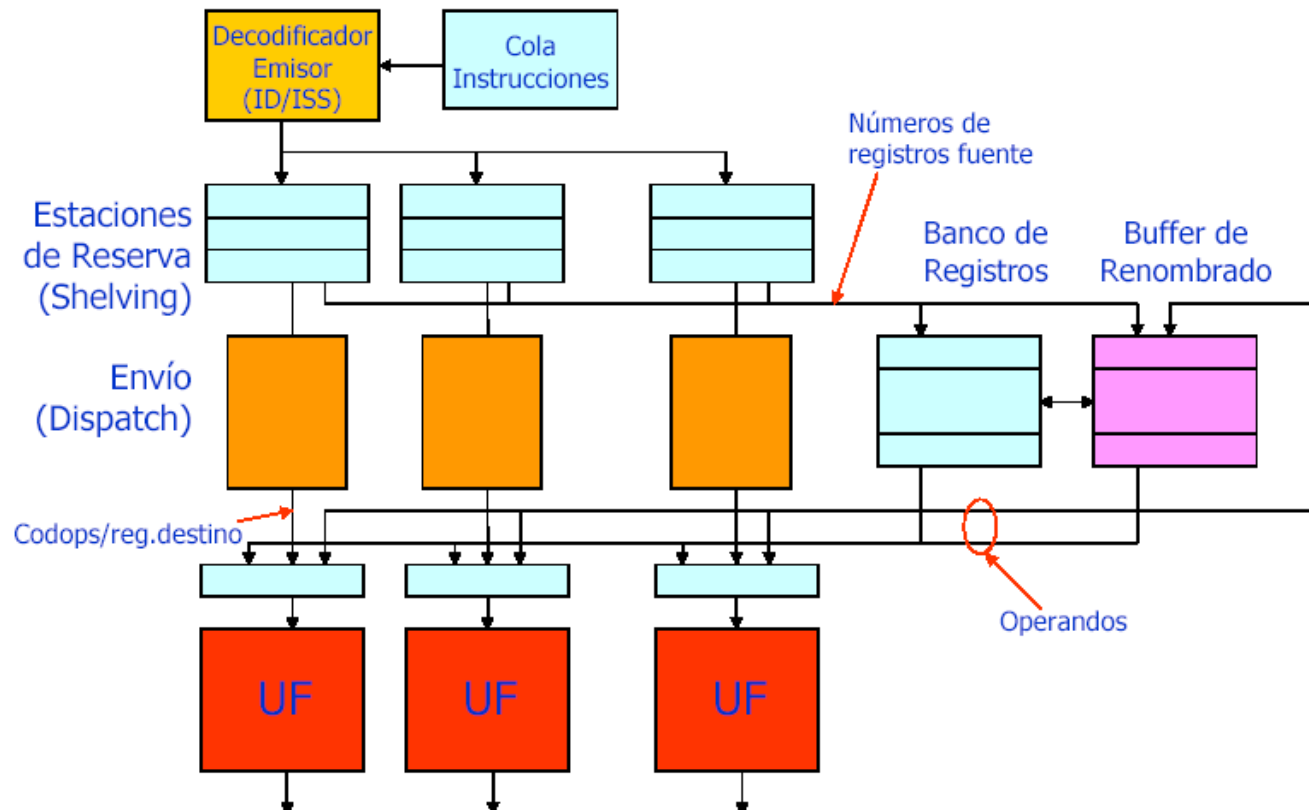
- **Máximo número de nombres asignados por ciclo** que admite el procesador

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

- Renombrado de registros
  - Estaciones de reserva + buffer de renombrado



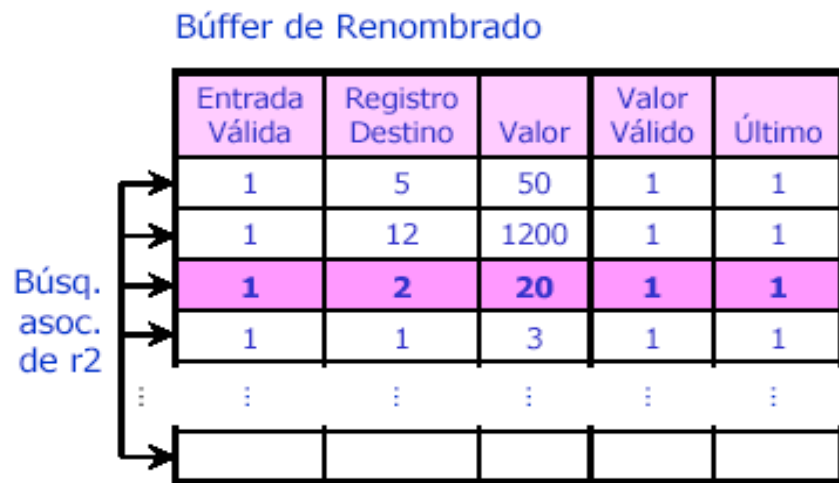
# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

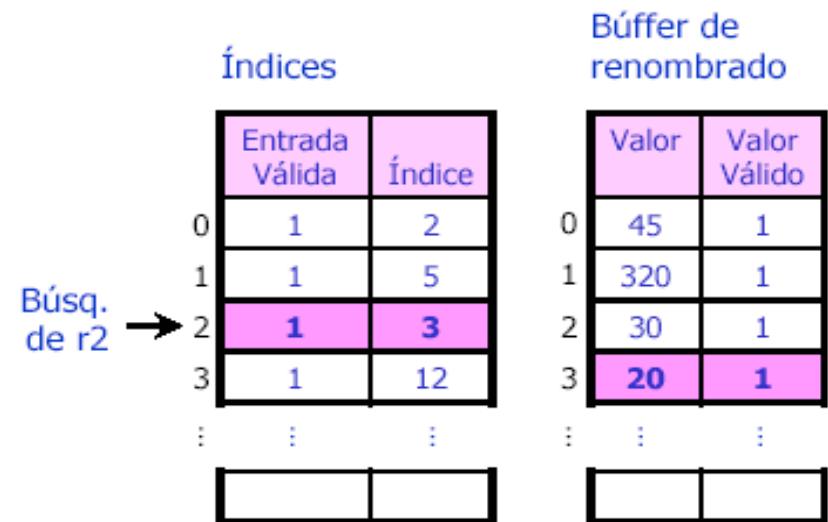
- Tipos de buffers de renombrado

#### Buffer de Renombrado con Acceso Asociativo



- Permite varias escrituras pendientes a un mismo registro
- Se utiliza el bit último para marcar cual ha sido la más reciente

#### Buffer de Renombrado con Acceso Indexado



- Sólo permite una escritura pendiente a un mismo registro
- Se mantiene la escritura más reciente

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado (I)

	Entrada Válida	Registro Destino	Valor	Valor Válido	Último
0	1	4	40	1	1
1	1	0	0	1	1
2	1	1	10	1	0
3	1	1	15	1	1
4	0				
5	0				
6	0				
7	0				
8	0				
9	0				
10	0				
11	0				
12	0				
13	0				
14	0				

```
mul r2, r0, r1
add r3, r1, r2
sub r2, r0, r1
```

$r2a = r0a * r1a$   
 $r3a = r1a + r2a$   
 $r2b = r0a - r1a$

### Situación Inicial:

- Existen dos renombrados de r1 en las entradas 2 y 3 del buffer
- La última está en la entrada 3

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado (II)

	Entrada Válida	Registro Destino	Valor	Valor Válido	Último
0	1	4	40	1	1
1	1	0	0	1	1
2	1	1	10	1	0
3	1	1	15	1	1
4	1	2		0	1
5	0				
6	0				
7	0				
8	0				
9	0				
10	0				
11	0				
12	0				
13	0				
14	0				

  
r0: 0, "válido"

  
r1: 15, "válido"

  
4

```
mul r2, r0, r1
add r3, r1, r2
sub r2, r0, r1
```

#### Ciclo i:

- Se emite la multiplicación
- Se accede a los operandos de la multiplicación, que tienen valores válidos en el buffer de renombrado
- Se renombra r2 (el destino de mul)

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado (III)

	Entrada Válida	Registro Destino	Valor	Valor Válido	Último
0	1	4	40	1	1
1	1	0	0	1	1
2	1	1	10	1	0
3	1	1	15	1	1
4	1	2		0	1
5	1	3		0	1
6	0				
7	0				
8	0				
9	0				
10	0				
11	0				
12	0				
13	0				
14	0				

 **r1: 15, "válido"**       **r2: "no válido"**       **5**

```
mul r2, r0, r1
add r3, r1, r2
sub r2, r0, r1
```

Ciclo  $i + 1$ :

- Se emite la suma
- Se accede a sus operandos, pero r2 no estará preparado hasta que termine la multiplicación
- Se renombra r3 (destino de add)



# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado (IV)

	Entrada Válida	Registro Destino	Valor	Valor Válido	Último
0	1	4	40	1	1
1	1	0	0	1	1
2	1	1	10	1	0
3	1	1	15	1	1
4	1	2		0	0
5	1	3		0	1
6	1	2		0	1
7	0				
8	0				
9	0				
10	0				
11	0				
12	0				
13	0				
14	0				

  
r0: 0, "válido"

  
r1: 15, "válido"

  
6

```
mul r2, r0, r1
add r3, r1, r2
sub r2, r0, r1
```

Ciclo i + 2:

- Se emite la resta
- Se accede a sus operandos
- Se vuelve a renombrar r2 (destino de sub)

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado (V)

	Entrada Válida	Registro Destino	Valor	Valor Válido	Último
0	1	4	40	1	1
1	1	0	0	1	1
2	1	1	10	1	0
3	1	1	15	1	1
4	1	2	0	1	0
5	1	3		0	1
6	1	2		0	1
7	0				
8	0				
9	0				
10	0				
11	0				
12	0				
13	0				
14	0				

 **r1: 15, "válido"**    **r2: 0, "válido"**

```
mul r2, r0, r1
add r3, r1, r2
sub r2, r0, r1
```

Ciclo i + 5:

- Termina la multiplicación
- Se actualiza el resultado en el buffer de renombrado
- Ya se puede ejecutar la suma con el valor de r2 de la entrada 4
- Cuando termine la resta escribirá otro valor para r2 en la entrada 6
- Sólo se escribirá en el banco de registros el último valor de r2

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado y Estaciones de Reserva

#### Emisión de la multiplicación

mult r2,r0,r1
add r3,r1,r2
sub r2,r0,r1

Cola de Instrucciones

Se añade la línea en el RB durante la emisión

2

Banco de Registros

r0	0
r1	10
r2	20
r3	30
r4	40
r5	50

1

Se búscan los operando en el Buffer

2

Los que no estén  
Se buscan en el  
Banco de Regs

Buffer de Renombrado

#	EV	Dest.	Valor	Valid	Ult
0	1	4	60	1	1
1	1	2			1
2	0				
3	0				
4	0				

Estaciones de Reserva

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino
mult	0	1	10	1	1

mult

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino

add/  
sub

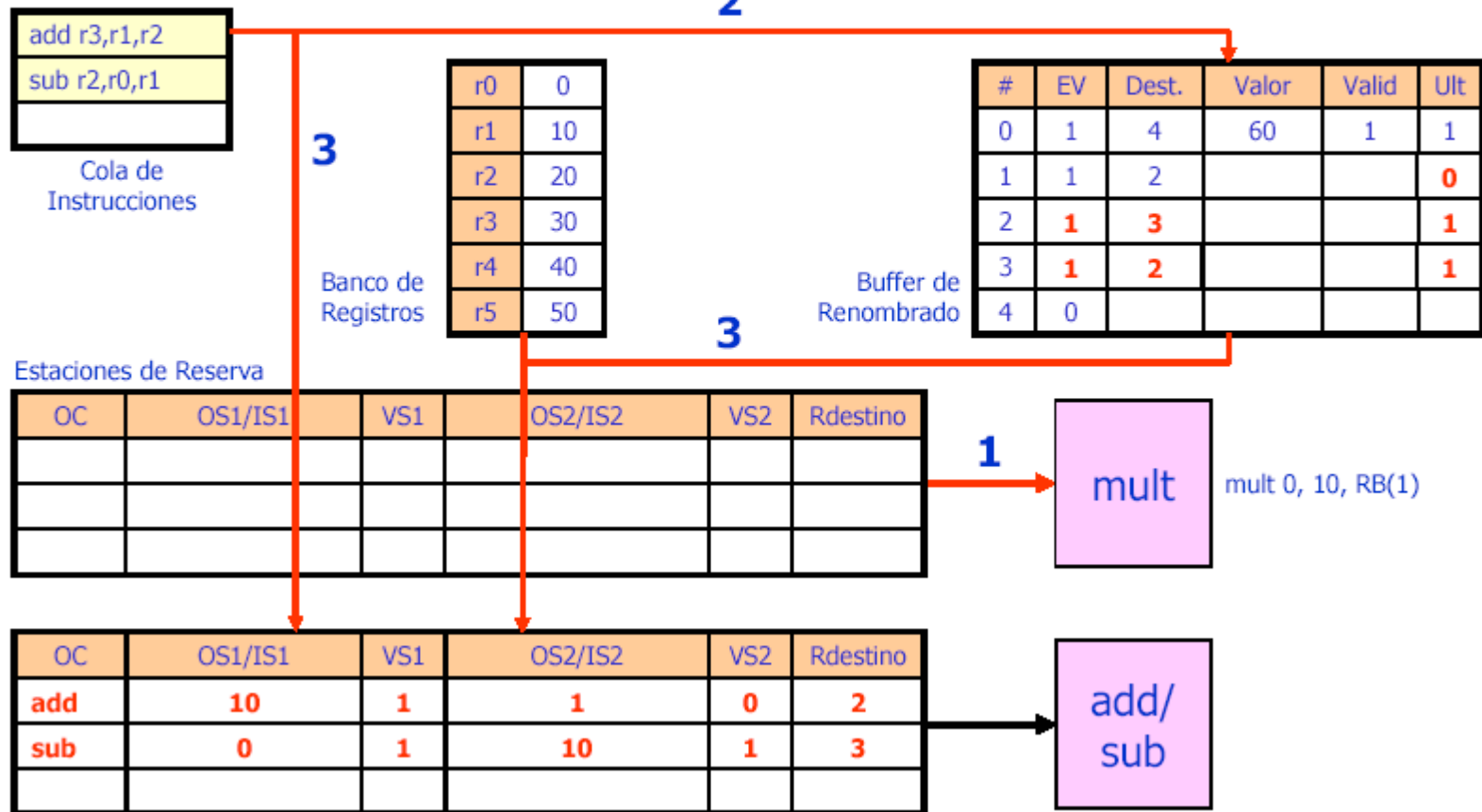
# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado y Estaciones de Reserva (II)

Envío de la multiplicación y emisión de las suma y la resta



# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado y Estaciones de Reserva (III)

#### Envío de la resta


Cola de  
Instrucciones

Banco de  
Registros

r0	0
r1	10
r2	20
r3	30
r4	40
r5	50

Buffer de  
Renombrado

#	EV	Dest.	Valor	Valid	Ult
0	1	4	60	1	1
1	1	2			0
2	1	3			1
3	1	2			1
4	0				

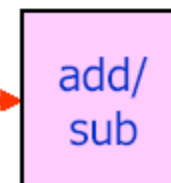
Estaciones de Reserva

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino



mult 0, 10, RB(1)

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino
add	10	1	1	0	2



sub 0, 10, RB(3)

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado y Estaciones de Reserva (IV)

Termina la resta


Cola de  
Instrucciones

Banco de  
Registros

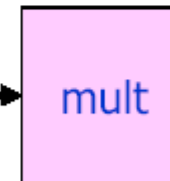
r0	0
r1	10
r2	20
r3	30
r4	40
r5	50

Buffer de  
Renombrado

#	EV	Dest.	Valor	Valid	Ult
0	1	4	60	1	1
1	1	2			0
2	1	3			1
3	1	2	-10	1	1
4	0				

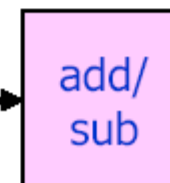
Estaciones de Reserva

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino



mult 0, 10, RB(1)

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino
add	10	1	1	0	2



sub 0, 10, RB(3)

1

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado y Estaciones de Reserva (V)

Termina la multiplicación


Cola de Instrucciones

Banco de Registros

r0	0
r1	10
r2	20
r3	30
r4	40
r5	50

Buffer de Renombrado

#	EV	Dest.	Valor	Valid	Ult
0	1	4	60	1	1
1	1	2	0	1	0
2	1	3			1
3	1	2	-10	1	1
4	0				

Estaciones de Reserva

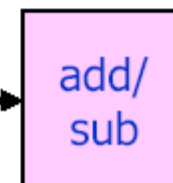
OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino



mult 0, 10, RB(1)

1

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino
add	10	1	0	1	2



# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado y Estaciones de Reserva (VI)

#### Envío de la suma


Cola de  
Instrucciones

Banco de  
Registros

r0	0
r1	10
r2	20
r3	30
r4	40
r5	50

Buffer de  
Renombrado

#	EV	Dest.	Valor	Valid	Ult
0	1	4	60	1	1
1	1	2	0	1	0
2	1	3			1
3	1	2	-10	1	1
4	0				

Estaciones de Reserva

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino

mult

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino

1

add/  
sub

add 10, 0, RB(2)



# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

### Ejemplo de Renombrado y Estaciones de Reserva (VII)

Termina la suma


Cola de  
Instrucciones

Banco de  
Registros

r0	0
r1	10
r2	20
r3	30
r4	40
r5	50

Buffer de  
Renombrado

#	EV	Dest.	Valor	Valid	Ult
0	1	4	60	1	1
1	1	2	0	1	0
2	1	3	10	1	1
3	1	2	-10	1	1
4	0				

Estaciones de Reserva

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino

mult

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino

add/  
sub

add 10, 0, RB(2)

1

# Ingeniería de los Computadores

## Sesión 3. Superescalares

### Renombrado

## Ejemplo de Renombrado y Estaciones de Reserva (VII)

Se actualizan los registros


Cola de Instrucciones

Banco de Registros

r0	0
r1	10
r2	-10
r3	10
r4	60
r5	50

1

Buffer de Renombrado

#	EV	Dest.	Valor	Valid	Ult
0	1	4	60	1	1
1	1	2	0	1	0
2	1	3	10	1	1
3	1	2	-10	1	1
4	0				

Estaciones de Reserva

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino

mult

OC	OS1/IS1	VS1	OS2/IS2	VS2	Rdestino

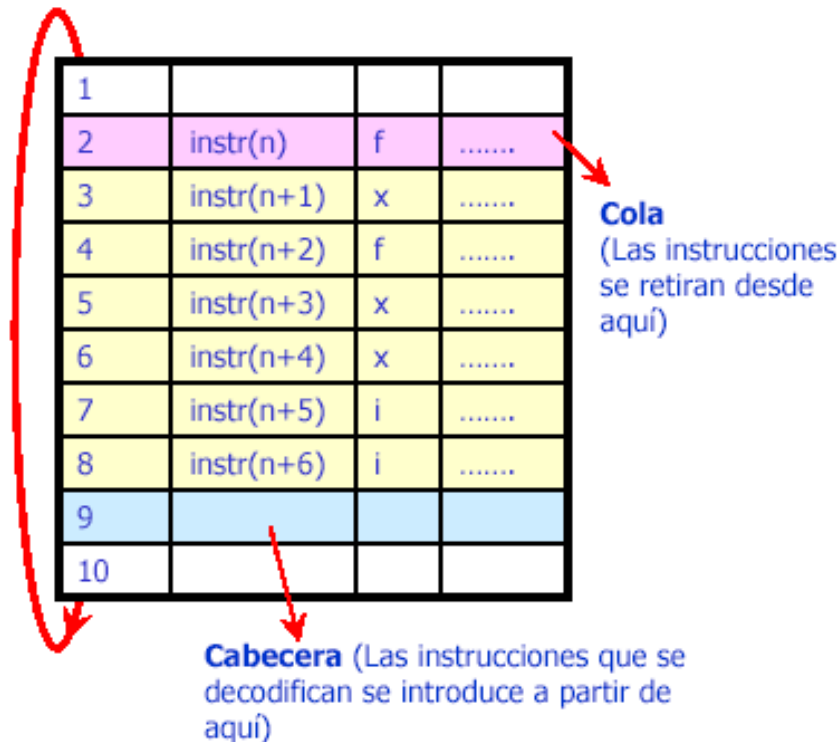
add/  
sub

# Ingeniería de los Computadores

## Sesión 3. Superescalares

Renombrado

Reorden



*La gestión de interrupciones y la ejecución especulativa se realizan fácilmente mediante el ROB*

- El puntero de cabecera apunta a la siguiente posición libre y el **puntero de cola a la siguiente instrucción a retirar**.
- Las instrucciones **se introducen en el ROB en orden de programa estricto** y pueden estar marcadas como **emitidas (issued, i)**, en **ejecución (x)**, o **finalizada su ejecución (f)**.
- Las **instrucciones sólo se pueden retirar** (se produce la finalización con la escritura en los registros de la arquitectura) **si han finalizado**, y todas las que les preceden también.
- La **consistencia se mantiene porque sólo las instrucciones que se retiran del ROB se completan** (escriben en los registros de la arquitectura) y se retiran en el orden estricto de programa.

# Ingeniería de los Computadores

## Sesión 3. Superescalares

Renombrado

Reorden

### Ejemplo de Uso del Buffer de Reorden (I)

**I1:** mult r1, r2, r3

**I2:** st r1, 0x1ca

**I3:** add r1, r4, r3

**I4:** xor r1, r1, r3



**Dependencias:**

**RAW:** (I1,I2), (I3,I4)

**WAR:** (I2,I3), (I2,I4)

**WAW:** (I1,I3), (I1,I4), (I3,I4)

**I1:** Se puede empezar a ejecutar inmediatamente (se suponen disponibles **r2** y **r3**)

**I2:** Se envía a la unidad de almacenamiento hasta que esté disponible **r1**

**I3:** Se puede empezar a ejecutar inmediatamente (se suponen disponibles **r4** y **r3**)

**I4:** Se envía a la estación de reserva de la ALU para esperar a **r1**

Estación de Reserva (Unidad de Almacenamiento)

codop	dirección	op1	ok1
st	0x1ca	3	0

Estación de Reserva (ALU)

codop	dest	op1	ok1	op2	ok2
xor	6	5	0	[r3]	1

**Líneas del ROB**

# Ingeniería de los Computadores

## Sesión 3. Superescalares

Renombrado

Reorden

### Ejemplo de Uso del Buffer de Reorden (II)

#### Ciclo 7

#	codop	Nº Inst.	Reg. Dest.	Unidad	Resultado	ok	marca	'ready'
3	mult	7	r1	int_mult	-	0	x	12
4	st	8	-	store	-	0	i	12
5	add	9	r1	int_add	-	0	x	9
6	xor	10	r1	int_alu	-	0	i	-

#### Ciclo 9 No se puede retirar **add** aunque haya finalizado su ejecución

#	codop	Nº Inst.	Reg.Dest.	Unidad	Resultado	ok	marca	'ready'
3	mult	7	r1	int_mult	-	0	x	12
4	st	8	-	store	-	0	i	12
5	add	9	r1	int_add	17	1	f	9
6	xor	10	r1	int_alu	-	0	x	10

#### Ciclo 10 Termina **xor**, pero todavía no se puede retirar

#	codop	Nº Inst.	Reg.Dest.	Unidad	Resultado	ok	marca	'ready'
3	mult	7	r1	int_mult	-	0	x	12
4	st	8	-	store	-	0	i	12
5	add	9	r1	int_add	17	1	f	9
6	xor	10	r1	int_alu	21	1	f	10

# Ingeniería de los Computadores

## Sesión 3. Superescalares

Renombrado

Reorden

### Ejemplo de Uso del Buffer de Reorden (III)

#### Ciclo 12

#	codop	Nº Inst.	Reg. Dest.	Unidad	Resultado	ok	marca	'ready'
3	mult	7	r1	int_mult	33	1	f	12
4	st	8	-	store	-	1	f	12
5	add	9	r1	int_add	17	1	f	9
6	xor	10	r1	int_alu	21	1	f	10

#### Ciclo 13

#	codop	Nº Inst.	Reg. Dest.	Unidad	Resultado	ok	marca	'ready'
5	add	9	r1	int_add	17	1	f	9
6	xor	10	r1	int_alu	21	1	f	10

- Se ha supuesto que se pueden retirar dos instrucciones por ciclo.
- Tras finalizar las instrucciones **mult** y **st** en el ciclo 12, se retirarán en el ciclo 13.
- Después, en el ciclo 14 se retirarán las instrucciones **add** y **xor**.

# Ingeniería de los Computadores

## Sesión 3. Superescalares

Renombrado

Reorden

Problemas