

Comenzado el lunes, 19 de junio de 2023, 23:09
Estado Finalizado
Finalizado en lunes, 19 de junio de 2023, 23:33
Tiempo empleado 23 minutos 56 segundos
Calificación 5,00 de 6,00 (83%)

Pregunta 1

Correcta

Se puntúa 1,00 sobre 1,00

¿Qué almacena el "Program Counter"?

Seleccione una:

- ☐ a. El número de instrucciones en curso
- ☐ b. La cantidad de instrucciones que se han ejecutado hasta el momento
- ☒ c. La dirección de la instrucción en curso ✓
- ☐ d. La constante universal 32
- ☐ e. El registro base de la instrucción en curso

Respuesta correcta

La respuesta correcta es: La dirección de la instrucción en curso

Pregunta 2

Incorrecta

Se puntúa 0,00 sobre 1,00

El archivo de registros del procesador MIPS monociclo discutido en clases tiene 4 puertos de entrada y 2 de salida. La cantidad de bits de estos puertos es, respectivamente:

Seleccione una:

- ☐ a. Todas las entradas son de 32 bits y las salidas, de 5 bits
- ☐ b. Todos son de 1 bit
- ☒ c. Todas las entradas son de 5 bits y las salidas, de 32 bits ✗
- ☐ d. 5, 5, 5, 32, 32 y 32 bits
- ☐ e. Todos son de 32 bits

Respuesta incorrecta.

La respuesta correcta es: 5, 5, 5, 32, 32 y 32 bits

Pregunta 3

Correcta

Se puntúa 1,00 sobre 1,00

Las latencias de los bloques "Memoria de instrucciones", "Archivo de registros" (incluyendo lectura y escritura), "ALU" y "Memoria de datos" son, respectivamente, 300 ps, 200 ps, 50 ps y 250 ps (desprecie las latencias de los bloques restantes). Suponiendo que la instrucción más lenta de un procesador monociclo MIPS es "lw", ¿cuál es la máxima tasa de reloj, en GHz, que puede tener este procesador?

Respuesta: ✓

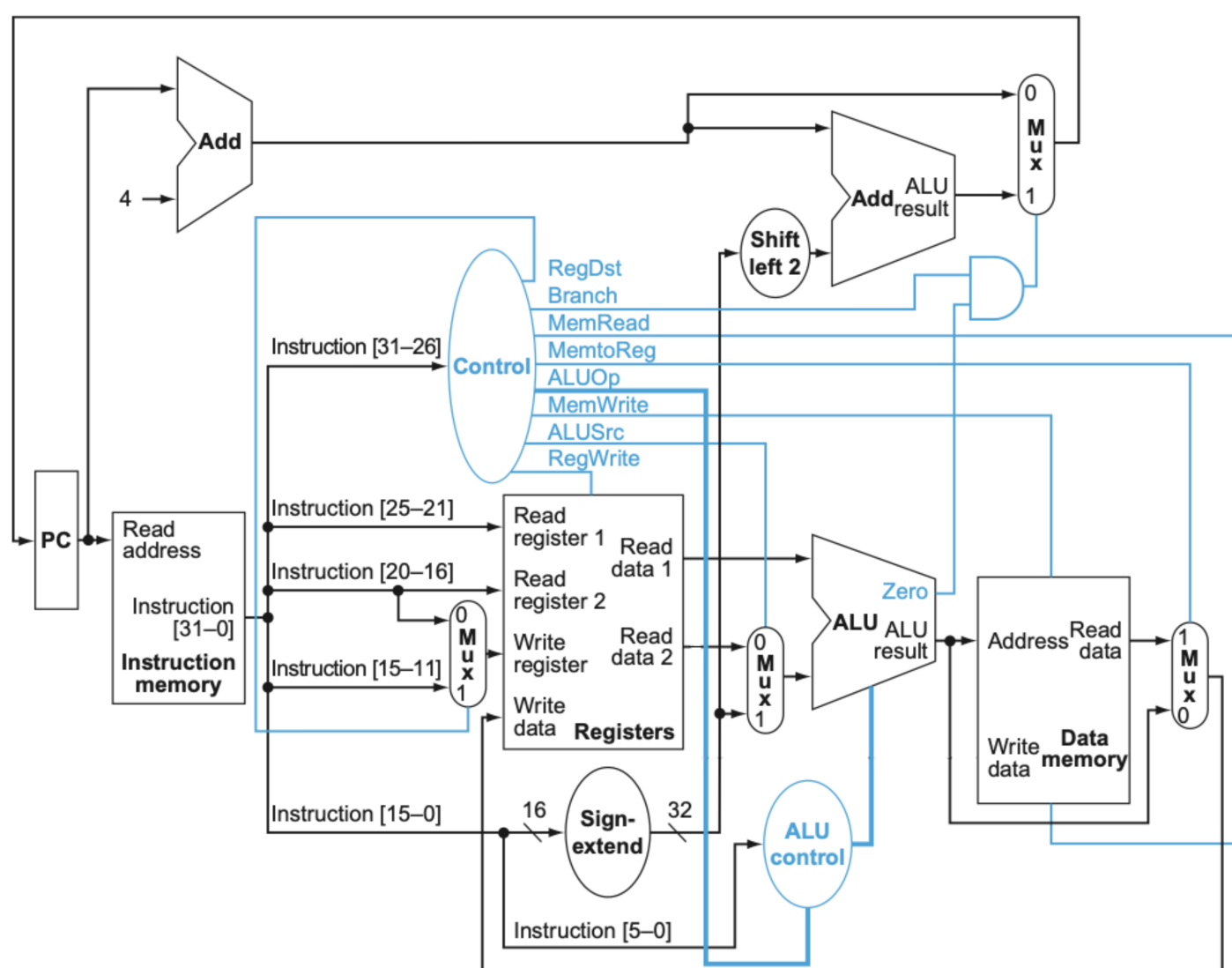
La respuesta correcta es: 1,25

Pregunta 4

Correcta

Se puntúa 1,00
sobre 1,00

Una de las siguientes instrucciones no puede ejecutarse o no se ejecutaría correctamente en el procesador MIPS de la figura. ¿Cuál es?



Selezione una:

- ☐ a. lw
- ☐ b. add
- ☐ c. beq
- ☒ d. sw ✓
- ☐ e. and

Respuesta correcta

La respuesta correcta es: sw

Pregunta 5

Correcta

Se puntúa 1,00
sobre 1,00

En el procesador monociclo, una instrucción toma 1 ciclo en completarse, mientras que en el procesador con pipeline de 5 etapas, 5 ciclos. Más aún, muchas veces el procesador con pipeline tendrá que introducir burbujas o esperas para resolver ciertos riesgos de datos, aumentando aún más en número de ciclos para completar un programa. Esto significa que el CPI del monociclo tenderá a ser menor que aquel del procesador con pipeline. ¿Por qué el procesador con pipeline en general puede tener mejor rendimiento que el monociclo aún cuando tenga peor CPI?

Selezione una:

- ☐ a. Porque el monociclo no tiene buffers intermedios para encolar los datos
- ☐ b. Porque el monociclo gasta más tiempo en el acceso a memoria
- ☐ c. Porque el procesador con pipeline implementa adelantamiento, y el monociclo, no
- ☒ d. Porque el procesador con pipeline puede tener un reloj más rápido ✔
- ☐ e. Porque el procesador con pipeline es optimiza la etapa de "Write-back"

Respuesta correcta

La respuesta correcta es: Porque el procesador con pipeline puede tener un reloj más rápido

Pregunta **6**

Correcta

Se puntúa 1,00 sobre 1,00

Considere la ejecución de la instrucción "lw" en un procesador MIPS con pipeline de 5 etapas. ¿Qué campo de la instrucción es decodificado en la etapa ID y no es utilizado sino hasta 3 ciclos de reloj más tarde cuando "lw" está en la etapa WB?

Seleccione una:

- ☐ a. opcode
- ☐ b. immediate
- ☐ c. rs
- ☐ d. PC
- ☒ e. rt ✓

Respuesta correcta

La respuesta correcta es: rt

◀ CLASE 19 - ENCUESTA DE RETROALIM

Ir a...

OBJETO DE APRENDIZAJE ▶



Síguenos en:

Facebook

Prorrectoría
✉ E-mail: soporte.uvirtual@usach.cl

En caso de presentar problemas con sus datos institucionales, validar datos en mail.usach.cl, saliendo de su sesión de correo actual. No ocupe datos guardados.