

VHDL naming conventions handbook

porušení se trestá smrtí

symbol	význam
i_	input, vstupní signál komponent
o_	output, výstupní signál komponent
r_	registrovaný signál (synchronní) - musí mít výchozí stav!
w_	neregistrovaný signál (nesynchronní)
c_	konstanta
n_	integer
t_	vlastní uživatelský typ
s_	stav stavového automatu
<hr/>	
_clk_frq_	clock o frekvenci <i>frq</i>
<hr/>	
_t	signály propojující komponenty v TOPu
_en	clock enable
_eq	clock ekvidistantní
_present	současný stav stavového automatu, v registru vždy <i>present</i> <= <i>next</i>
_next	příští stav stavového automatu
_sig	signed vektor
_unsig	unsigned vektor

1 Další pravidla

- xxx

2 Příklady

- o_clk_450k_en: výstupní signál typu clock enable s frekvencí 450 kHz
- ow_abcdef: výstupní signál typu wire, např. výstup z kombinační logiky