

IP 名称： PRBS 序列

版本编号： 1.0

更改记录:

作者	版本编号	修改日期	说明
JML	V1.0	2016.08.15	新建

1. IP 简介

本 IP 实现 PRBS 序列生成和校验，支持任意厂商器件，生成多项式、位宽参数可配，方便移植。

2. 性能指标

2.1 IP 特性

- 1.本 IP 分生成和校验两个模块，接口简单，方便移植；
- 2.主要参数在源码中列出，方便用户根据需求调整。

2.2 资源

器件：16 位生成多项式，20 位输出位宽		
模块	LUT	REG
PRBS 生成	30	40
PRBS 校验	30	40

3.2 时序

满足器件最大标称速率。

3. 功能描述

3.1 设计思路

PRBS 通过一个生成多项式产生伪随机数据，生成过程中，数据进行移位及异或操作，适合 FPGA 处理。

常用 PRBS 生成多项式见下表 3-1。

表 3-1 常用生成多项式

位宽	生成多项式
4	X^4+X^1+1
5	X^5+X^2+1
6	X^6+X^1+1
7	X^7+X^3+1
8	$X^8+X^4+X^3+X^2+1$
9	X^9+X^4+1
10	$X^{10}+X^3+1$

11	$X^{11}+X^2+1$
12	$X^{12}+X^6+X^4+X^1+1$
13	$X^{13}+X^4+X^3+X^1+1$
14	$X^{14}+X^{10}+X^6+X^1+1$
15	$X^{15}+X^1+1$
16	$X^{16}+X^{12}+X^3+X^1+1$

3.2 功能结构

下图 3.1 所示为 PRBS 序列产生示意图，移位寄存器长度等于生成多项式长度，每 1 位数据输出，需要进行 1 次移位操作，同时生成多项式位置为 1 的寄存器进行异或操作，作为移入位。

PRBS 校验方法与生成一致，对已接收数据进行 PRBS 计算，与待接收数据比较。

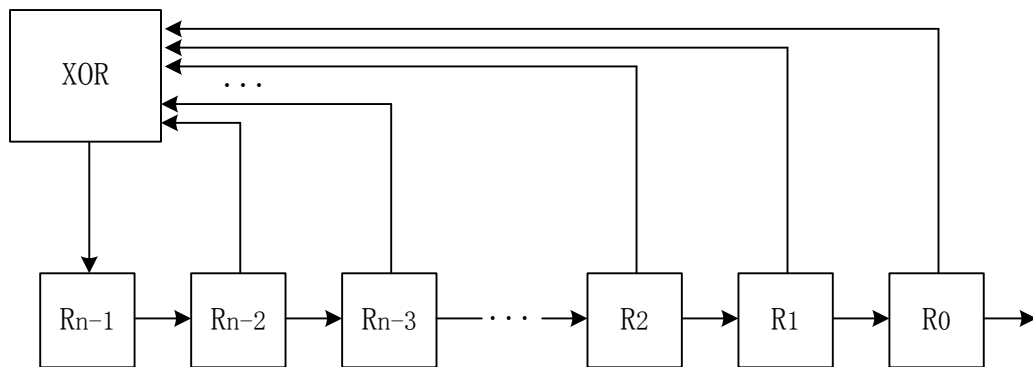


图 3.1 PRBS 序列生成结构

4. 参数及接口

表 4-1 全局参数表

名称	说明
C_DWIDTH	PRBS 输出位宽
C_PRIMPOLY	生成多项式
C_POLY_WIDTH	生成多项式位宽

表 4-2 接口表

名称	位宽	方向	说明
PRBS_GEN			
I_clk	1	输入	时钟
I_init	参数设置	输入	PRBS 移位寄存器初值
I_init_v	1	输入	PRBS 移位寄存器初值有效指示，高有效一个脉冲即可，I_prbs_en 为 1 时有效
I_prbs_en	1	输入	生成使能，高有效
O_prbs	参数设置	输出	PRBS 输出

O_prbs_v	1	输出	PRBS 输出指示
PRBS_CHECK			
I_clk	1	输入	时钟
I_data	参数设置	输入	PRBS 输入
I_data_v	1	输入	PRBS 输入有效指示，高有效
O_check_v	1	输出	校验输出有效指示，高有效
O_check_right	1	输出	校验输出 1: 校验正确 0: 校验错误

5. 约束

无

6. 仿真

PRBS 生成及校验仿真结果见下图 6-1 所示。

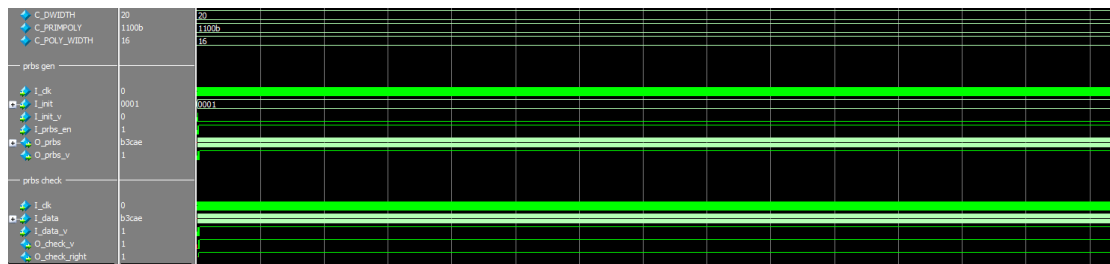


图 6-1 PRBS 生成及校验波形图

7. 应用示例

数字信号处理、通信测试

8. 备注

无

9. 联系方式

freeip@ippond.com