

# Altera FPGA 全速漂移 开发指南

## LVDS 液晶屏驱动实例

欢迎加入 FPGA/CPLD 助学小组一同学习交流：

EDN:

[http://group.ednchina.com/GROUP\\_GRO\\_14596\\_1375.HTM](http://group.ednchina.com/GROUP_GRO_14596_1375.HTM)

ChinaAET: <http://group.chinaaet.com/273>

淘宝店链接: <http://myfpga.taobao.com/>

技术咨询: [orand\\_support@sina.com](mailto:orand_support@sina.com)

特权 HSC 最新资料例程下载地址:

<http://pan.baidu.com/s/1pLmZaFx>

| 版本信息       |       |     |
|------------|-------|-----|
| 时间         | 版本    | 状态  |
| 2016-09-06 | V1.00 | 创建。 |
|            |       |     |
|            |       |     |
|            |       |     |
|            |       |     |
|            |       |     |
|            |       |     |
|            |       |     |

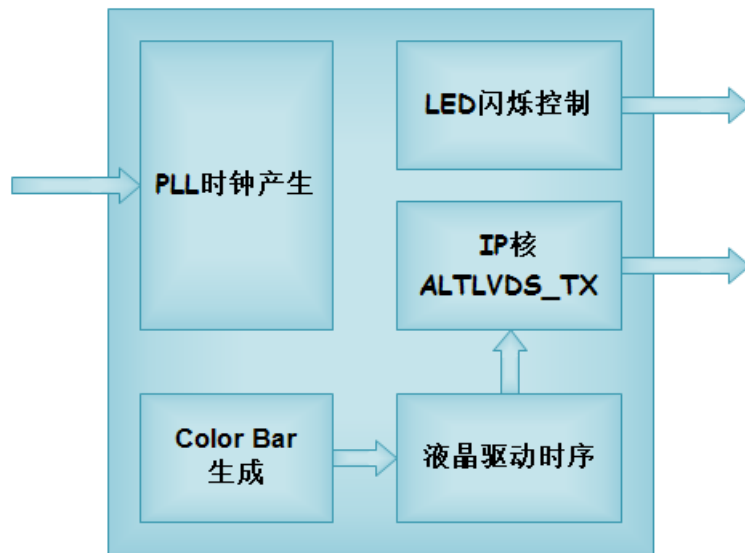


## 目录

|                                 |    |
|---------------------------------|----|
| Altera FPGA 全速漂移 开发指南 .....     | 1  |
| LVDS 液晶屏驱动实例 .....              | 1  |
| 1 概述 .....                      | 3  |
| 2 IP 核 ALTLVDS_TX 创建与配置 .....   | 4  |
| 3 IP 核 ALTLVDS_TX 功能与接口说明 ..... | 9  |
| 4 板级调试 .....                    | 11 |

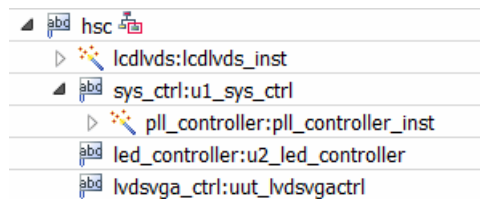
# 1 概述

本实例的 FPGA 功能大体如图所示，由 PLL 产生基准时钟，液晶驱动时序将并行数据通过 IP 核 ALTLVDS\_TX 模块转换为 LVDS 信号送到液晶屏，使得液晶屏上显示 8 色的 ColorBar。IP 核 ALTLVDS\_TX 是本实例的重点。



本实例的代码层次结构如图所示。

- hsc.v 模块是顶层模块，用于各个子模块间的例化、互联，以及接口引脚的引出。
- lcdlvds.v 模块是 IP 核 ALTLVDS\_TX 的例化，它实现 LVDS 发送器的并串转换。
- sys\_ctrl.v 模块实现系统基本的复位与时钟（PLL 例化）生成。
- led\_controller.v 模块实现 LED 闪烁计数逻辑。
- lvds\_vga\_ctrl.v 模块产生基本的 LCD 驱动时序。



## 2 IP 核 ALTLVDS\_TX 创建与配置

在新建的工程中，点击菜单“Tools→MegaWizard Plug-In Manager”。  
接着如图所示，如图所示，选择“Creat a new custom megafunction variation”，  
然后 Next。

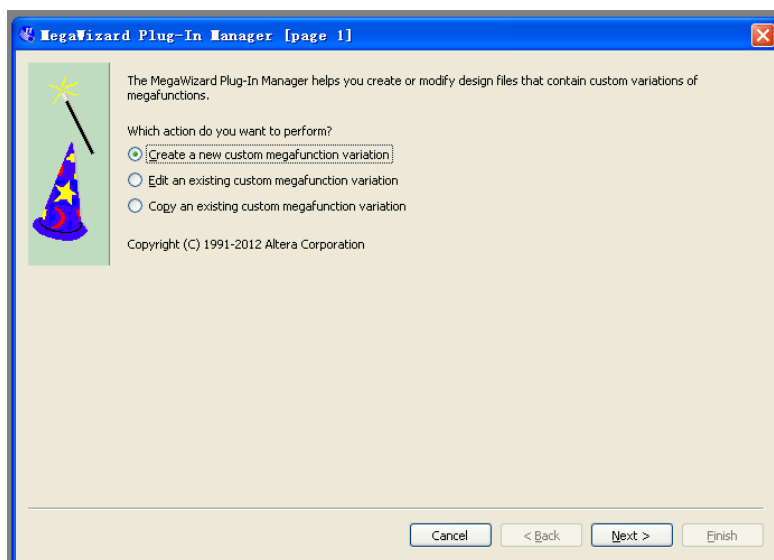


图 新建 MegaWizard

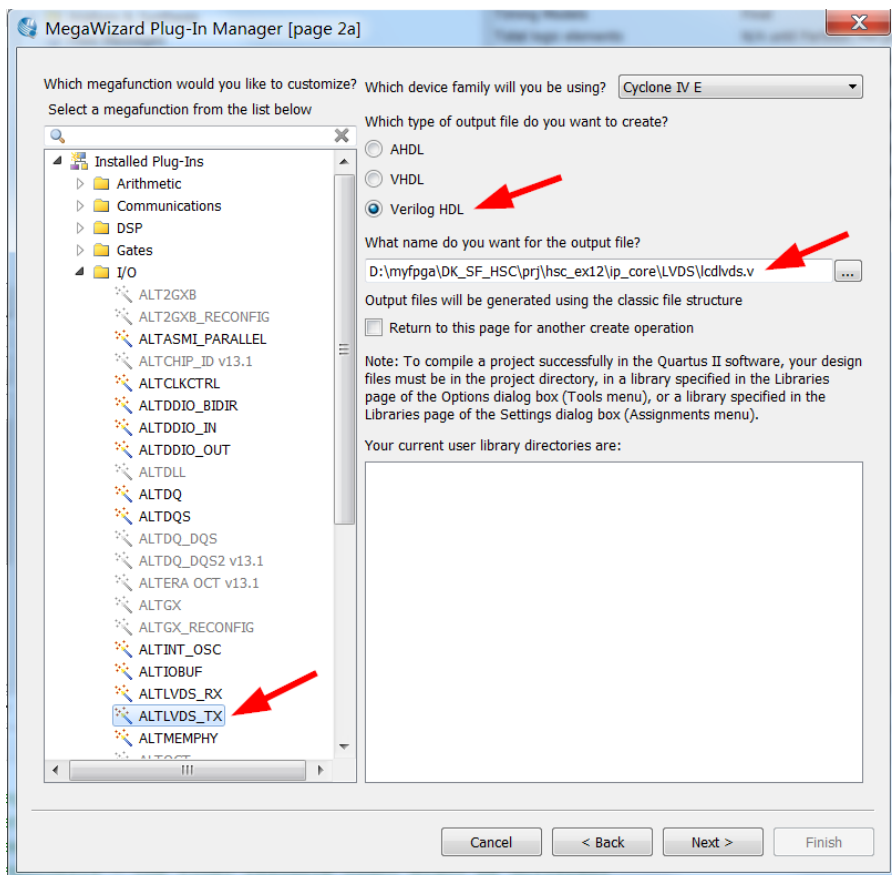
接着选择我们所需要的 IP 核，如图所示进行设置。

- 在“Select a megafunction from the list below”下面选择 IP 核为 “I/O → ALTLVDS\_TX”。
- 在“What device family will you be using”后面的下拉栏中选择我们

所使用的器件系列为“Cyclone IV E”。

- 在“What type of output file do you want to create?”下面选择语言为“Verilog”。

在“What name do you want for the output file?”下面输入工程所在的路径，并且在最后面加上一个名称，这个名称是我们现在正在例化的 ALTLVDS\_TX 模块的名称，我们可以给他起名叫 lcdlvds.v，然后点击 Next 进入下一个页面。

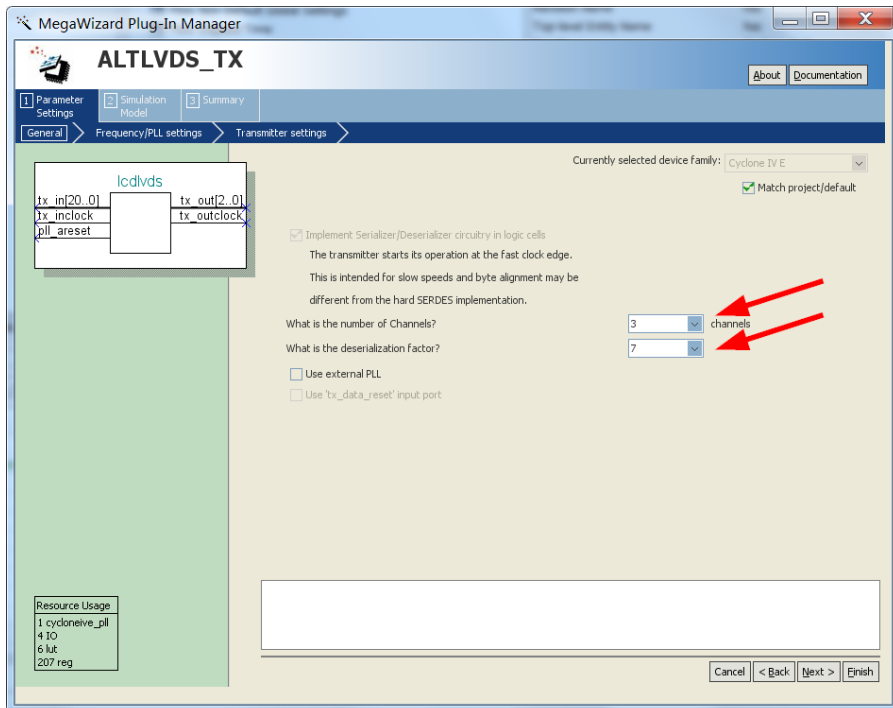


如图所示，在第一个配置页面“Parameter Settings → General”中，设定如下。

- 在“What is the number of Channels?”后面的下拉栏中选择 LVDS

的通道数为“3” channels。

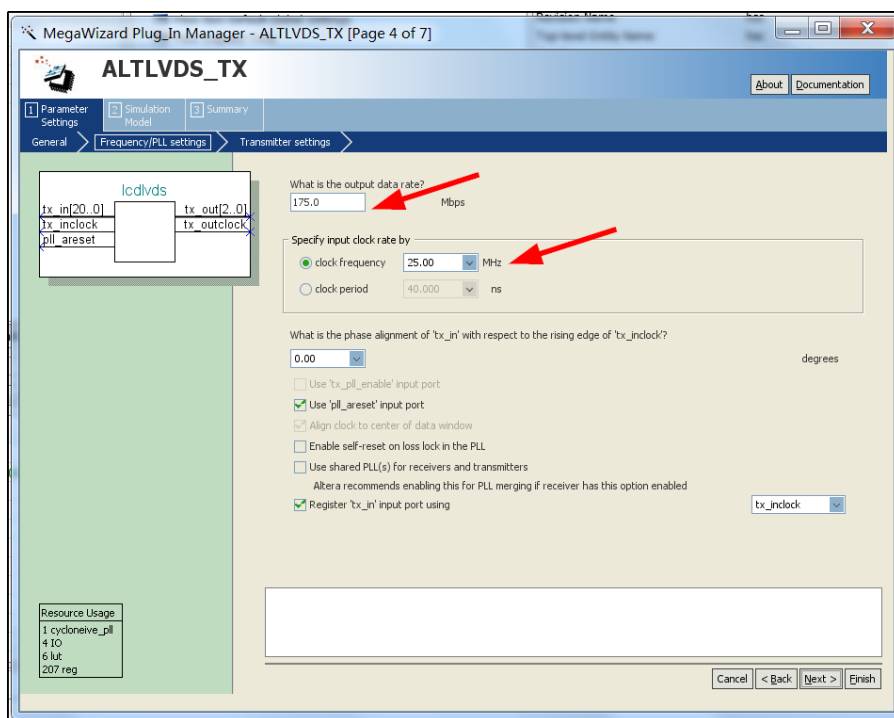
- 在“**What is the deserialization factor?**”后面的下拉栏中选择串化因子为“7”。



如图所示，在第二个配置页面“**Parameter Settings → Frequency/PLL settings**”中，设定如下。

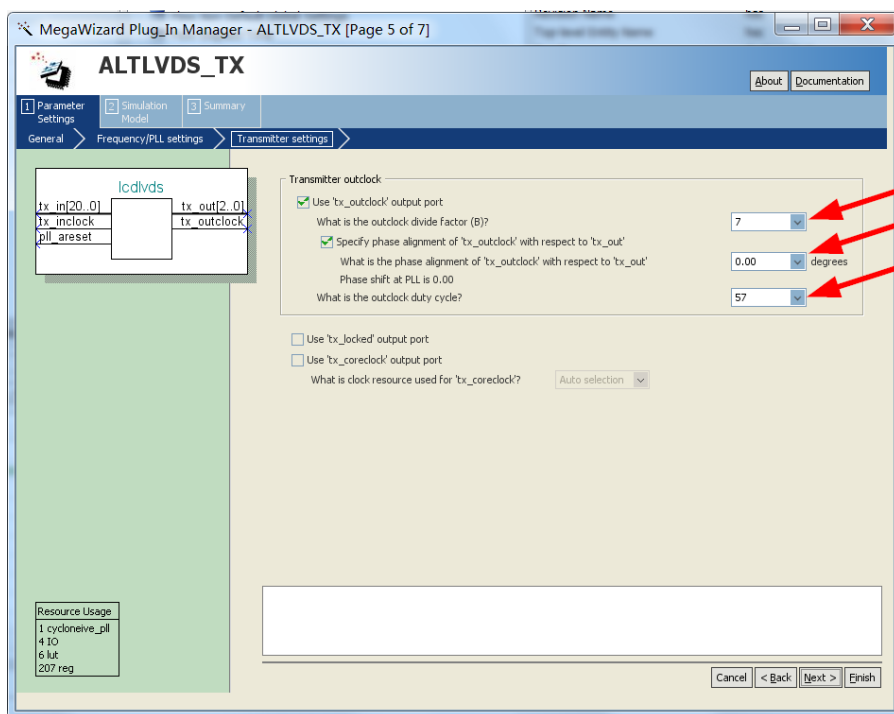
- 在“**What is the output data rate?**”下面输入单通道的 LVDS 数据速率为“175.0” Mbps。
- 在“**Specify input clock rate by**”下面的“**Clock frequency**”后面输入 LVDS 时钟频率为“25.00” MHz。
- 其他选项使用默认设置。

简单提下这里我们所设置的 LVDS 数据速率、LVDS 时钟频率以及上一个配置页面的串化因子之间的关系。 $\text{LVDS 数据速率} = \text{LVDS 时钟频率} * \text{串化因子}$ ，即  $175\text{Mbps} = 7 * 25.00\text{MHz}$ 。



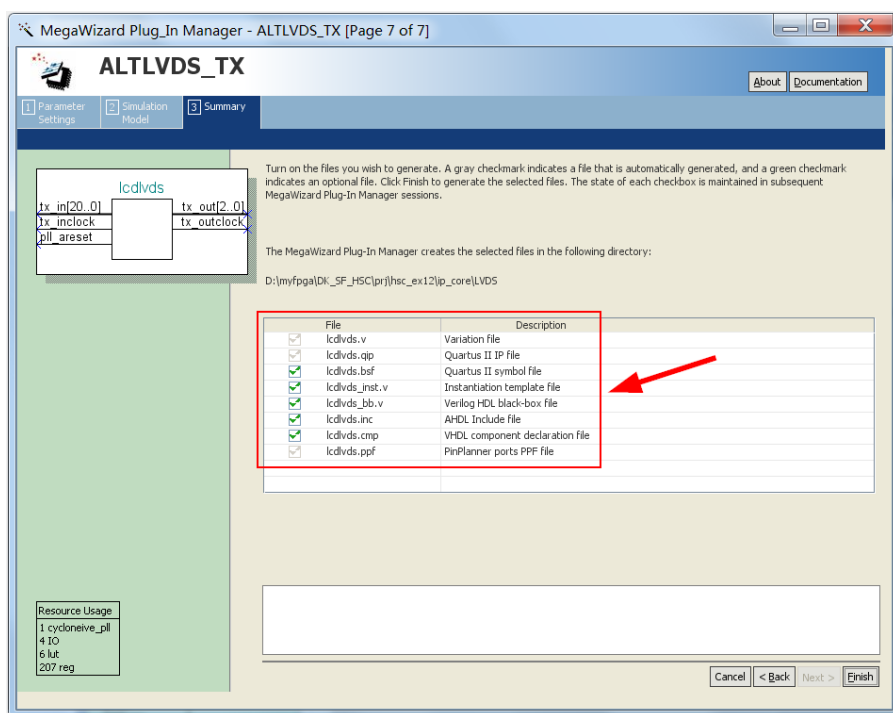
如图所示，在第三个配置页面“Parameter Settings → Transmitter settings”中，设定如下。

- 在“Transmitter outclock”下面勾选“Use 'tx\_outclock' output port”，设置“**What is the outclock divide factor (B)?**”为“7”。
- 设置“Specify phase alignment .....”选项的相位偏差为“0.00”degrees。
- 设置“**What is the outclock ducy cycle?**”为“57”。
- 其他选项使用默认设置。



配置完成后，最后在 **Summary** 页面，如图所示，勾选上 **\*\_inst.v** 文件，这是一个 **ALTLVDS** 例化的模板文件，一会我们可以在工程目录下找到这个文件，然后打开它，将它的代码复制到工程中，修改对应接口即可完成这个 IP 核的集成。





ug\_altlvds.pdf 文档是 Altera 对 IP 核 ALTLVDS\_TX 的配套说明，关于以上配置的详细说明，大家可以参考该文档。

### 3 IP 核 ALTLVDS\_TX 功能与接口说明

如图所示，在 ALTLVDS\_TX 的 IP 核接口例化模板中，我们可以看到这个 IP 核模块的所有接口。

```

1  lcdlvds lcdlvds_inst (
2      .pll_areset ( pll_areset_sig ),
3      .tx_in ( tx_in_sig ),
4      .tx_inclock ( tx_inclock_sig ),
5      .tx_out ( tx_out_sig ),
6      .tx_outclock ( tx_outclock_sig )
7  );
8

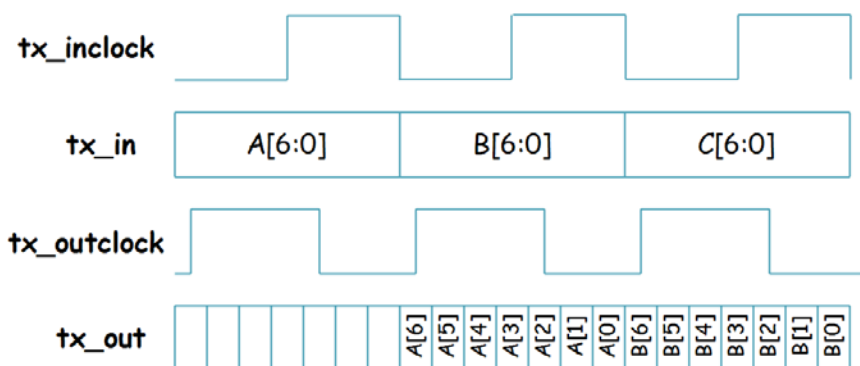
```

根据我们这个设计，可以将以上接口的功能定义罗列如表所示。

| 信号名         | 方向     | 功能                |
|-------------|--------|-------------------|
| pll_areset  | input  | 复位信号，高电平有效。       |
| tx_in[21:0] | input  | LVDS 并行发送数据。      |
| tx_inclock  | input  | LVDS 并行发送数据的同步时钟。 |
| tx_out[2:0] | output | LVDS 串行发送数据。      |
| tx_outclock | output | LVDS 串行发送数据的同步时钟。 |

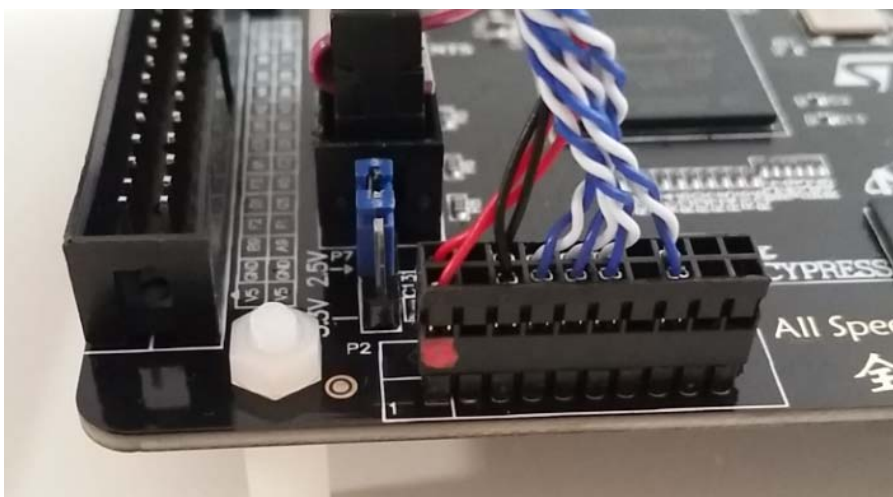
注：方向均为相对于 ALTLVDS\_TX 模块而言。

前面的 IP 核配置中，我们提到过串化因子、数据速率、传输时钟等概念，那么我们可以简单的用下面一个图来解析。对于本实例的配置，我们设置串化因子为 7，那么意味着并行数据 tx\_in[6:0]对应的将输出到串行接口 tx\_out[0]上，并行输入时钟 tx\_inclock 和串行输出时钟 tx\_outclock 虽然频率还是一致，但是相位通过 ALTLVDS\_TX 内部自带的 IP 核做了相应调整，其占空比也变为了 57%，即 tx\_outclock 高电平期间传输 4bit 数据，低电平期间传输 3bit 数据。其大体的映射关系如图所示。由于我们定义了 3 个通道的 LVDS 数据接口，所以除了前面提到的 tx\_in[6:0]和 tx\_out[0]的对应关系外，tx\_in[13:7]和 tx\_out[1]对应数据传输，tx\_in[20:14]和 tx\_out[2] 对应数据传输。



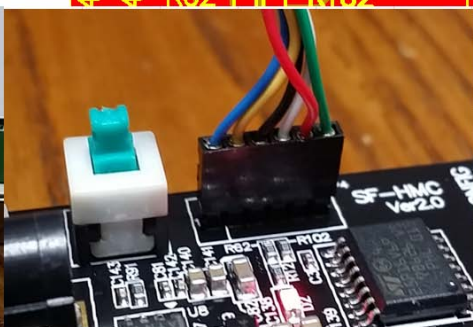
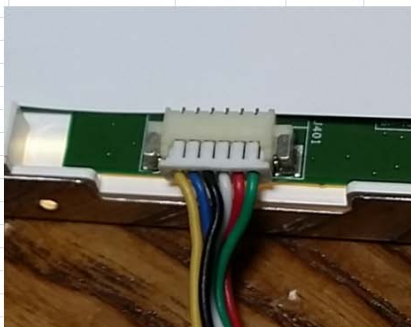
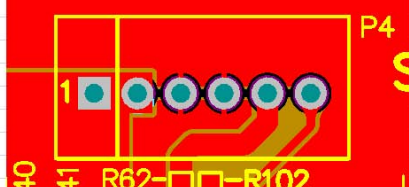
## 4 板级调试

连接好 HSC 开发板与液晶屏的 LVDS 线和背光线。注意 LVDS 线缆上红点表示第 1 脚，对应需要插入 P2 插座的 1 脚位置（如图示的右下角为 1 脚），由于插座没有防呆，所以也请大家小心不要错排连接。



| D                              | E    | F      | G  | H | I | J | K | L |
|--------------------------------|------|--------|----|---|---|---|---|---|
| 背光电源                           | LCD端 | HSC-P4 |    |   |   |   |   |   |
| 12V                            | 1    | 1      | 黄色 |   |   |   |   |   |
| 12V                            | 2    | 2      | 蓝色 |   |   |   |   |   |
| GND                            | 3    | 3      | 黑色 |   |   |   |   |   |
| GND                            | 4    | 4      | 白色 |   |   |   |   |   |
| LED ON/OFF                     | 5    | 5      | 红色 |   |   |   |   |   |
| PWM DIM                        | 6    | 6      | 绿色 |   |   |   |   |   |
| 接LCD的连接器: 51021-0600           |      |        |    |   |   |   |   |   |
| 接HSC的连接器: 2.0mm间距普通插孔 (1X6PIN) |      |        |    |   |   |   |   |   |
| 线长: 25cm                       |      |        |    |   |   |   |   |   |

2.0mm间距的6pin杜邦插座



打开 “...\prj\hsc\_ex12” 路径下的 Quartus II 工程（双击 hsc.qpf）。下载 hsc.sof 文件到工程中。

此时查看液晶屏的图像，如图所示。整屏上出现 8 中基本的 Color bar 色彩，而在液晶屏的四周，出现绿色的边框。

