

Altera FPGA 全速漂移 开发指南

基于 FPGA-FX3 SlaveFIFO 接口的

StreamIN 实例

欢迎加入 FPGA/CPLD 助学小组一同学习交流:

EDN:

http://group.ednchina.com/GROUP_GRO_14596_1375.HTM

ChinaAET: <http://group.chinaaet.com/273>

淘宝店链接: <http://myfpga.taobao.com/>

技术咨询: orand_support@sina.com

特权 HSC 最新资料例程下载地址:

<http://pan.baidu.com/s/1pLmZaFx>

版本信息		
时间	版本	状态
2016-07-29	V1.00	创建。

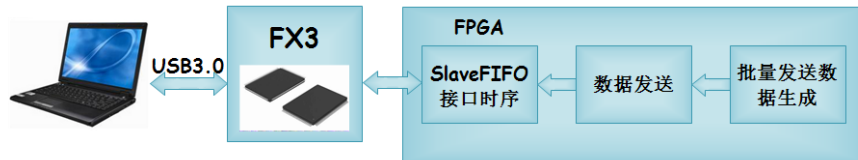


目录

Altera FPGA 全速漂移 开发指南	1
基于 FPGA-FX3 SlaveFIFO 接口的	1
StreamIN 实例	1
1 StreamIN 功能概述	3
2 Firmware 下载	3
3 FPGA 代码解析.....	4
4 SignalTap II 在线逻辑分析仪查看接口时序	7
5 Streamer 工具测试数据吞吐量	10

1 StreamIN 功能概述

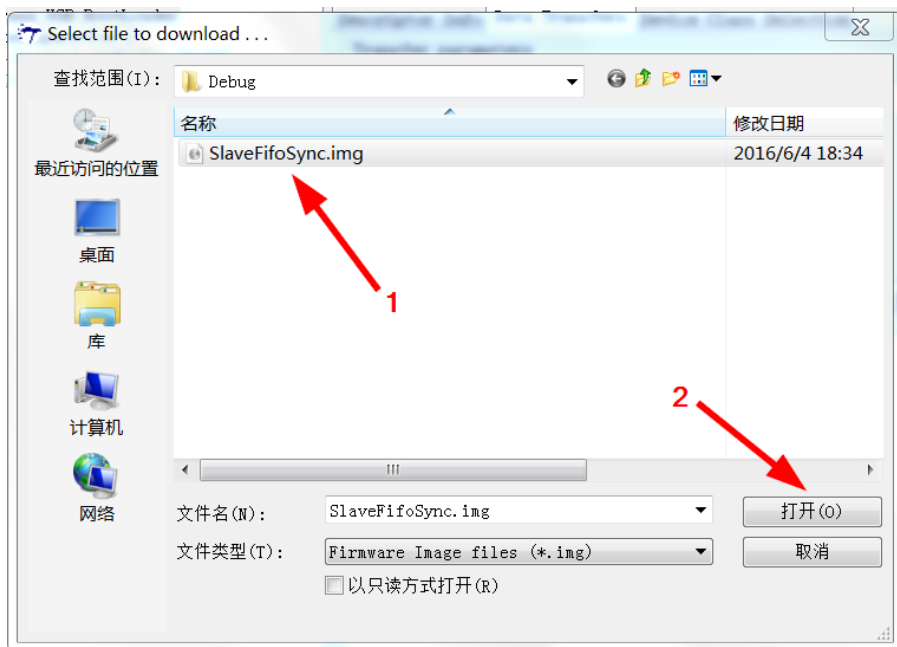
如图所示，本工程主要是 FPGA 端产生批量数据通过 SlaveFIFO 接口发送到 FX3，直到 FX3 的多个 FIFO 通道都写满了。由于 FX3 为 USB 的从机，作为 USB 主机的 PC 需要发起读取 FX3 的待发送数据帧操作，一旦 FX3 有 FIFO 空出来，FPGA 则再写入新的数据帧。整个数据的收发过程，我们在 FPGA 内部可以通过在线逻辑分析仪 SignalTap II 抓取 SlaveFIFO 接口的所有信号进行查看。



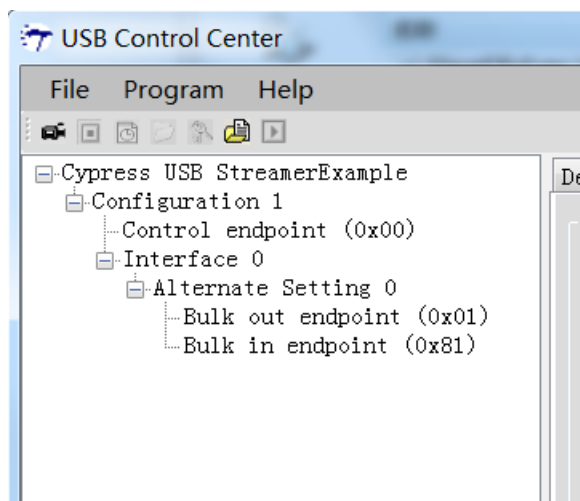
2 Firmware 下载

注意本实验需要同时对 FX3 和 FPGA 进行下载编程配置，FX3 要先下载，随后下载 FPGA。否则时序可能错乱，实验可能失败。

FX3 中下载 “...\prj\hsc_ex8\SlaveFifoSync\Debug ” 路径下的 SlaveFifoSync.img 文件。

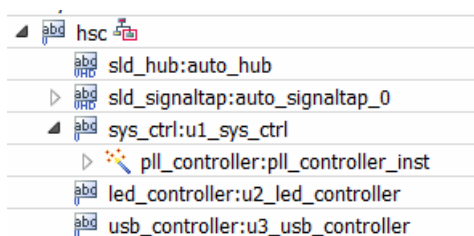


下载完成后，USB Control Center 如图所示。



3 FPGA 代码解析

本实例分为 3 个层级，共计 5 个模块，其层次结构如图所示。



各个模块的基本功能定义如表所示。

表 Verilog 各个模块功能描述

模块名	功能描述
hsc.v	该模块是顶层模块，其下例化了 3 个子模块。该模块仅仅用于子模块间的接口连接，以及和 FPGA 外部的接口定义，该模块中未作任何的逻辑处理。
usb_controller.v	该模块产生 FX3 的 SlaveFIFO 读写操作时序，该模块检测 FX3 的 SlaveFIFO 是否为空，并且不断的写入数据帧。
led_controller.v	进行 24 位计数器的循环计数，产生分频信号用于实现 LED 指示灯的闪烁。
sys_ctrl.v	该模块中例化了 PLL 模块，并且对输入 PLL 的复位信号以及 PLL 锁定后的复位信号进行“异步复位，同步释放”的处理，确保系统的复位信号稳定可靠。
	<p>pll_controller.v</p> <p>该模块为 FPGA 器件特有的 IP 硬核模块，其主要功能是产生多个特定输入时钟的分频、倍频、相位调整后的输出时钟信号。</p>

usb_controller.v 模块是最主要的 SlaveFIFO 及其相关功能实现的模块，我们可以重点看看它的功能。

该模块的功能框图如图所示。FX3 读写状态机一旦检测到 FX3 的 SlaveFIFO 为空 则进入 FX3 数据写入的状态，写入新的数据帧到 FX3 的 FIFO 中。

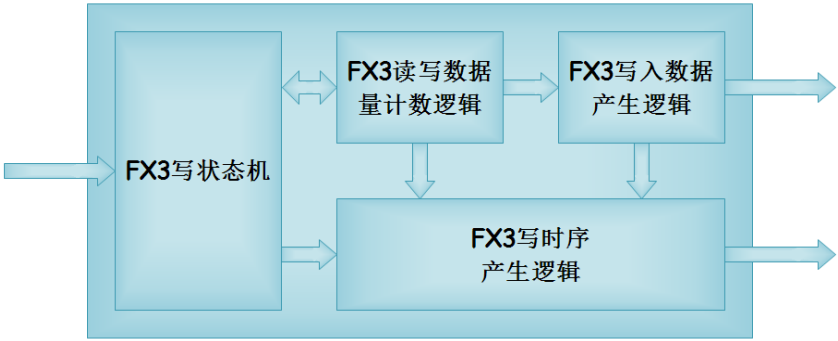


图 USB 读写模块功能框图

FX3 读写状态机的状态迁移如图所示。上电状态为 FXS_REST ，随后就进入 FXS_IDLE 状态，判断 SlaveFIFO 是否为空，可以写入数据，若可以则进入 FXS_WRIT 状态写数据到 FX3 的 SlaveFIFO 中，接着进入 FXS_WSOP 状态停留一个时钟周期，最后回到 FXS_IDLE 状态，如此反复。

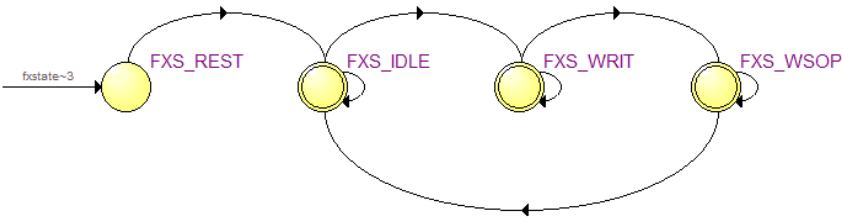
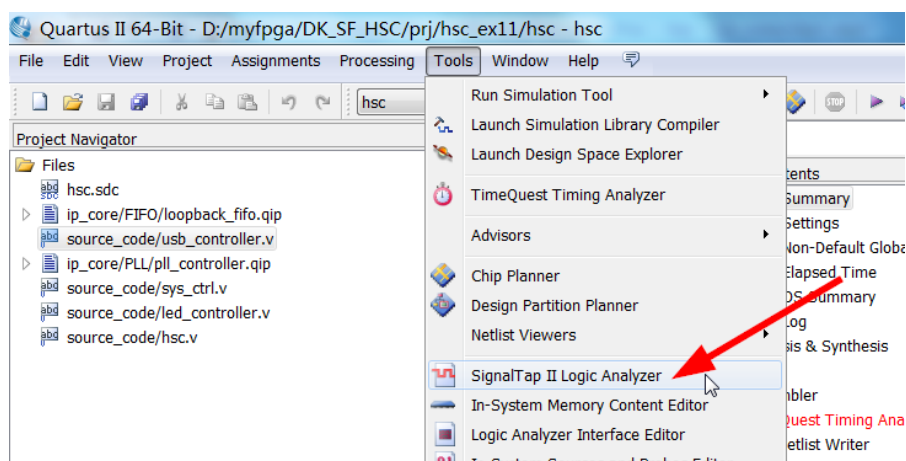


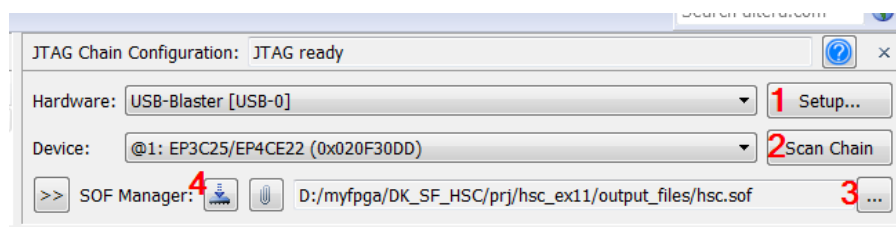
图 USB 读写模块状态转移图

4 SignalTap II 在线逻辑分析仪查看接口时序

打开“...\\prj\\hsc_ex11”路径下的 Quartus II 工程（双击 hsc.qpf）。点击菜单“Tools → SignalTap II Logic Analyzer”。



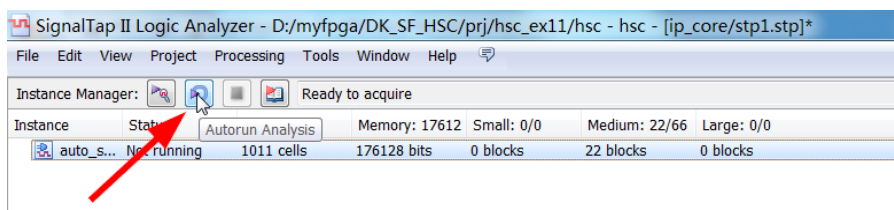
如图所示，依次点击右侧 JTAG Chain Configuration 下的按钮“Step...”、“Scan Chain”和“...”。确保连接好 FPGA，最后点击第 4 步下载按钮，对 FPGA 进行下载配置。



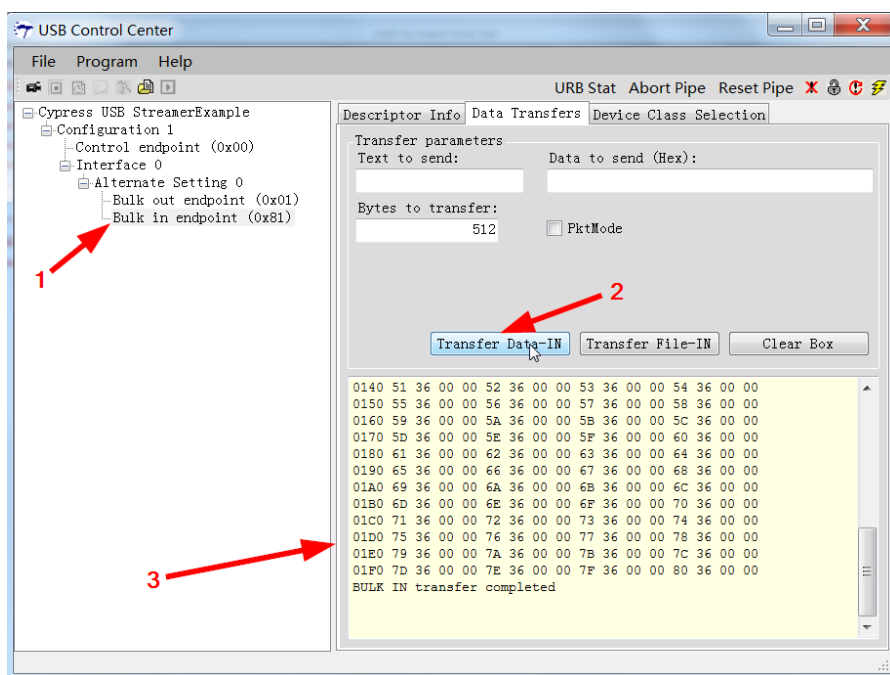
如图所示，设置触发条件为 fx3_flaga 信号的边沿。

trigger: 2016/06/09 14:47:28 #1		Lock mode: Allow all changes			
Node		Data Enable	Trigger Enable	Trigger Conditions	
Type	Alias	Name	43	43	1 Basic AND
		fx3_a			Xh
		fx3_pktend_n			
		fx3_slwr_n			
		fx3_slcs_n			
		fx3_slce_n			
		fx3_slrd_n			
		fx3_db			XXXXXXXXh
		fx3_flaga			
		fx3_flagb			
		fx3_flagc			
		fx3_flagd			

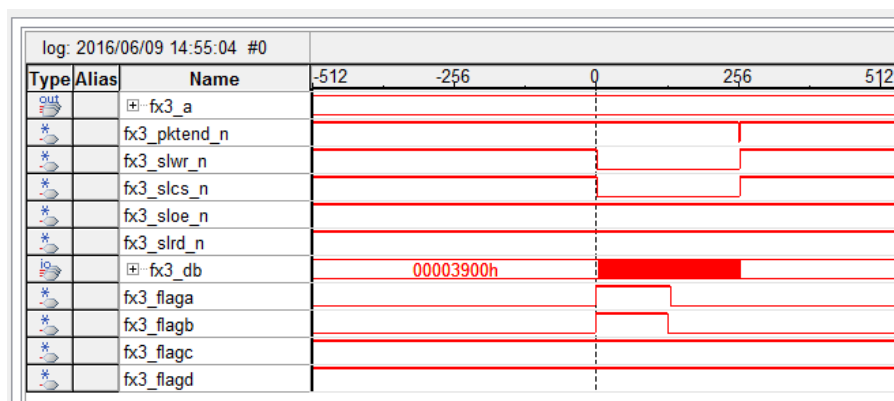
如图所示，选中 Instance 下面的选项，然后点击 Run Analysis 按钮进行单次触发。



如图所示，在 USB Control Center 的 Bulk in endpoint (0x81)中，单击一次 Transfer Data-IN，则可以接收到一帧从 0 开始地址的 256*32bit 的数据。每次单击 Transfer Data-IN 都可以收到新的数据。

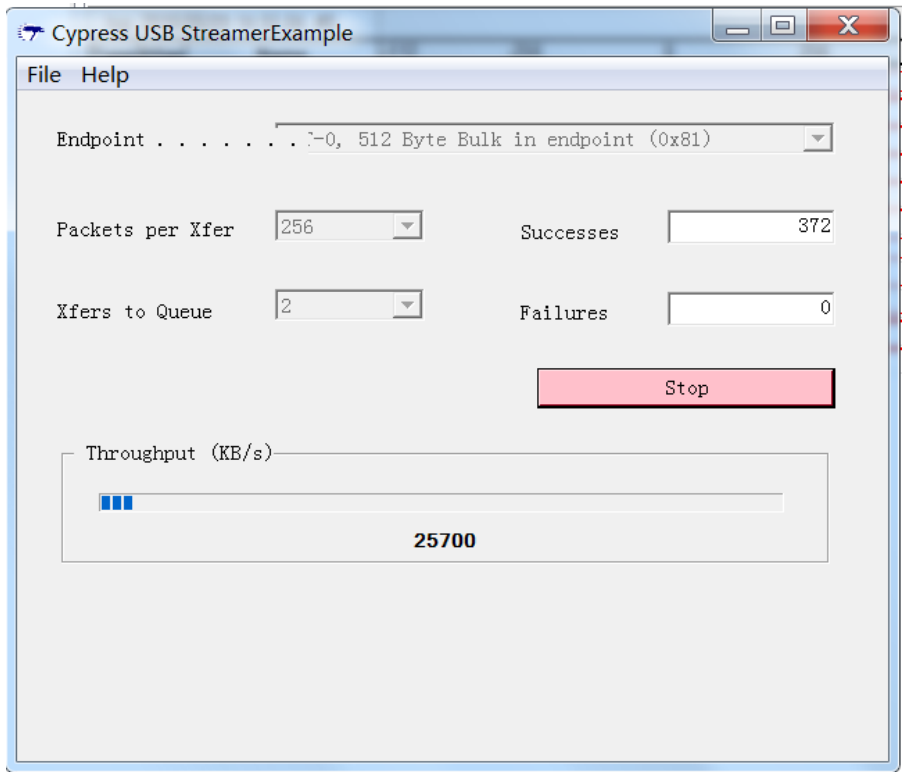


与此同时，如图所示，我们看到 SignalTap II 中也会在每次 Transfer Data-IN 被按下后出现新的波形触发。大家可以认真比对 USB Control Center 中收到的数据和这里抓到的数据是否完全一致。



5 Streamer 工具测试数据吞吐量

我们也可以打开 Streamer 工具，设置如图，测试此时的数据吞吐量，在连接 USB2.0 接口时，可以达到 25700KB（不同 PC 配置下数据吞吐量差别较大，较好的 PC 甚至可以达到 40MB 以上的数据吞吐量）。



如图所示，在 USB3.0 的端口上测试的连续收发数据流吞吐量达到了 123.9MByte（991.2Mbit），实际吞吐量的大小主要取决于不同的 PC 配置。

