

```

1  -----
2  -- Ett logiskt grindnät som har fyra insignaler och tre utsignaler.
3  --
4  -- Insignaler ABCD   kopplas till slideswitches på FPGA-kort.
5  -- Utsignaler XYZ    kopplas till LED på FPGA-kort.
6  --
7  -- ~~~~~
8  -- | A B C D | X Y Z | läge |
9  -- |-----|-----|-----|
10 -- | 0 0 0 0 | 0 1 0 | 00   |
11 -- | 0 0 0 1 | 0 0 0 | 01   |
12 -- | 0 0 1 0 | 0 0 1 | 02   |
13 -- | 0 0 1 1 | 0 1 1 | 03   |
14 -- | 0 1 0 0 | 1 0 1 | 04   |
15 -- | 0 1 0 1 | 1 0 0 | 05   |
16 -- | 0 1 1 0 | 1 1 0 | 06   |
17 -- | 0 1 1 1 | 1 1 1 | 07   |
18 -- | 1 0 0 0 | 1 1 0 | 08   |
19 -- | 1 0 0 1 | 1 0 0 | 09   |
20 -- | 1 0 1 0 | 1 0 1 | 10   |
21 -- | 1 0 1 1 | 1 1 1 | 11   |
22 -- | 1 1 0 0 | 0 0 1 | 12   |
23 -- | 1 1 0 1 | 0 0 0 | 13   |
24 -- | 1 1 1 0 | 0 1 0 | 14   |
25 -- | 1 1 1 1 | 0 1 1 | 15   |
26 -- |-----|-----|-----|
27 -- ~~~~~
28 -----
29 library IEEE;
30 use IEEE.std_logic_1164.all;
31
32 -----
33 -- Entiteten projekt1 deklarerar fyra inportar och tre utportar.
34 -- Inport av datatypen std_logic : A, B, C, D.
35 -- Utport av datatypen std_logic : X, Y, Z.
36 -----
37 entity projekt1 is
38     port
39     (
40         A, B, C, D      : in std_logic_vector (3 downto 0);
41         X, Y, Z         : out std_logic;
42     );
43 end entity;
44
45 -----
46 -- architecture beskriver beteendet för in- och utportar.
47 -- I detta projekt styrs X, Y och Z av logiska begrepp.
48 --
49 -- "not" inverterar en signal.
50 -- "and" utgör logisk multiplikation.
51 -- "or" utgör logisk addition.
52 --
53 -- Architecturen går att granska i RTL viewer med uppbyggt nät.
54 -----
55 architecture behaviour of projekt1 is
56 begin
57     X <= A xor B;
58     Y <= (B and C) or (C and D) or (not B and not C and not D);
59     Z <= (not B and C) or (C and D) or (B and not C and not D);
60
61 end architecture;
62

```