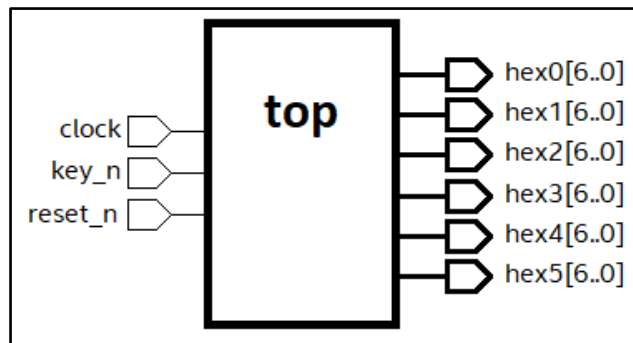


Projekt II – Digital klocka

Totalt: 2 poäng

Uppgiftsbeskrivning:

- I detta projekt skall ni i grupper om 1 - 2 konstruera en digital 24-timmars klocka, som skall simuleras via ModelSim samt valideras via ett FPGA-kort. Tiden skall visas på sex 7-segmentsdisplayer. Klockan skall kunna räkna upp från tiden 00:00:00 till 23:59:59. I figur 1 nedan visas konstruktionens toppmodul *top* i dess grundform:



Figur 1 – Konstruktionens toppmodul *top* i dess grundform.

- Toppmodulen *top* innehåller i dess grundform följande in- och utsignaler:
 1. Insignal *clock* skall utgöras av en 50 MHz intern klocka på FPGA-kortet.
 2. Insignal *key_n* utgör en styrsignal för att starta respektive stoppa klockan.
 3. Insignal *reset_n* används som asynkron reset-signal för att återställa klockan till startläget (tiden 00:00:00).
 4. Utsignaler *hex[5:0]* utgör 7-segmentsdisplayer som var och en visar en siffra 0 – 9. Tillsammans visar displayerna en tid på formen HH:MM:SS, där *hex[5:4]* visar aktuell timme, *hex[3:2]* visar aktuell minut och *hex[1:0]* visar aktuell sekund.
- För högre betyg skall konstruktionen också kunna användas som en timer, som räknar ned till noll från en given tid mellan 23:59:59 och 00:00:01. Vid behov kan ytterligare in- och utsignaler läggas till.

Examination och poäng:

- Projektet skall lämnas in på GitHub med bifogade filer (det arkiverade projektet i VHDL, pulsdigram från simulering samt en kort film som visar validering på FPGA-kortet) samt en kort diskussion om projektet – lärdomar, utmaningar med mera. Deluppgifterna delas upp i G- respektive VG-nivå enligt nedan, vilket motsvarar 1 respektive 2 poäng. För tilldelad poäng skall konstruktionen uppfylla specifikationerna för motsvarande betygsnivå, rapporten skall vara godkänd och samtliga relevanta filer skall vara inlämnade.
- G-nivå:** Efter slutförd konstruktion så skall den digitala klockan kunna genomföra kontinuerlig uppräknings i 24 timmar, mätt från tiden 00:00:00 upp till 23:59:59, där aktuell tid i form av timme, minut och sekund visas på sex 7-segmentsdisplayer. Vid fortsatt uppräknings så skall klockan sedan räkna om från tiden 00:00:00 igen. Konstruktionen skall innehålla funktionalitet för förebyggande av metastabilitet.
- Klockan skall vid behov kunna startas och stoppas via en tryckknapp döpt *key_n*. Vid start så är klockan avstängd, samtidigt som tiden 00:00:00 skrivs ut på displayerna, och måste då startas via nedtryckning av denna tryckknapp. När klockan är påslagen så medför nedtryckning av samma tryckknapp *key_n* att klockan stannar och då skall aktuell tid på 7-

Digital konstruktion

segmentsdisplayerna stå kvar. Via nedtryckning av samma tryckknapp så skall klockan sedan kunna startas igen och fortsätta där den stannade.

- I konstruktionen skall också en reset-signal implementeras, som vid aktivering medför total systemåterställning, där klockan nollställs och stoppas. Denna reset-signal realiseras via en tryckknapp döpt *reset_n*. Efter systemåterställning så måste användaren manuellt starta om klockan via nedtryckning av tryckknappen *key_n* igen.
- **VG-nivå:** Förutom kraven för G så skall klockan också vid behov också kunna användas som en timer. Denna timer skall då kunna räkna ned från en given tid ned till 00:00:00.
- Timern skall närsomhelst kunna skiftas tillbaka till en reguljär klocka, som kontinuerligt håller tiden, även när timern används. Implementationen får genomföras valfritt, exempelvis tillägg av in- och utgångar, men skall uppfylla tidigare ställda krav gällande förebyggande av metastabilitet.
- Både för klockan samt timern så skall frekvensen kunna justeras mellan 1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz, 32 Hz 64 Hz samt 128 Hz via koden. **Tips:** Uppräkningsfrekvensen kan justeras via uppräkning av snabba klockpulser, där FPGA-kortets klocka innehar en frekvens på 50 MHz. Justera uppräkningsfrekvensen via en subtyp döpt *frequency_t*, där 1 Hz medför uppräkning till $50 * 10^6$, 2 Hz medför uppräkning till $25 * 10^6$, 4 Hz medför uppräkning till $12.5 * 10^6$ och så vidare.