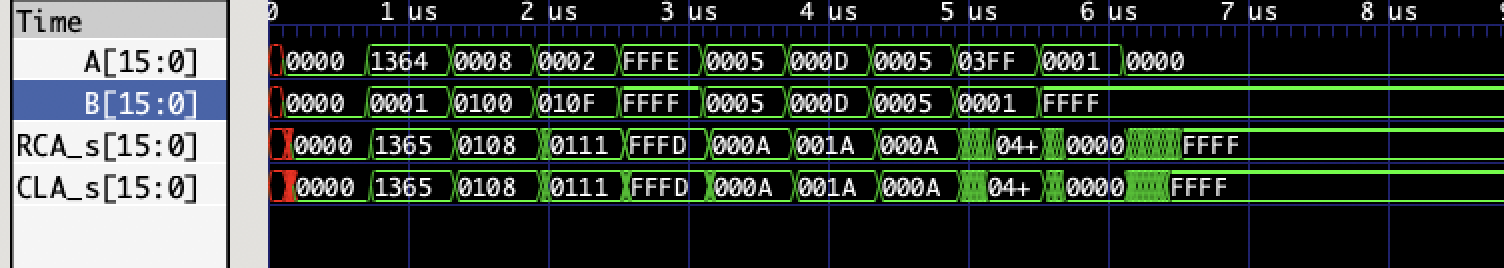
Verilog project2 b10601002 廖品捷

這次做了兩組測試，一組是照著講義的CLA unit做，另一組是用4個CLA接起來組成一個16 bit CLA。兩組都拿來跟RCA做比較。

1用講義的CLA unit：

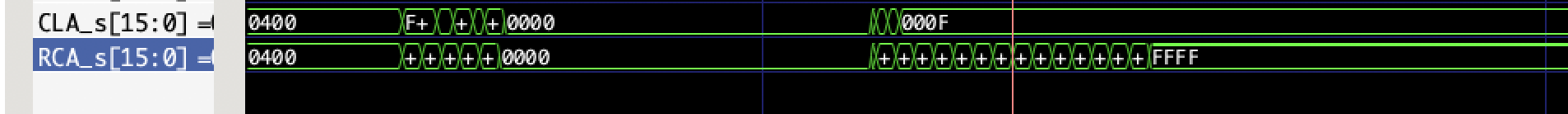


2直接用4個CLA接:

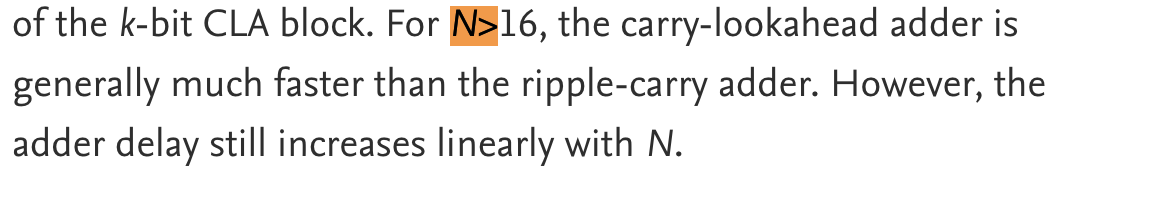
經比較後可發現，用CLA unit實作在delay上快出不少，而這也在意料之內因為用4個CLA接的話，後面的要等前面的Cout出來才能進行，所以會慢很多。

DISCUSSION:

(a)(b)由上圖的結果可以發現兩種方式的CLA的delay都不一定少於RCA，可能是它的計算量很大所以gate delay很多，在位數不多的情況下無法展現出其優勢，但是在某幾組測資中CLA完全主宰速度，而且輸RCA的時候delay不會差太多，所以CLA在速度上還是比較有保障



上網做了一些查詢，發現當bit超過16位的加法CLA能完全展現出對RCA的優勢

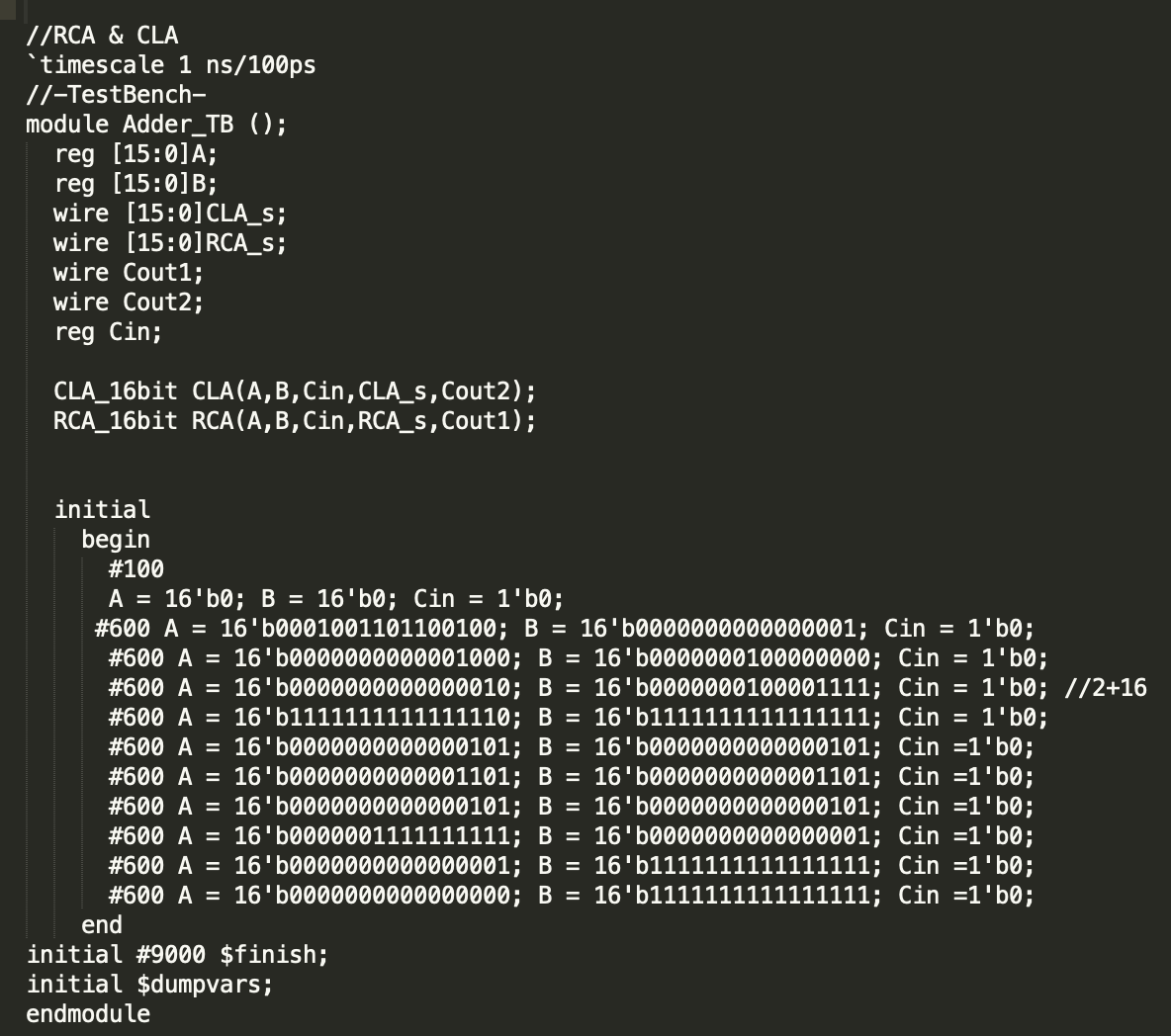


(c)

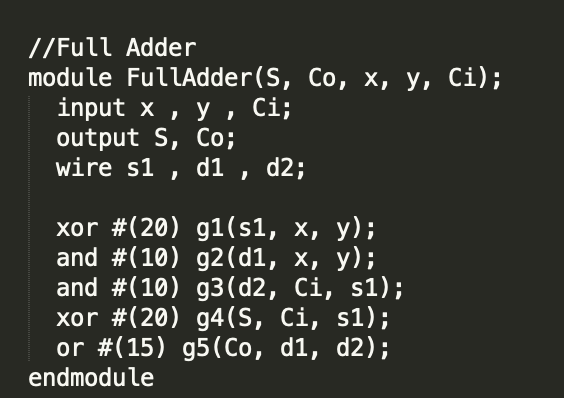
(d)兩種adder就performance來說，CLA在理論上和實作上的速度表現都比較穩定尤其是位數越多時，雖然蠻訝異有些測資是RCA較快，或許是我在設計gate時沒到最佳化。但成本方面也是CLA大很多因為需要用到很多gate來做運算，想讓CLA變快也要從硬體升級。

**Source code:**

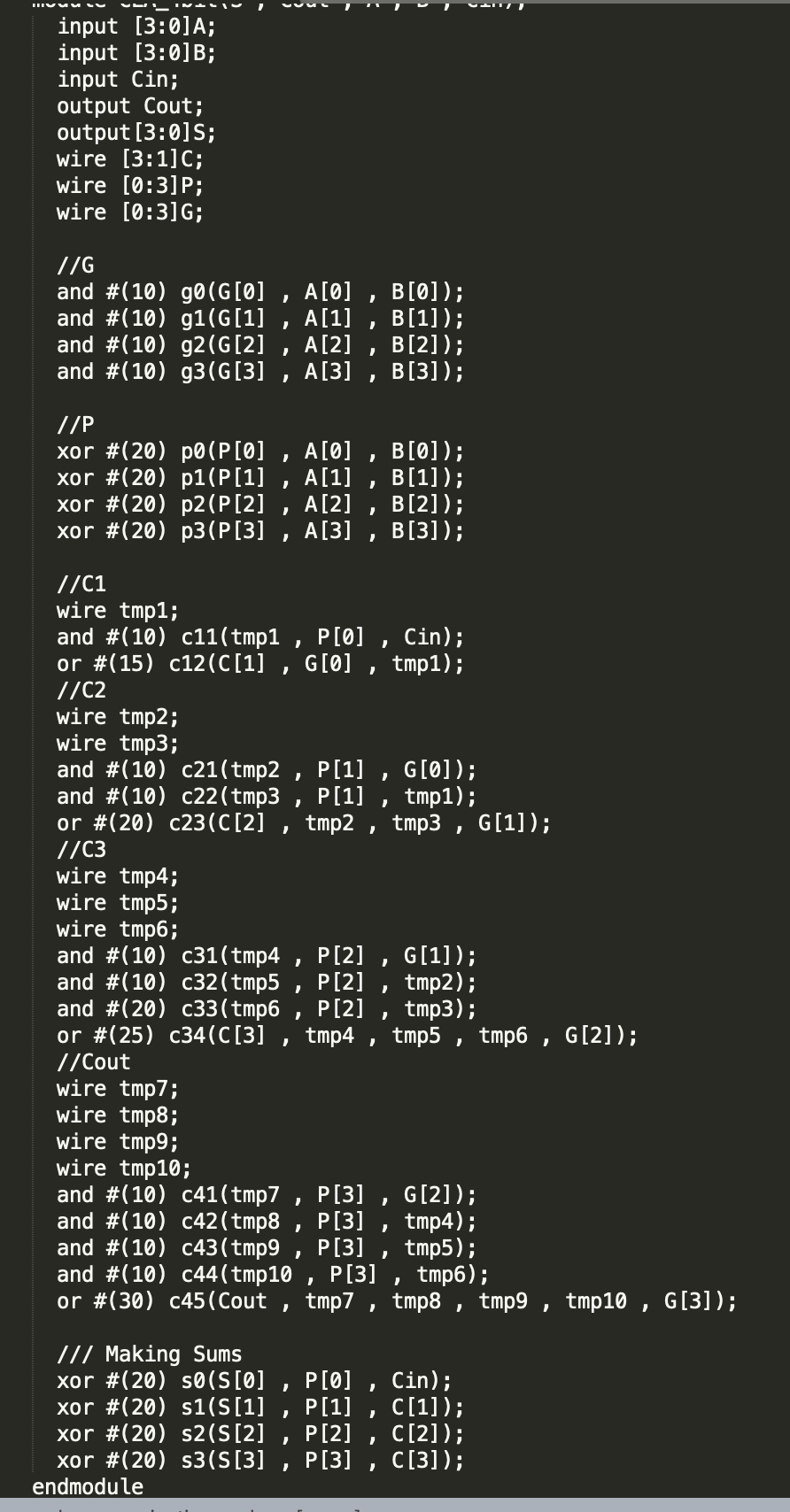
Test bench:



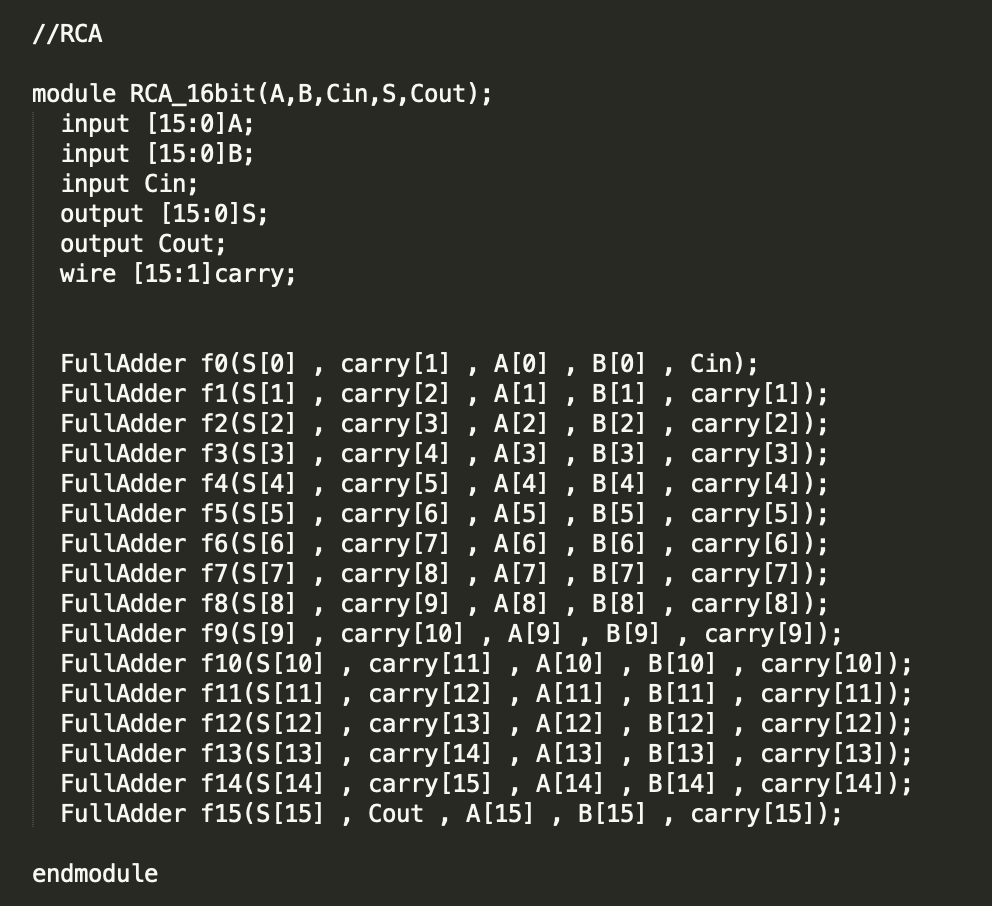
Full adder:



4 bit CLA:

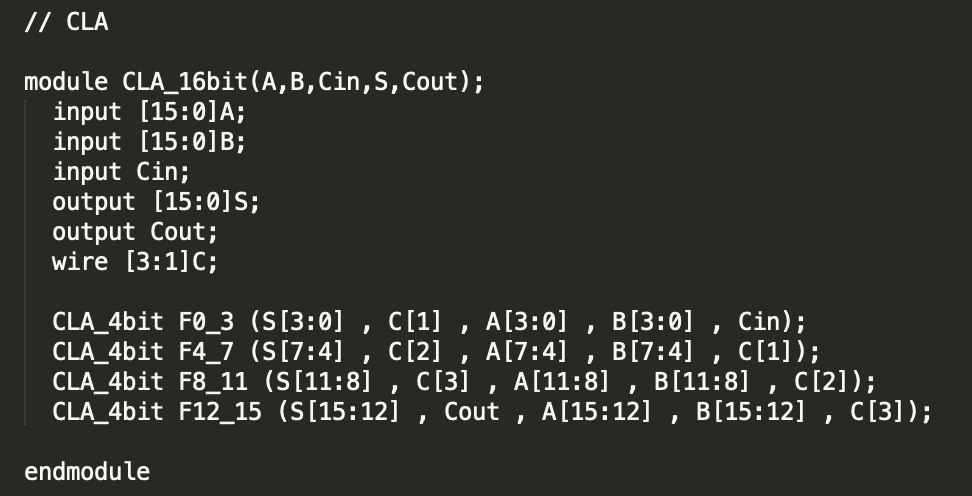


16 bit RCA using full adder:



16 bit CLA:

version1:



version2(CLA unit) #using CLA 4-bit with P and G version

