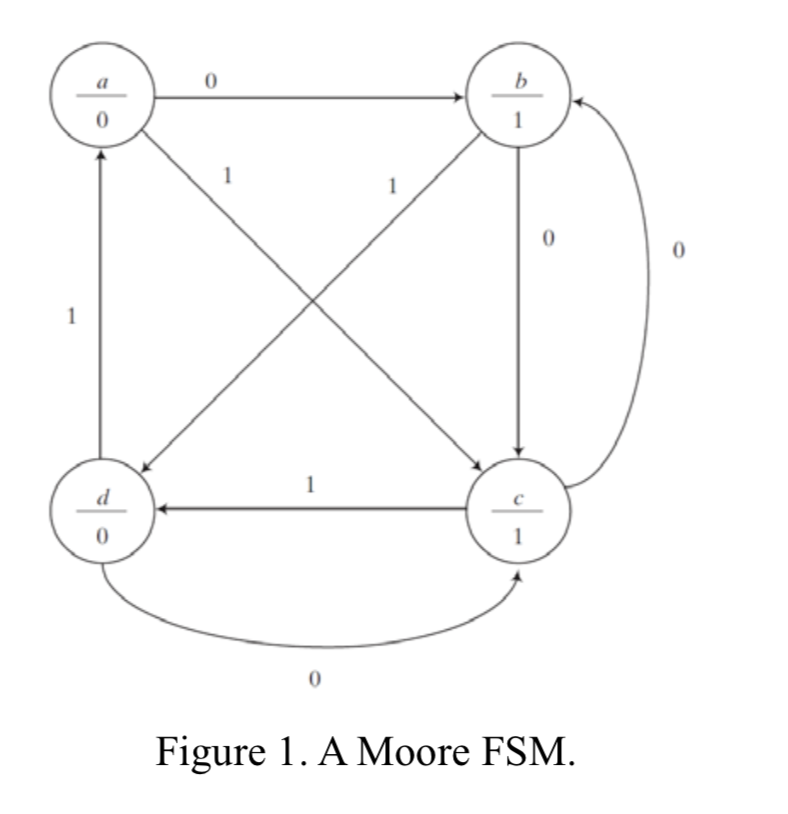
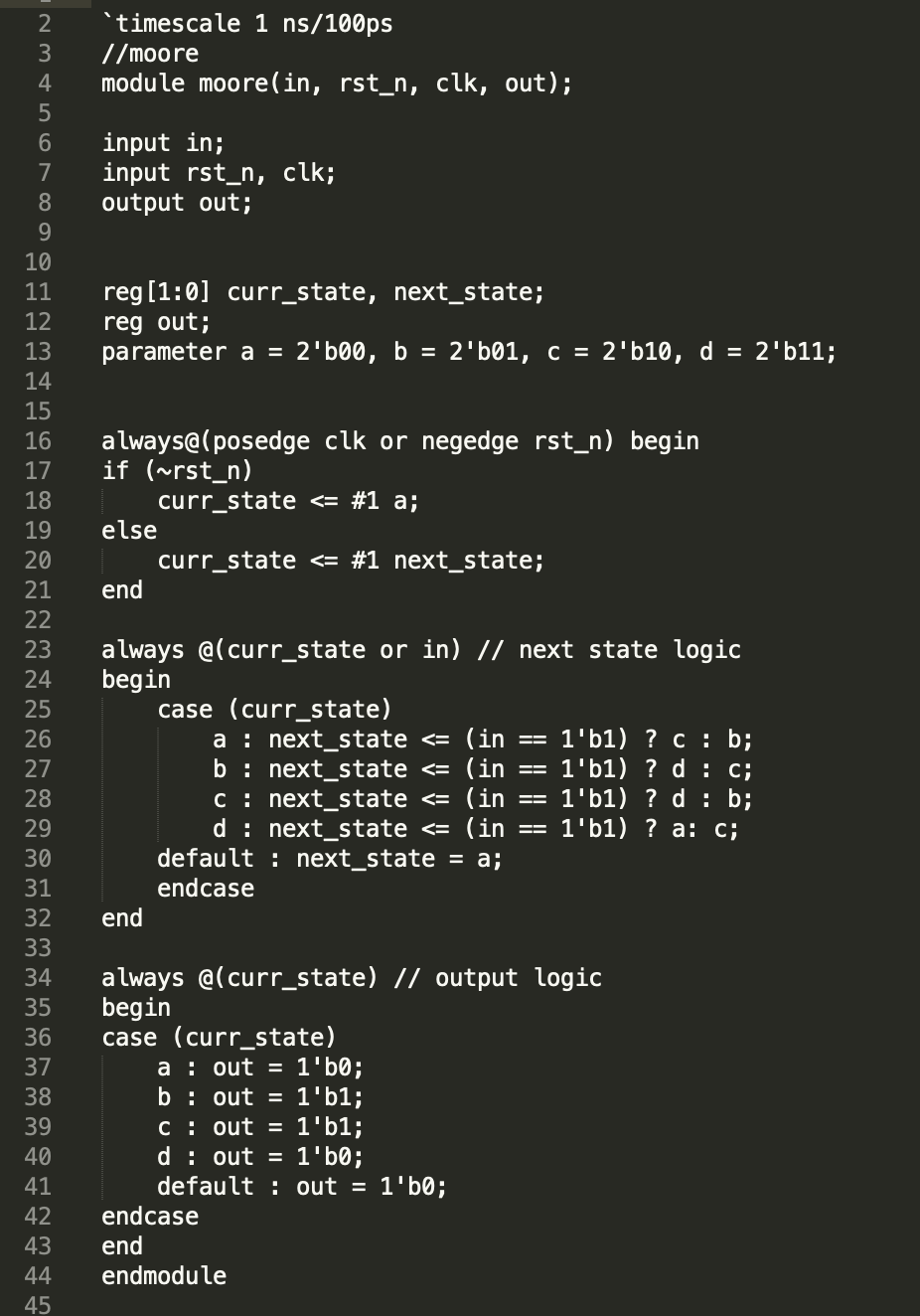
Verilog project6 b10601002 廖品捷

Github: <https://github.com/JamesLiao714/DLD-verilog>

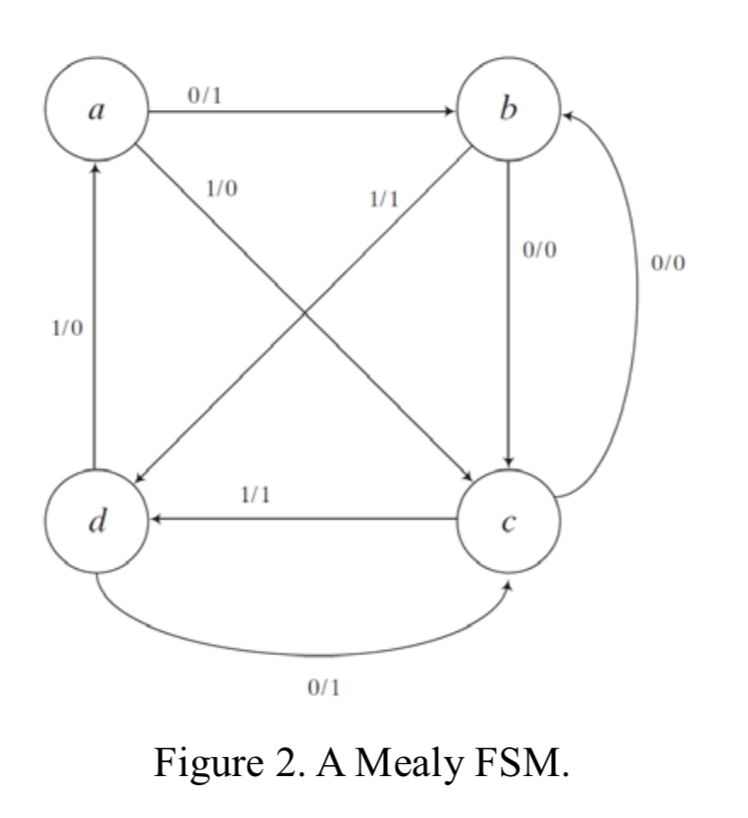
1. Write the behavioral description of a Moore FSM described by Figure 1. 

我將a,b,c,d分別設為parameter 00,01,10,11 一開始當input為0時, state會跑到b,output為1…以此類推，此種machine的output不受input影響。

code:

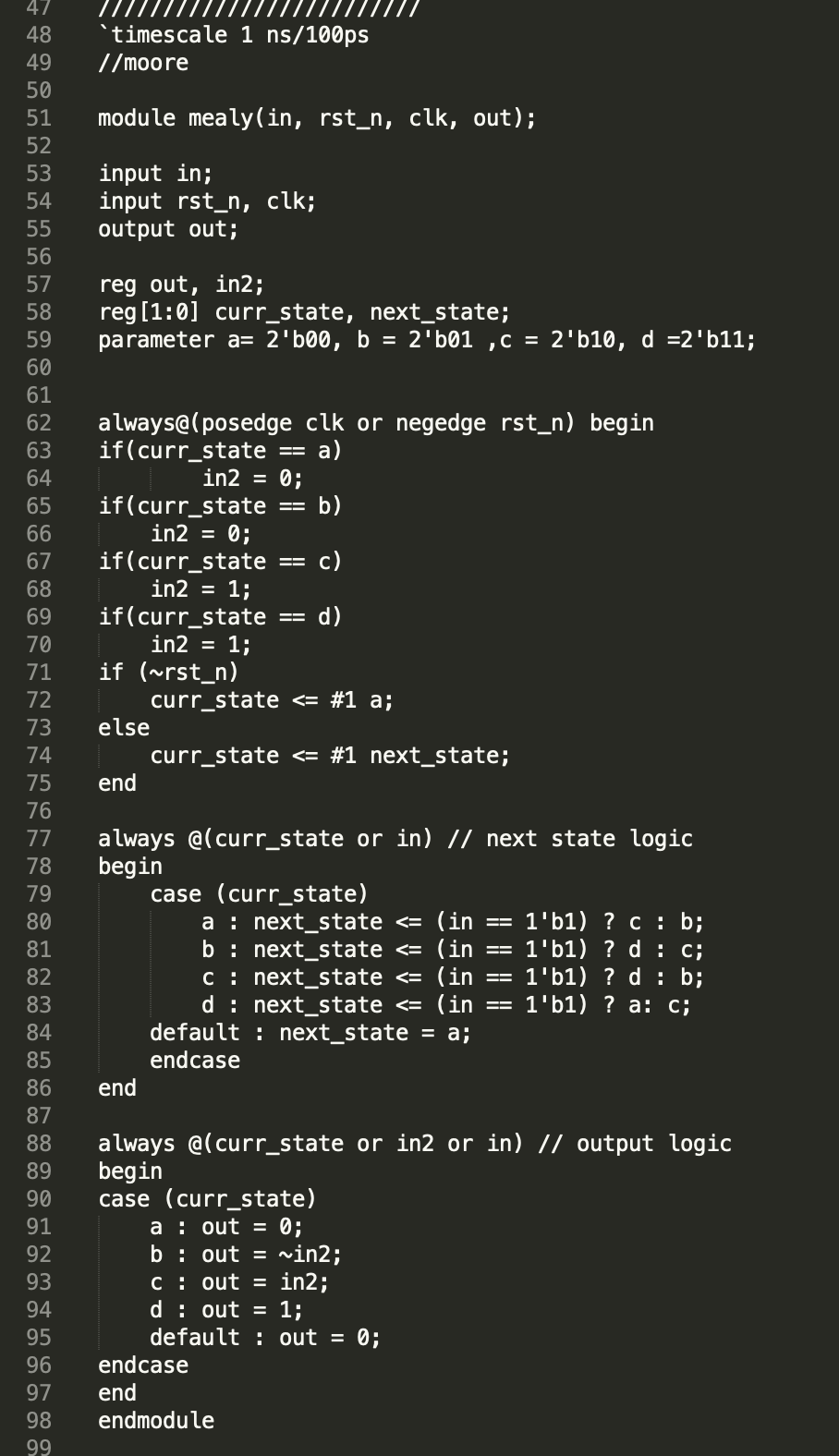


1. **Write the behavioral description of a Mealy FSM described by Figure 2**

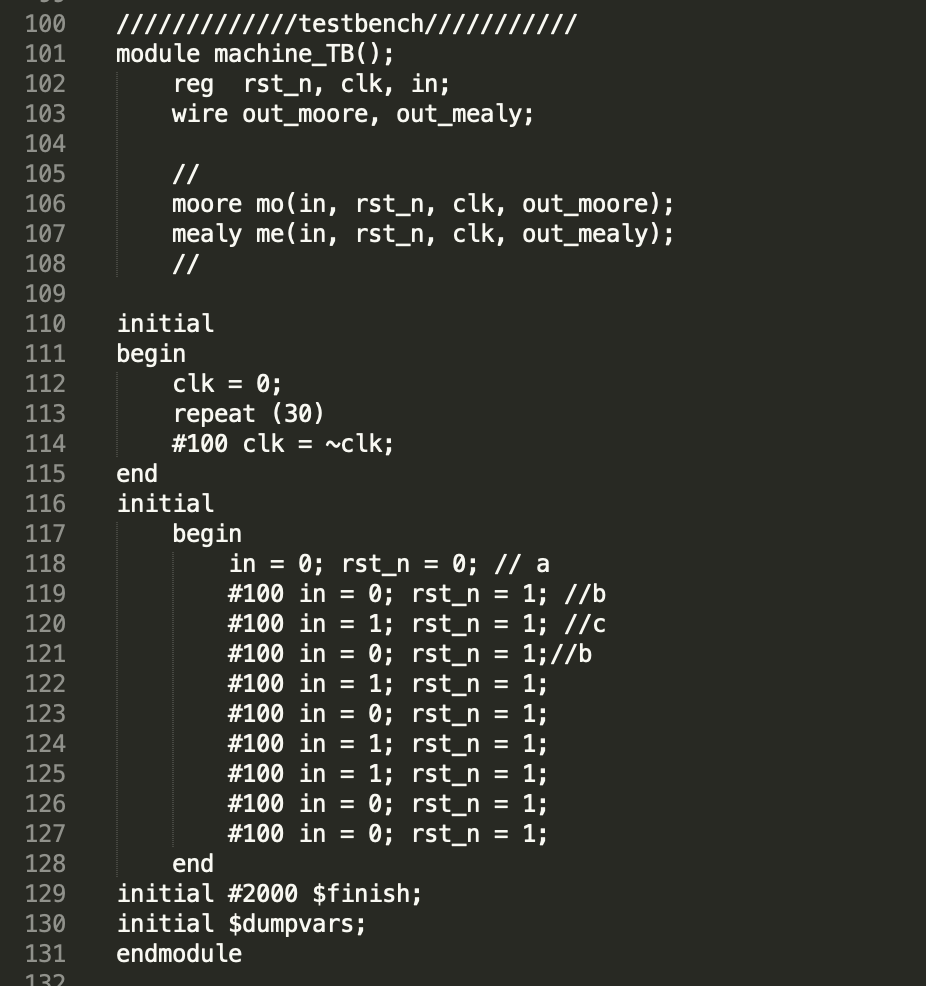
****

我將a,b,c,d分別設為parameter 00,01,10,11 一開始當input為1時, state會跑到c, output為0…以此類推，此種machine的output受input影響。

code:



test bench:

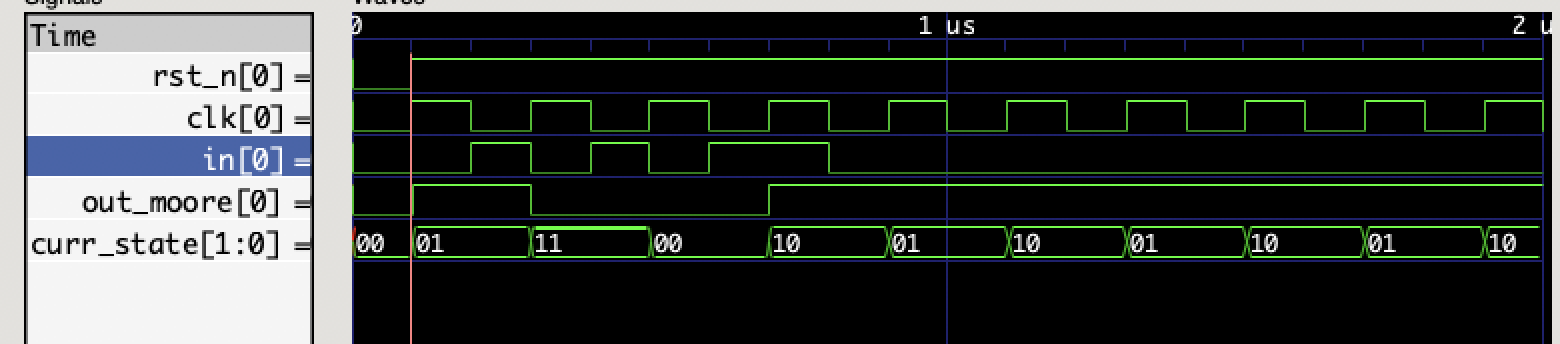


waveform:

實作模擬如下圖

1. Moore FSM

此positive edge trigger 一開始透過rst\_n講state initiate為a(00)，我們可以透過curr\_state來查看state的跑動和input的關聯。



1. **Mealy FSM**

此positive edge trigger 一開始透過rst\_n講state initiate為a(00)，我們可以透過curr\_state來查看state的跑動,output和input的關聯。實作結果中，也可以看到glitch的發生，因為我有用一個in2 register來計算ouput的值，而造成一些delay。

