IE-0523 Circuitos Digitales II I Ciclo 2021 Prof. Jorge Soto

13 de abril de 2021

Tarea #1 (Para entregar el 28 de abril)

- 1. (10 puntos) Contabilice el tiempo que le toma hacer esta tarea. Es decir, tome el tiempo que transcurre entre el momento que inicia a trabajar en la tarea y cuando termina de hacerlo. Si la tarea la realiza en varias sesiones, entonces contabilice el tiempo de cada sesión y súmelo para obtener el total. Separe el tiempo en distintas tareas, por ejemplo:
 - a. Buscar información.
 - b. Estudiar la información para decidir qué hacer.
- c. Ejecutar lo que decidió hacer. (Si tiene varios pasos indique el tiempo que toma cada uno)
 - d. Confeccionar el reporte o respuestas solicitadas en la tarea.
- 2. (20 puntos) Busque e instale las herramientas de diseño que se usarán en este curso: Icarus Verilog con GTkWave y Yosys.
- 3. (20 puntos) Describa qué hace cada una de esas herramientas. Muestre con un ejemplo qué puede hacer cada herramienta. Incluya imágenes de pantalla para demostrar que se hizo cada uno de los ejemplos. Puede utilizar como ejemplo "Alarma_ejemplo_1.zip".
- 4. (20 puntos) Diseñe un makefile (únicamente ejecutable en sistemas operativos Unix) que permita lanzar cada uno de los ejemplos del punto 3) de forma automática.
- 5. (10 puntos) Haga una copia del módulo conductual de alarma y guárdelo en otro archivo. Utilice el comando de Unix "sed" para cambiarle el nombre a dicho módulo dentro del archivo nuevo, agregándole la terminación "synth" al nombre del módulo. Agregue el uso de sed al makefile anterior.
- 6. (20 puntos) Investigue el complemento AUTOINST de Emacs o Vim e instálelo, éste le ayudará a realizar instancias de bloques grandes. Cree un archivo nuevo "alarma_autoinst.v" y utilice el complemento para instanciar el módulo conductual de alarma. El siguiente enlace le puede ayudar:

https://www.veripool.org/projects/verilog-mode/wiki/Documentation