Q

Página inicial

ssador simples

Aos alunos de Engenharia de Computação

Disciplinas

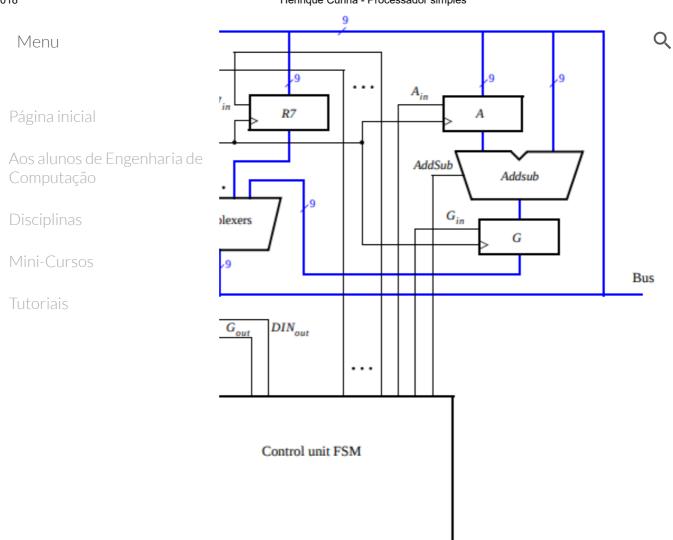
implementar o processador abaixo.

Mini-Cursos

Tutoriais

lor extremamente simples que contém um conjunto de registradores idor/subtrator, uma unidade de controle (FSM). A entrada de dados s DIN. Os dados podem ser carregados por meio de um multiplexador , tais como RO, R1, ..., R7 e A. O multiplexador também permite que i registrador para outro. Os fios de saída do multiplexador são e a troca de dados entre os componentes do processador.

le números com sinal é realizada usando o multiplexador para nento e, em seguida, colocar esse valor no registrador A. Um vez que ocado no barramento, o somador/subtrator realiza a operação no registrador G. Os dados de G podem também ser transferidos para a necessário.



diferentes a cada ciclo de clock, de acordo com o que for determinado de faz com que um dado em particular seja colocado no barramento e ser carregado com esse dado. Por exemplo, se a unidade de controle multiplexador coloca o conteúdo do registrador RO no barramento e or A no próximo ciclo de clock.

Done

Q

Página inicial

Aos alunos de Engenharia de Computação

Disciplinas

Mini-Cursos

Tutoriais

isando um formato de 9 bits IIIXXXYYY, onde III especifica a instrução, istrador Ry. Veja que só necessitamos de 2 bits para codificar nossas que pretendemos adicionar novas instruções no futuro. Dessa forma, para as instruções:

n entrada externa DIN e colocadas no registrador de instrução IR. Para m significado e o dado #D tem que ser provido na entrada DIN no ciclo ção mvi seja armazenada no registrador de instrução IR.

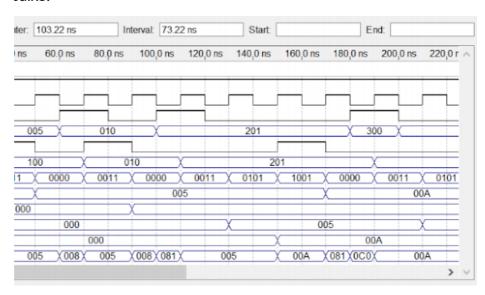
ação) levam mais de 1 ciclo de clock para compeltar, isso acontece por noias pelo barramento. A FSM da unidade de controle passa por essas ntrole corretos em ciclos de clock sucessivos até que a instrução seja ecutando a instrução na entrada DIN quando o sinal de Run é setado. Recuta a instrução, ele seta a saida Done. A tabela a seguir insdica estados a cada passo de tempo para que as instruções da tabela 1 sejam sinal de controle setado no passo de tempo zero é o IRin, dessa forma na tabela.

Menu	$T_1$	$T_2$	$T_3$	Q
	$_{t}$ , $RX_{in}$ ,			
Página inicial	one			
Aos alunos de Engenharia de Computação	$_{\iota t},RX_{in},$ one			
Disciplinas	$u_t, A_{in}$	$RY_{out}, G_{in}$	Good RX:	
Mini-Cursos	ut, 11in	na out, oin	$G_{out}$ , $RX_{in}$ , $Done$	
Tutoriais	$_{ut},A_{in}$	$RY_{out}, G_{in}, \\ AddSub$	$G_{out}$ , $RX_{in}$ ,	
		AddSub	Done	

lementar o processador acima. Para isso realize os seguintes passos:

seu projeto e use o "esqueleto" de código verilog abaixo circuito funciona

## paixo:



n, Done, BusWires);

? = 2'b10, T3 = 2'b11;

Q

Página inicial

Aos alunos de Engenharia de Computação

Disciplinas

- Mini-Cursos
- Tutoriais

nesse passo

g)

R no passo 0

Menu	
Página inicial	
Aos alunos de Engenharia de Computação	
Disciplinas	
Mini-Cursos	
Tutoriais	
	esetn)
	RO);
	somador/subtrator

Q

Página inicial

Aos alunos de Engenharia de Computação

Disciplinas

- Mini-Cursos
- Tutoriais