

UNIVERSIDADE FEDERAL DO VALE DO SÃO FRANCISCO
DISCIPLINA: ORGANIZAÇÃO E ARQ. DE COMPUTADORES
PROFESSOR: RÔMULO CALADO PANTALEÃO CAMARA

BARRAMENTO AMBA

ALUNOS: ALLISSON PIERRE
CAROLINE CARVALHO
ESRON DTAMAR
PEDRO DUARTE

JUAZEIRO - BA

2013

1. INTRODUÇÃO

A Arquitetura de Barramento Avançado de Microcontrolador (AMBA, Advanced Microcontroller Bus Architecture) foi introduzida em 1996 e é largamente utilizada como um padrão de comunicação on-chip da ARM Limited. Sua função é fazer com que blocos interajam uns com os outros em um SoC (System-on-a-Chip, sistema em um chip ou circuito integrado por microcontroladores), interconectando os seus módulos.

O seu barramento de padrão aberto traz vantagens como uma maior compatibilidade com os barramentos periféricos, mais flexibilidade e independência de tecnologia. Ao longo do tempo, o AMBA passou por quatro especificações (AMBA 1.0, AMBA 2.0, AMBA 3.0 e AMBA 4.0) e também foi dividido em dois tipos de barramento, os barramentos de sistema, entre eles o AMBA AHB, ASB e AXI, e o barramento de periféricos, com o AMBA APB.

A principal diferença entre esses barramentos é o nível de desempenho desejado. Para dispositivos de E/S, o barramento APB é menos complexo, pois ele é otimizado para o baixo consumo de energia, além de possuir uma interface de baixa complexidade. O AHB é um barramento utilizado quando se exige um alto desempenho com altas frequências de clock. O ASB é utilizado para módulos de alto desempenho, e quando os requisitos de desempenho do AHB não são necessários. O protocolo AXI é utilizado para altas performances, designs de sistemas de alta frequência e uma série de características de interconexão de alta velocidade.

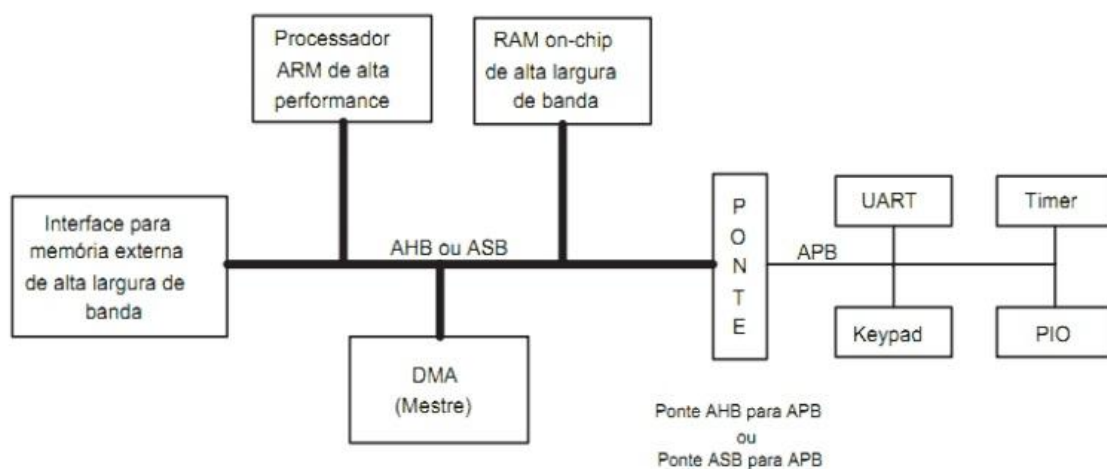


Tabela 1: Comparação de desempenho do AMBA Bus-Based System-On-Chip.

Protocolo Amba	Característica principal
AMBA 1.0	AMBA 1.0 Advanced System Bus (ASB) e Advanced Peripheral Bus (APB)
AMBA 2.0	High-performance Bus (AHB)
AMBA 3.0	AMBA 3.0 Advanced eXtensible Interface (AXI) e Advanced Trace Bus(ATB)
AMBA 4.0	AXI4, AXI4-Lite, stream AXI4

Tabela 2: Comparação dos tipos de protocolo AMBA.

	APB	AHB	AXI3/AXI4
Processadores	Todos	ARM 7,9,10	ARM 11
Sinais de controle	4	27	77
Número de Masters	1	1-15	1-16
Número de Slaves	1-15	1-15	1-16
Tipo de interconexão	MUX central	MUX central	Crossbar com 5 canais
Leitura e escrita simultânea	Não	Não	Sim

2. TIPOS DE BARRAMENTOS AMBA

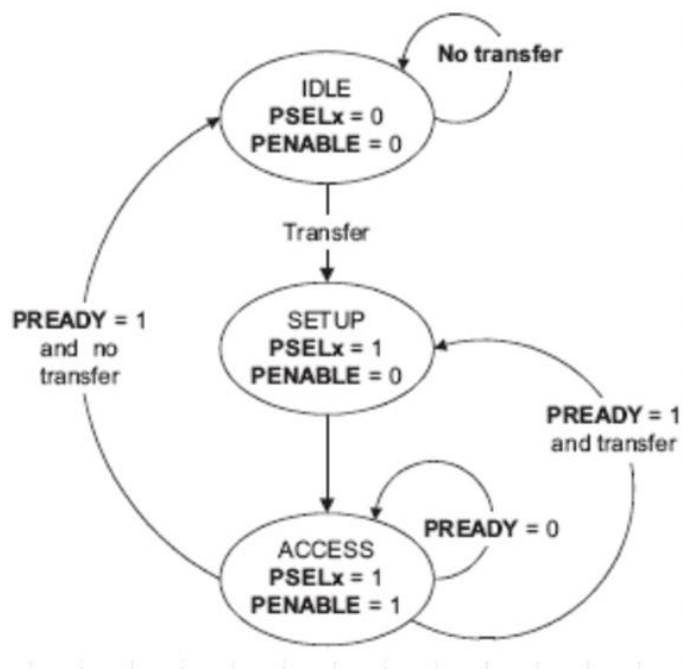
2.1. Advanced Peripheral Bus (APB)

AMBA APB foi criado para controlar dispositivos periféricos e de baixo desempenho, também apresenta um baixo consumo de energia e pouca largura de banda. O APB é normalmente encapsulado como o único slave (escravo) para dispositivos ASB ou AHB, fazendo essas conexões através de pontes, onde ocorrem as conversões dos sinais necessários. Eles têm de suportar sinais de 32 bits e 66 MHz.

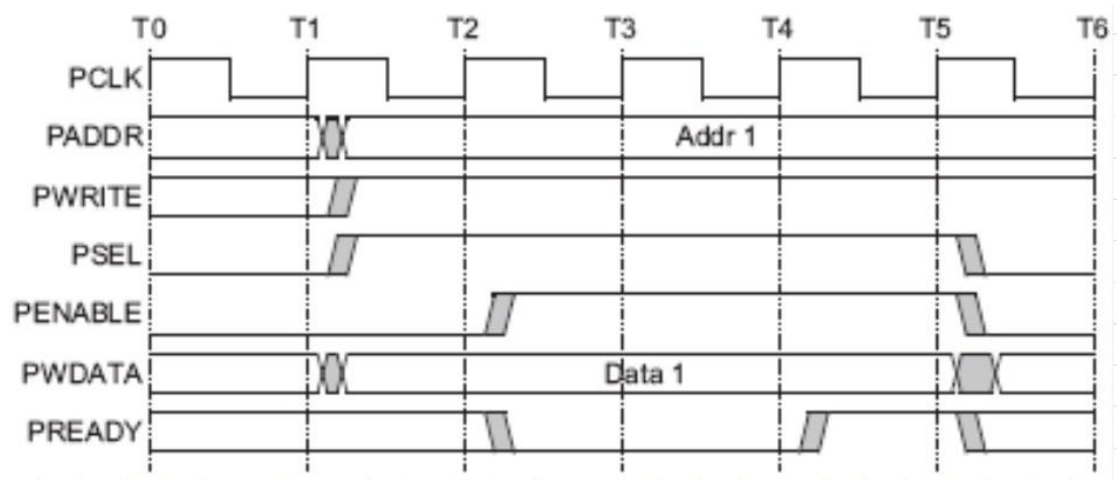
Sinais do AMBA APB:

- PCLK – sinal de clock
- PADDR[31:0] – endereçamento
- PWRITE – indica se a operação é de leitura ou escrita
- PRDATA – dado lido pelo escravo
- PWDATA – dado a ser escrito
- PSELx – seleciona um escravo
- PENABLE – indica o segundo ciclo de uma transferência
- PREADY – indica se a operação terminou

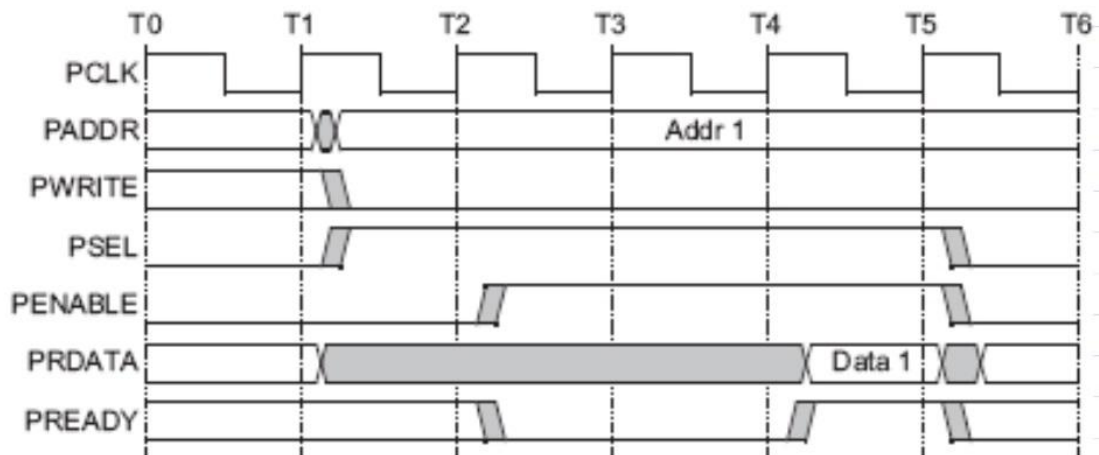
Diagrama de estados:



Transferência de escrita:



Transferência de leitura:



2.2. Advanced High-performance Bus (AHB)

AHB é um protocolo de barramento introduzido na AMBA 2.0 publicado pela ARM Ltd Company.

Em adição ao antigo lançamento teve as seguintes características:

- Múltiplos mestres do barramento
- Transferências burst
- Implementação sem tri-state
- Barramento de dados de maior largura (até 128 bits)
- Transações apenas na subida do clock
- Operações de transferência com a utilização de pipeline

Uma transação simples no AHB consiste de uma fase de endereçamento e uma fase subsequente de dados (sem estados de espera: apenas dois ciclos de barramento). Acesso ao dispositivo alvo é controlado através de um MUX (non-tristate), admitindo assim acesso de barramento a um barramento mestre de cada vez.

Mestre AHB

O mestre do barramento é capaz de iniciar operações de leitura e escrita fornecendo endereço e sinais de controle. Dois mestres não podem utilizar o barramento simultaneamente.

Escravo AHB

O escravo AHB responde às operações de leitura e escrita solicitadas pelo mestre quando estão no seu intervalo de endereçamento. A resposta do escravo pode ser um indicativo de sucesso, falha ou espera pela transferência dos dados.

Árbitro AHB

O árbitro AHB garante que apenas um mestre tenha controle do barramento num dado intervalo de tempo. O protocolo de arbitragem é fixo, mas qualquer algoritmo de arbitragem pode ser utilizado (depende da necessidade do sistema).

Seletor AHB

Decodifica o sinal de endereço de cada transferência de dados e fornece o sinal de seleção para o escravo envolvido na transferência. Pode existir somente um seletor em qualquer implementação de AHB.

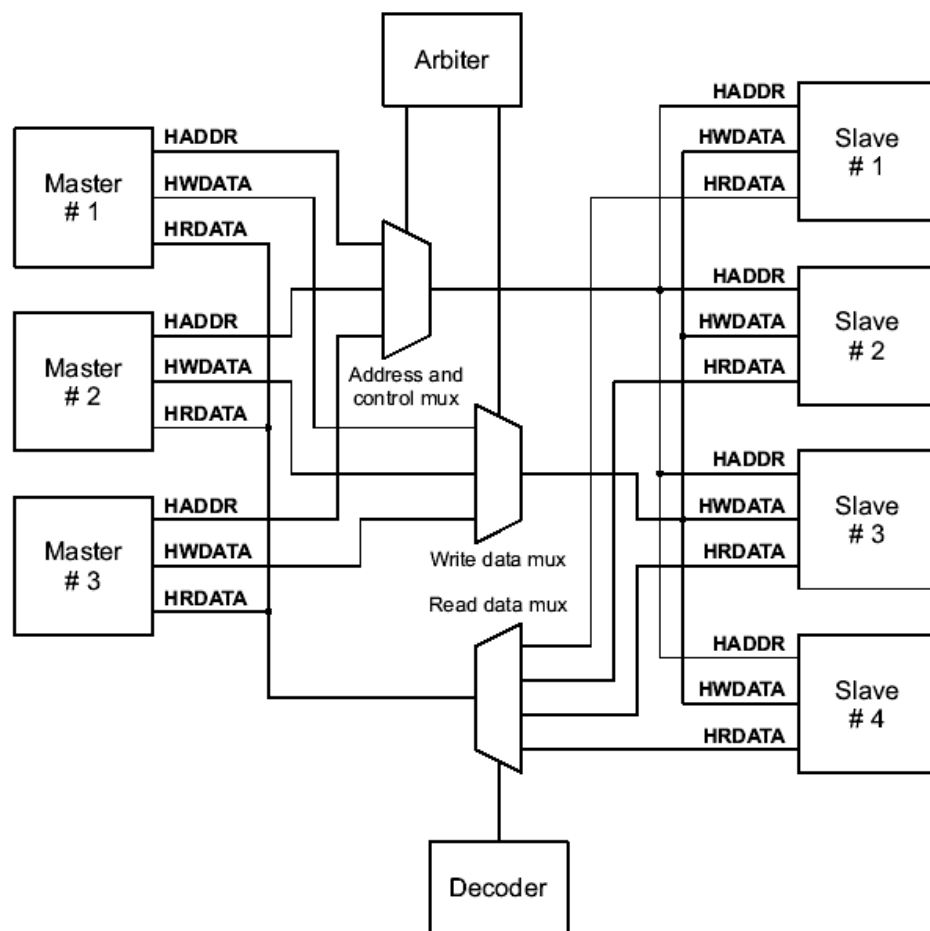
Sinais AHB:

- HCLK: clock ativo na borda de subida
- HRESETn: reset ativo em nível baixo
- HADDR[31:0]: Endereço de 32 bits
- HTRANS[1:0]: Tipo da transferência atual
- HWRITE: 1 para escrita e 0 para leitura
- HSIZE[2:0]: tamanho dos dados transferidos
- HBURST[2:0]: Indica transferência em modo burst
- HPROT[3:0]: Nível de proteção da operação sendo realizada
- HWDATA[31:0]: Dados enviados pelo mestre
- HSELx: Sinal de seleção do escravo x
- HRDATA[31:0]: Dados enviados pelo escravo
- HREADY: Indica o final de uma transferência
- HRESP[1:0]: Estado da transferência

Sinais de arbitragem (AHB)

- HBUSREQx: Solicitação do barramento
- HLOCKx: Solicitação de lock no barramento
- HGRANTx: Autorização de uso do barramento
- HMASTER[3:0]: Indica qual o mestre possui o barramento
- HMASTLOCK: Indica que o mestre atual está com lock no barramento
- HSPLITx[15:0]: Solicitação de continuação de transferência pelo escravo

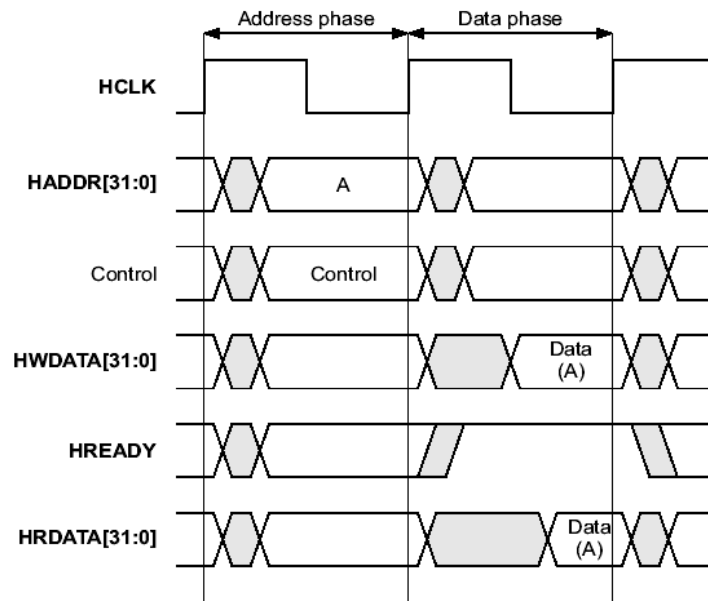
Interligação do AHB



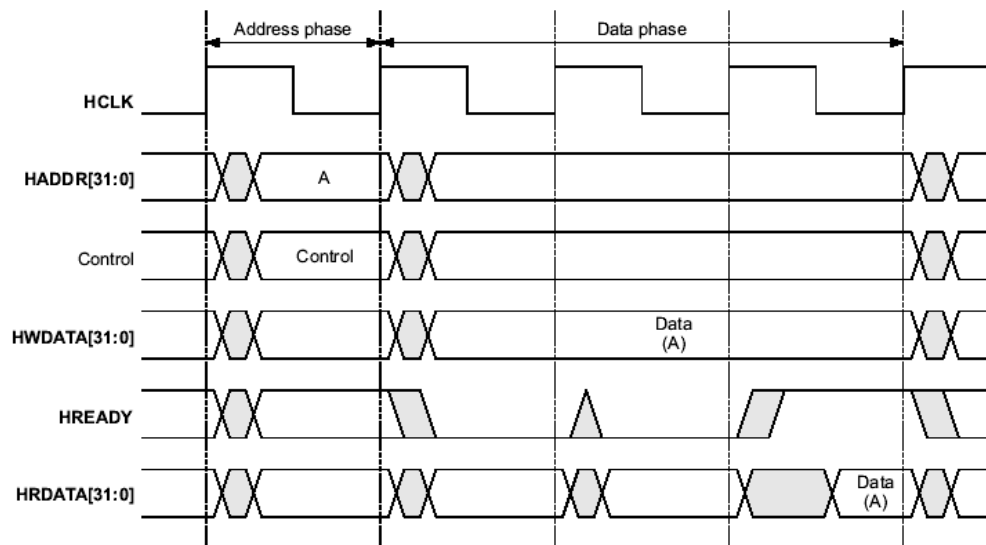
Transferência de Dados no AHB

O mestre inicia solicitando permissão ao árbitro. Quando a permissão é recebida, o mestre envia o endereço e o controle. Os barramentos de escrita e leitura são usados para completar a operação. O endereço não pode ser mantido por mais de um ciclo, já os dados podem se o destino solicitar através do sinal HREADY. Durante a transferência, o estado do escravo pode ser OKAY, ERROR, RETRY ou SPLIT.

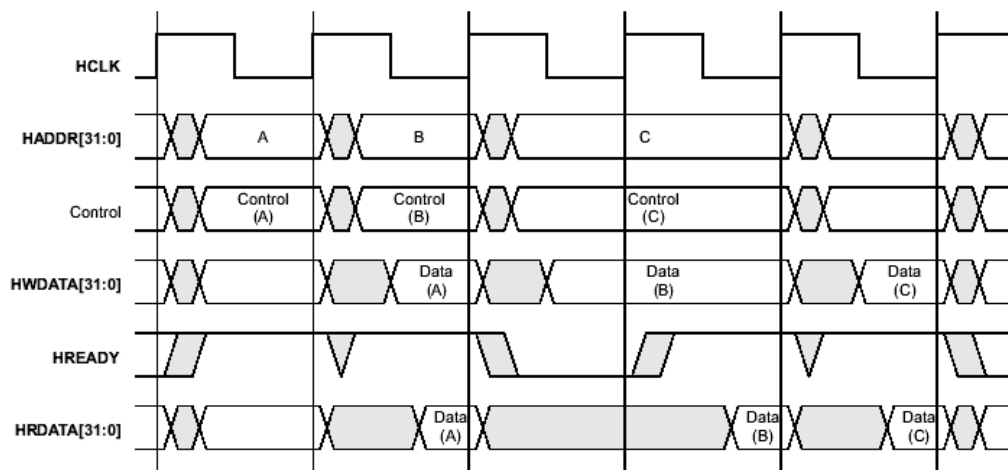
Transferências Simples



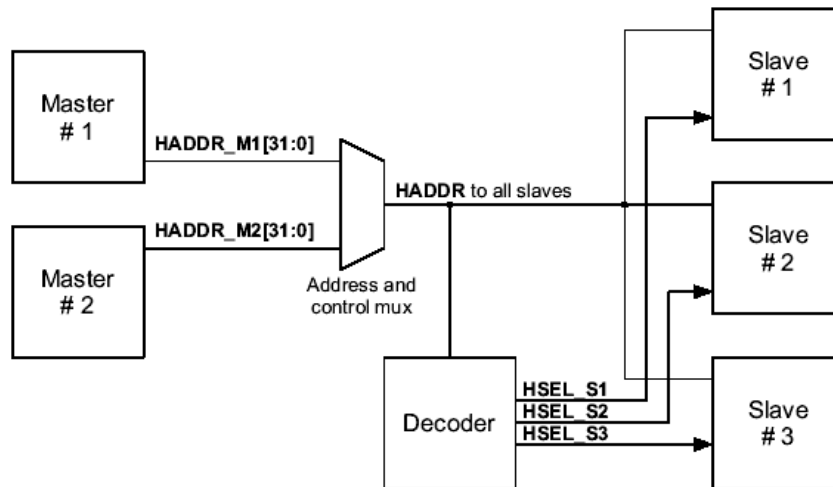
Transferência com Espera



Transferências Múltiplas



Decodificação de Endereços



2.3. Advance Extensible Interface (AXI)

O protocolo AXI foi criado com o objetivo de, além de ter alto desempenho e frequência, utilizar sua alta frequência sem utilizar pontes complexas, atender aos requisitos de interfaces de um amplo conjunto de componentes, realizar transações em rajadas com apenas o endereço inicial emitido, separar a leitura e escrita dos canais de dados para possibilitar o low-cost (pouco consumo) da DMA e realizar transações alternadas.

Toda a transação possui informações de controle e endereço propagadas no canal de endereço que descreve o tipo de dado a ser transferido. O dado é transferido entre o mestre e o escravo usando o canal de escrita de dados, caso seja para o escravo, ou canal de leitura, caso seja para o mestre.

As principais características do protocolo AXI são:

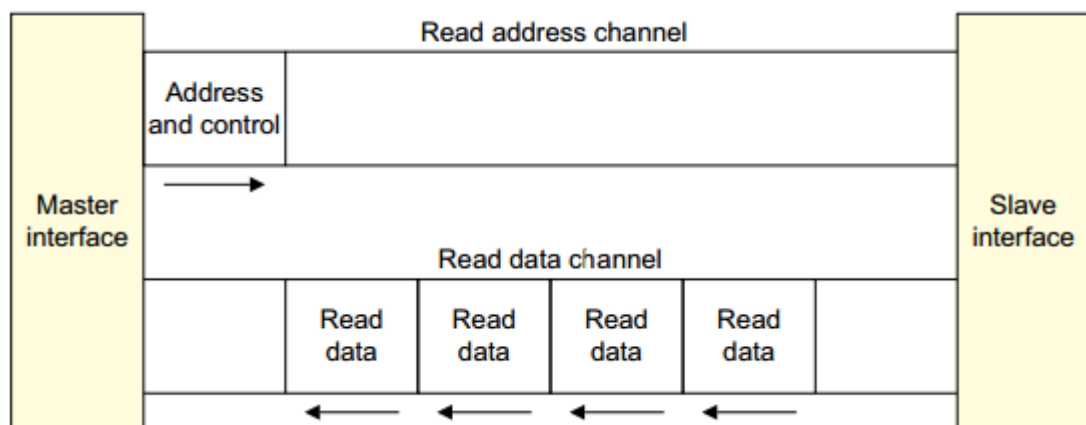
- Possui fase de dados, comandos de endereço ou controle separados;
- Realiza transações em burst após a emissão do endereço;
- Aconselhável para projetos que necessitem de uma alta largura de banda e baixa latência;
- Possui flexibilidade na implementação de arquiteturas intercomunicáveis;
- É compatível a comunicação com a interface dos protocolos AMBA AHB e APB;
- Fácil adição de estágios de registros;
- Possui a capacidade de emitir vários endereços pendentes;
- Possui canais de endereçamento, dados de leitura, resposta da leitura, dados de escrita e resposta da escrita.

Canais

- Endereçamento
- Dado da leitura
- Resposta da leitura
- Dado da escrita
- Resposta da escrita

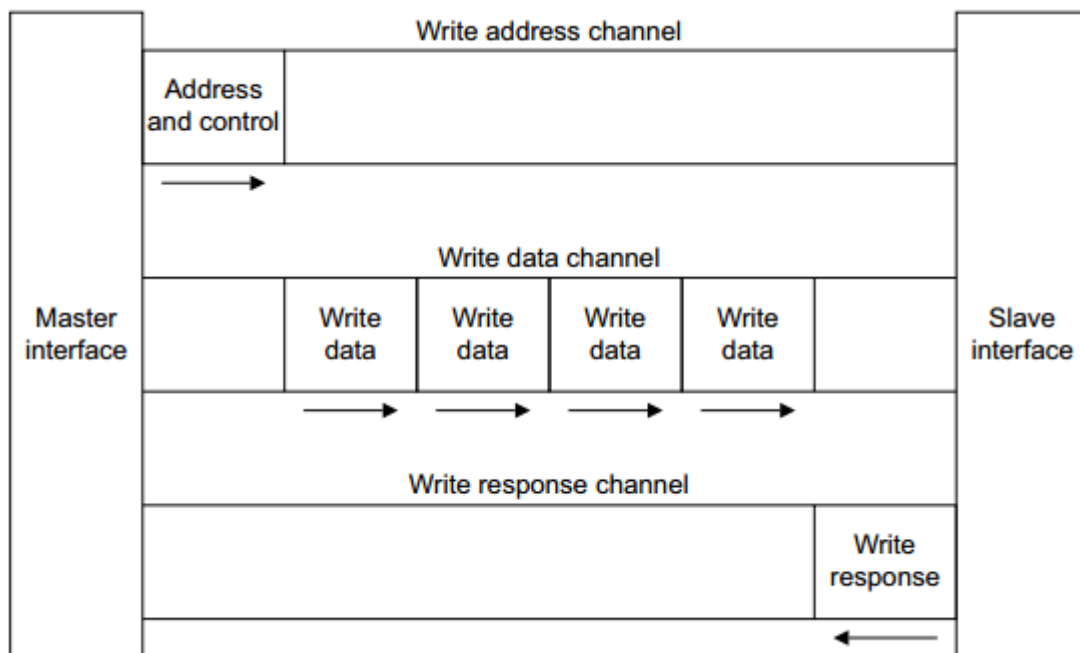
Arquitetura do AMBA AXI

O protocolo AXI se baseia em operações em rajada (burst). Todas as transações possuem um endereço e informações de controle, ambas enviadas pelo canal de endereço, que fornecerá a natureza do dado a ser transferido. O dado é transferido entre o mestre e o escravo utilizando o canal de leitura de dados para o mestre se for operação de leitura ou, se utiliza o canal de escrita de dados para o escravo para operações de escrita de dados. A figura abaixo mostra os canais de leitura entre o mestre e o escravo.



Como uma transação de leitura utiliza o endereço de leitura e ler canais de dados.

Em operações de escrita de dados, na qual todos os dados vão do mestre para o escravo, o protocolo AXI tem um canal de resposta adicional que notifica o mestre que a operação de escrita foi concluída com sucesso, pode-se notar este canal na próxima figura.



Como uma operação de gravação utiliza o endereço de escrita, escrevem dados e grava nos canais de resposta.

Esse protocolo também suporta transações múltiplas pendentes, realização de transações fora de ordem e informações a respeito do endereço a ser emitido antes da transferência de dados reais.

3. CONCLUSÃO

Como foi visto, o barramento AMBA possui alguns protocolos, dos quais foram projetados para serem usados interligando módulos de sistemas em um chip (SoC), com sua característica de padrão aberto e suas vantagens de compatibilidade, flexibilidade e indenpendência de tecnologia. Cada tipo de AMBA (APB, AHB, AXI, ASB) tem seu determinado funcionamento diferenciando-os em nível de desempenho, eles podem estar ligados através de pontes, nestas podem ocorrer conversões de sinais para as devidas transmissões de dados, endereçamentos e para o controle e assim funcionamento do sistema.