

数字集成电路设计课程设计

快速傅里叶变换电路设计

方案讨论

第六组

罗恬 齐奕翔 杨文曦

TOC

运算原理及数据表示

整体架构设计

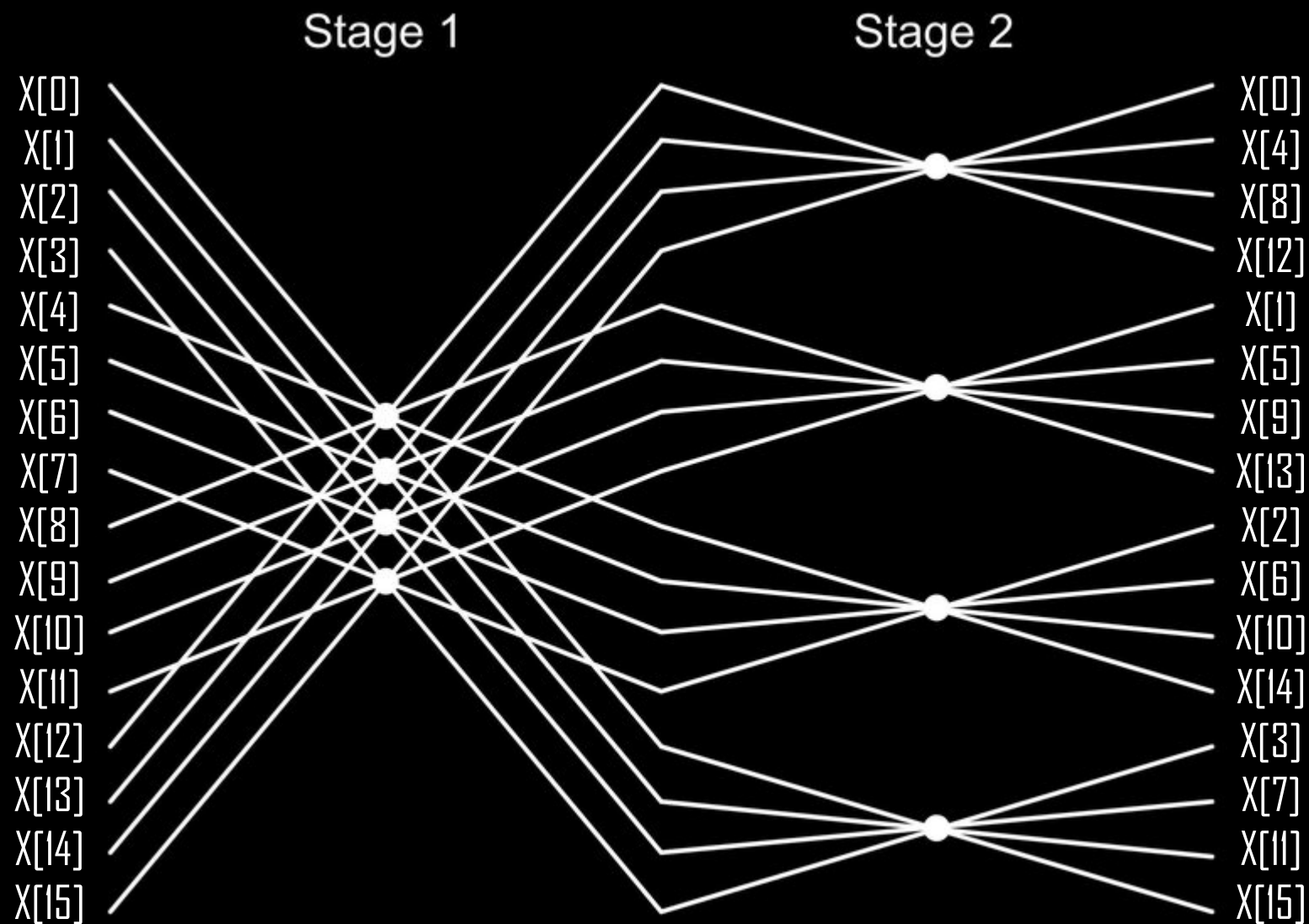
模块细节设计

资源及面积统计

运算原理及数据表示

FFT算法原理及选择
算法中的数据表示方式

16点基4-FFT算法流图



16点基4-FFT原理

$$X(r) = X_0(r) + W_N^r X_1(r) + W_N^{2r} X_2(r) + W_N^{3r} X_3(r)$$

$$X\left(r + \frac{N}{4}\right) = X_0(r) - jW_N^r X_1(r) - W_N^{2r} X_2(r) + jW_N^{3r} X_3(r)$$

$$X\left(r + \frac{N}{2}\right) = X_0(r) - W_N^r X_1(r) + W_N^{2r} X_2(r) - W_N^{3r} X_3(r)$$

$$X\left(r + \frac{3N}{4}\right) = X_0(r) + jW_N^r X_1(r) - W_N^{2r} X_2(r) - jW_N^{3r} X_3(r)$$

基4相比基2的优点

复数乘法减少，加减法可通过线性变换优化

数据表示

$$z = a + bj$$



符号位

整数位

小数位



17bit

整体架构设计

串行/并行方案选择

整体架构及模块逻辑框图

输入输出方案选择

方案一：并行输入输出

- 如果数据全部并行

需要 32×34 共1088个管脚

特点

- 输入速度更快
- 管脚需求过多

方案二：串行输入输出

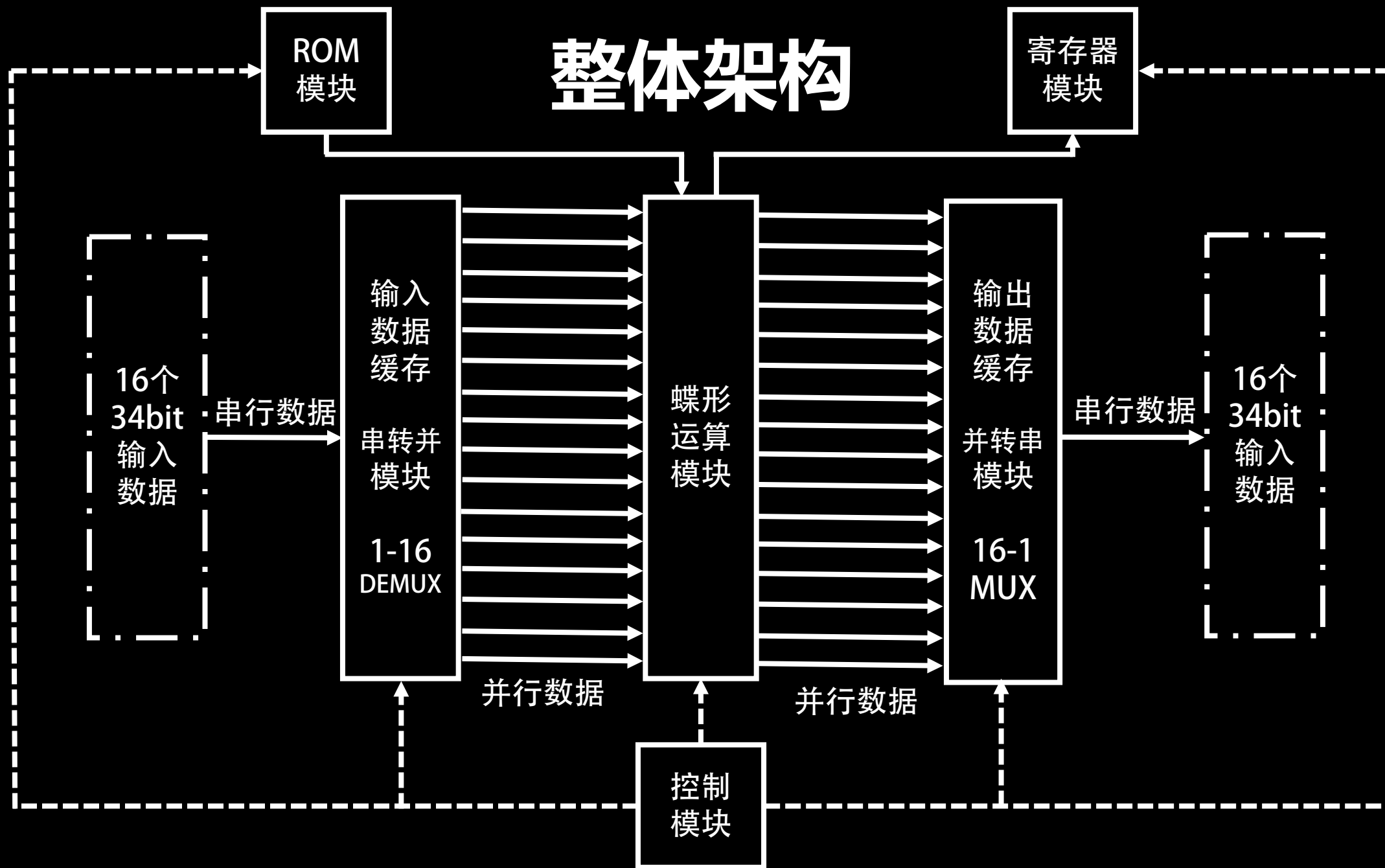
- 如果数据全部串行

需要68个管脚

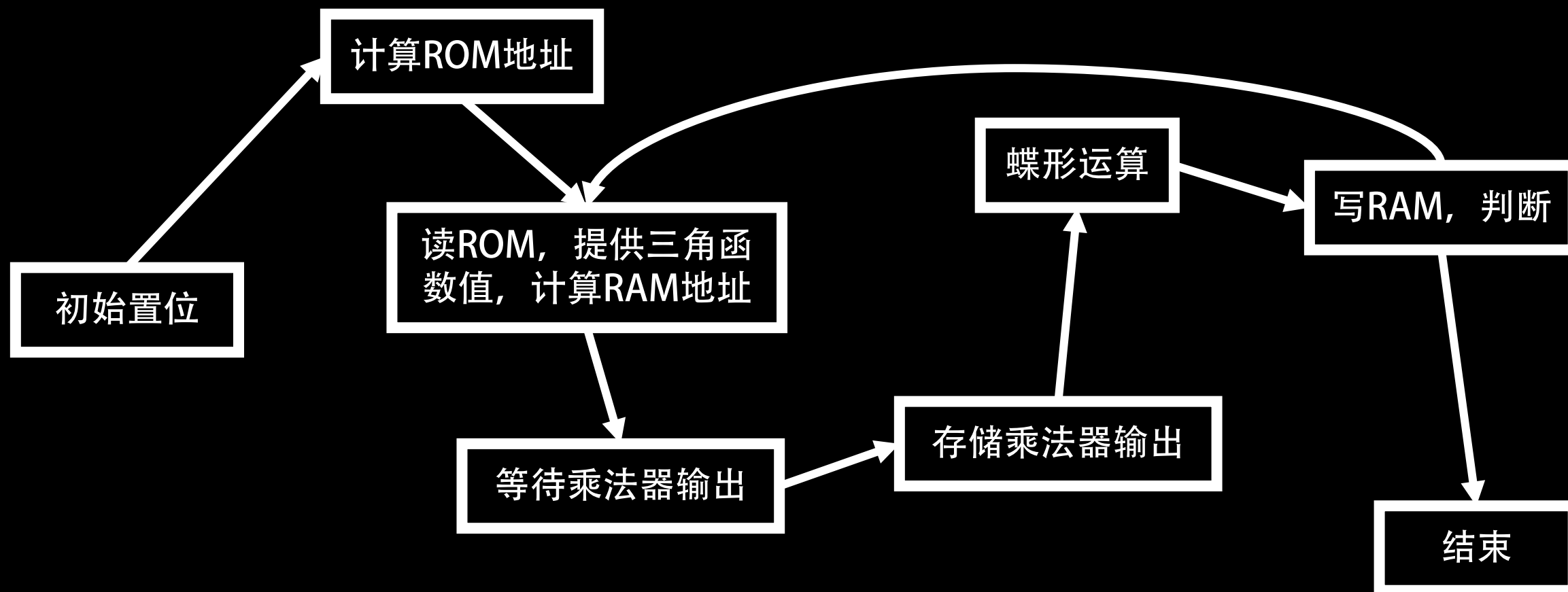
特点

- 管脚需求较少
- 输入速度较慢

整体架构



控制逻辑：状态机



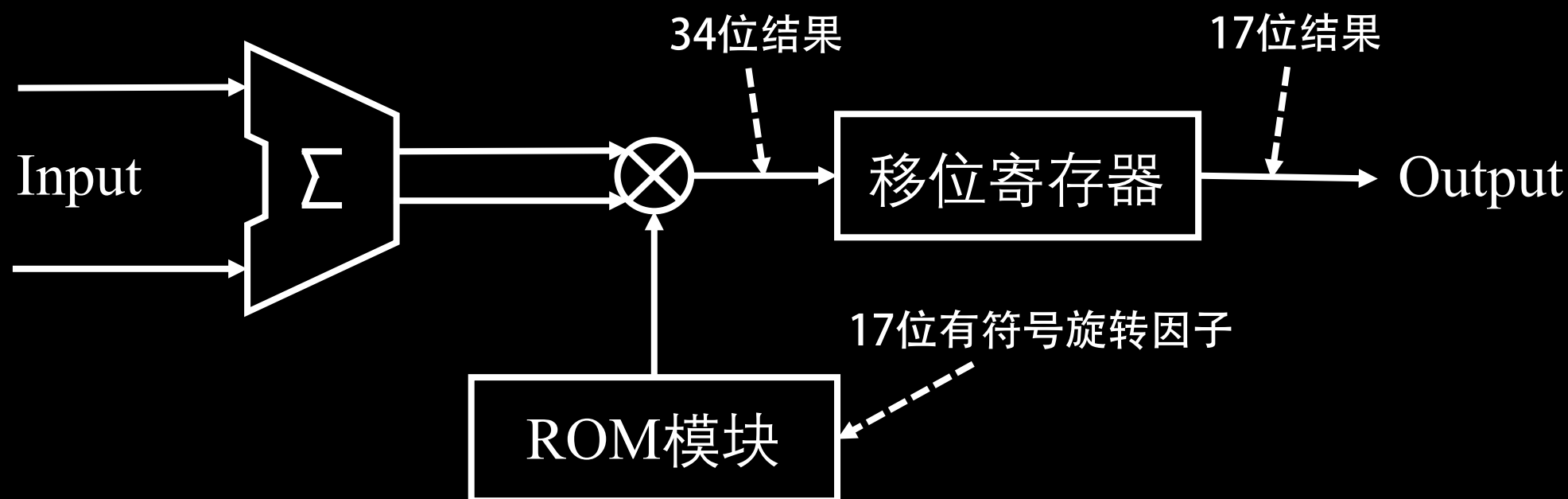
运算逻辑设计

分级蝶形运算方案选择

控制逻辑

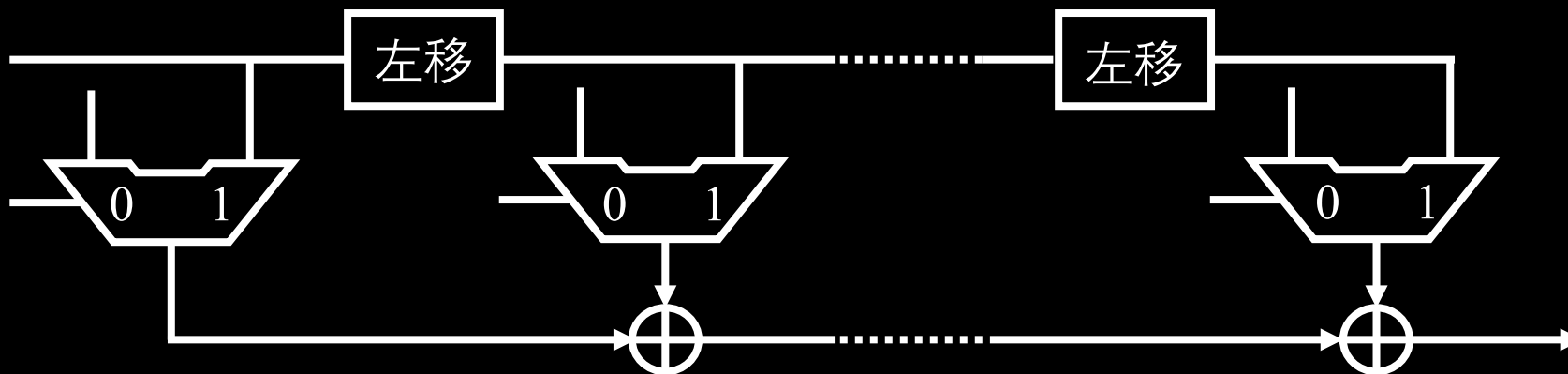
运算逻辑框图

蝶形运算



每级采用一个蝶形运算模块
计算后存储回原位置 复用存储器
移位避免结果溢出

硬件实现方式：乘法



方案一

使用移位方式计算乘法

会有四舍五入累积误差

硬件实现方式：乘法

方案二

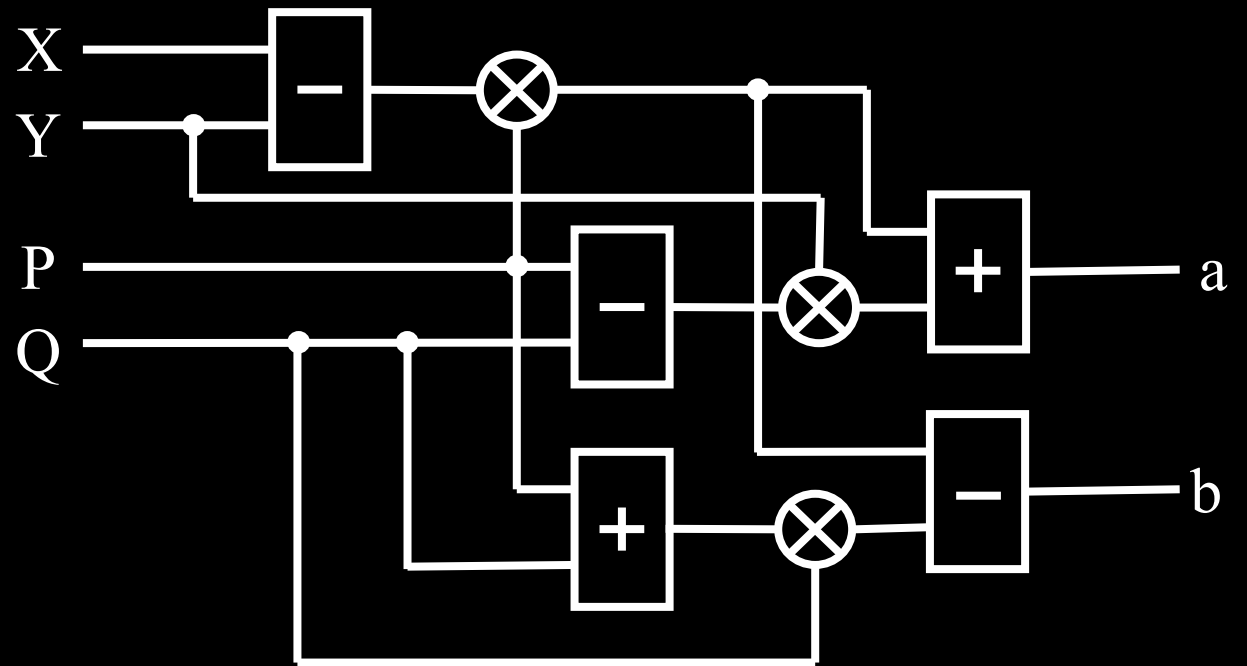
- 用复数加减代替复数乘法
- 仍会有四舍五入累积误差

$$(X + Yj)(P + Qj) = a + bj$$

$$a = (P - Q)Y + (X - Y)P$$

$$b = (P + Q)X - (X - Y)P$$

将一个复数乘法变为三个复数加法



资源及面积统计

各模块硬件实现方式

管脚 逻辑门统计及面积估算

硬件实现方式： 加减法

加法

- 直接使用加法运算

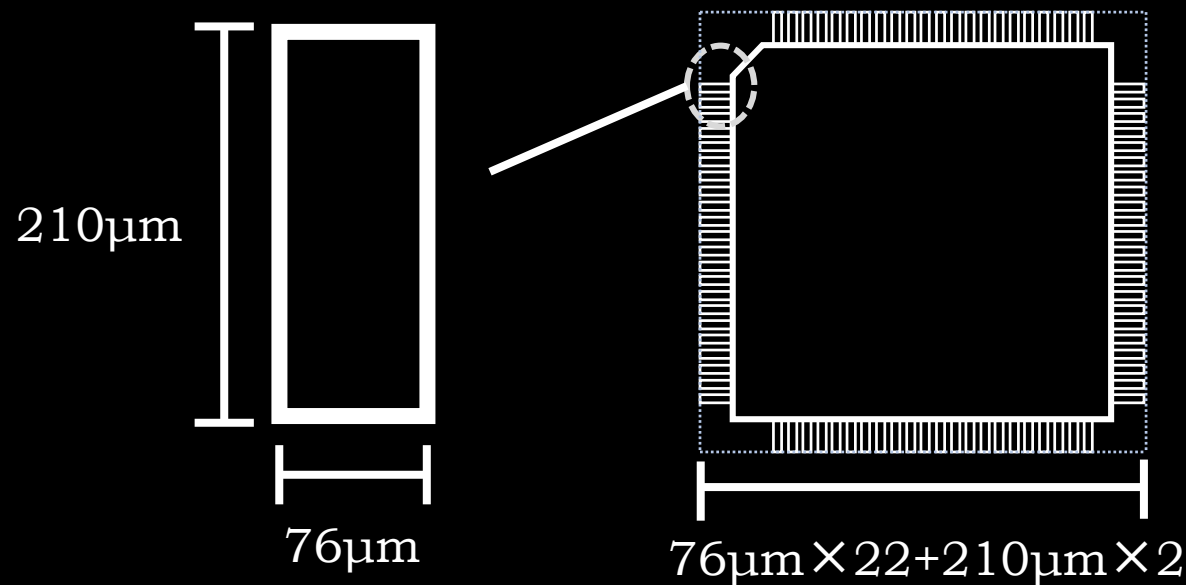
减法

- 取补码后使用加法运算

统计及面积估算：IO

- 串行输入：34个管脚
- 串行输出：34个管脚
- 时钟：1个管脚
- 输入使能信号：1个管脚
- 输出使能信号：1个管脚
- 接地：约17个管脚

共88个管脚



如果芯片为正方形

$$\left(76\mu m \times \frac{88}{4} + 210\mu m \times 2\right)^2 = 4376464mm^2$$

参考资料

- [1] Siva Kumar Palaniappan, etc. Design of 16-point Radix-4 Fast Fourier Transform in 0.18 μ m CMOS Technology[J]. American Journal of Applied Sciences 4 (8): 570-575, 2007
- [2] N. Weste, M. Bickerstaff, etc. 1997. A 50MHz 16-point FFT processor for WLAN application: IEEE 1997 Custom Integrated Circuits Conference: 457-460.



上海交通大學

SHANGHAI JIAO TONG UNIVERSITY