



上海交通大学
SHANGHAI JIAO TONG UNIVERSITY

数字集成电路设计课程设计

第 6 组

高性能FFT芯片设计

罗恬 齐奕翔 杨文曦

Shanghai Jiao Tong University, F1703901

Sunday, May 10, 2020

https://github.com/VenciFreeman/FFT_ChipDesign

TOC

设计规范简介

逻辑综合策略与结果

性能分析与结构设计

物理实现与结果分析

RTL模型与仿真验证

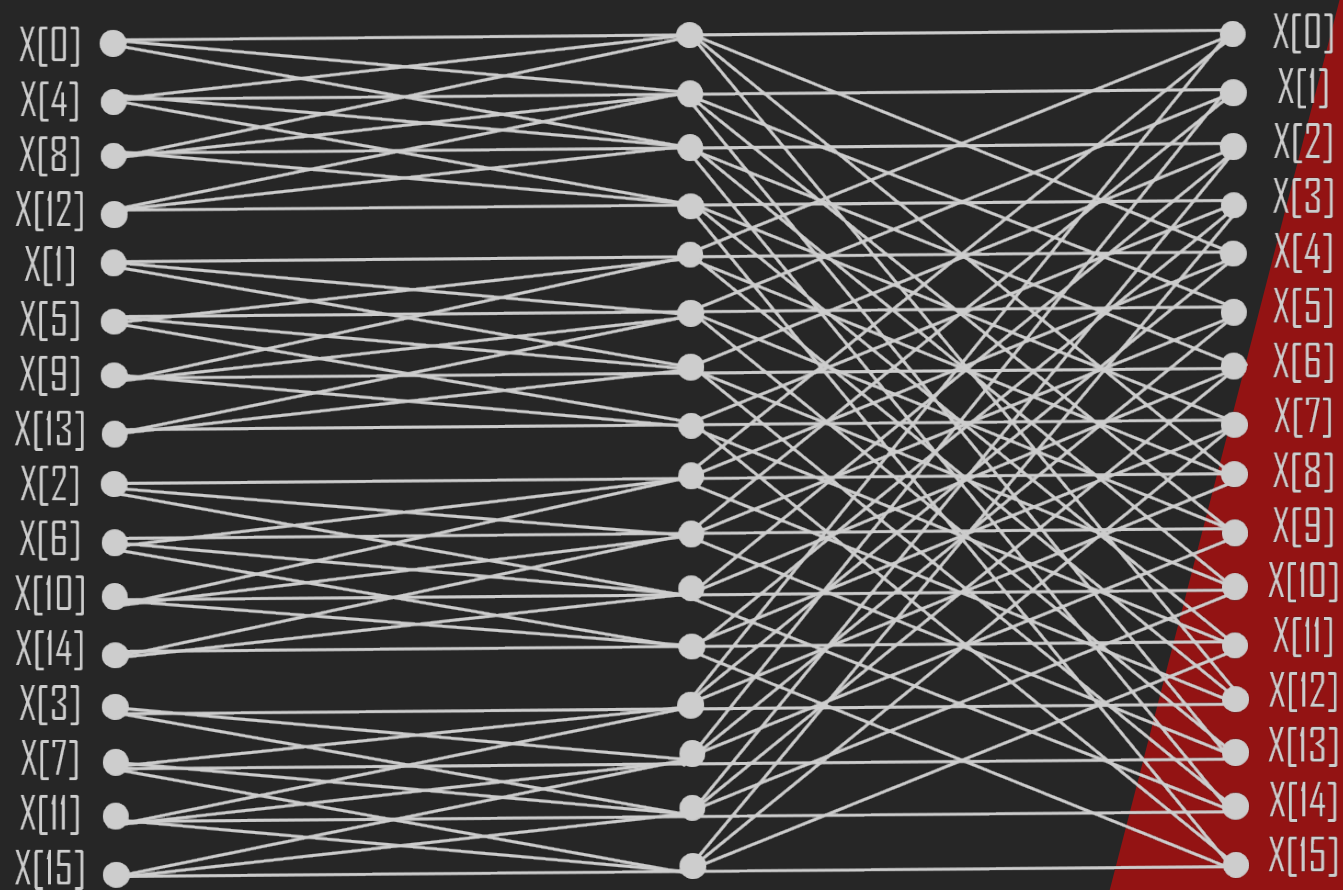
任务分工与设计总结

设计规范简介

SPEC

功能描述

Function Description

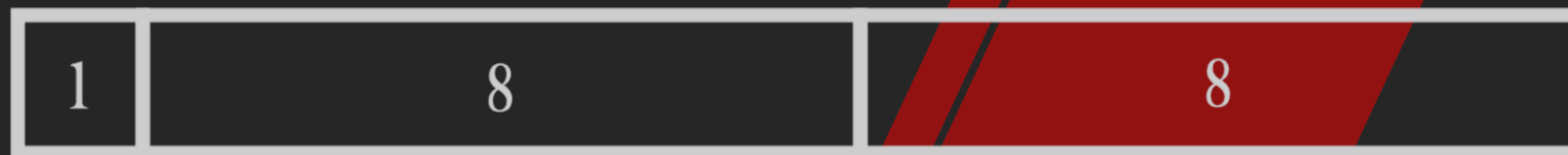


16点 基-4 FFT运算

功能描述

Function Description

17 bit



符号位

整数位

小数位

符号位

8 bit



运算数据的实部虚部均为17 bit

而旋转因子的实部与虚部为8 bit

时序过程Timing Process

各模块																															
时钟周期	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29		
输入	第N组输入数据到REG1																第N+1组输入数据到REG1														
计算	两级蝶形运算													两级蝶形运算																	
输出	第N-1组从REG3输出数据					第N-1组从REG3输出数据															第N组从REG3输出数据										
REGISTER																															
0	第N组输入																第N+1组输入														
1	蝶形运算中间值													蝶形运算中间值																	
2	第N-2组输出					第N-1组输出															第N组输出										

性能描述

Performance Description

135 MHz

工作频率

5.25×10^{-6} mJ

单次FFT能耗

41988

次/(mm²·mW·s)

面积单位功耗时间

FFT操作数

4.535456 mm²

面积开销

性能分析与结构设计

Performance & Structure

面积估算

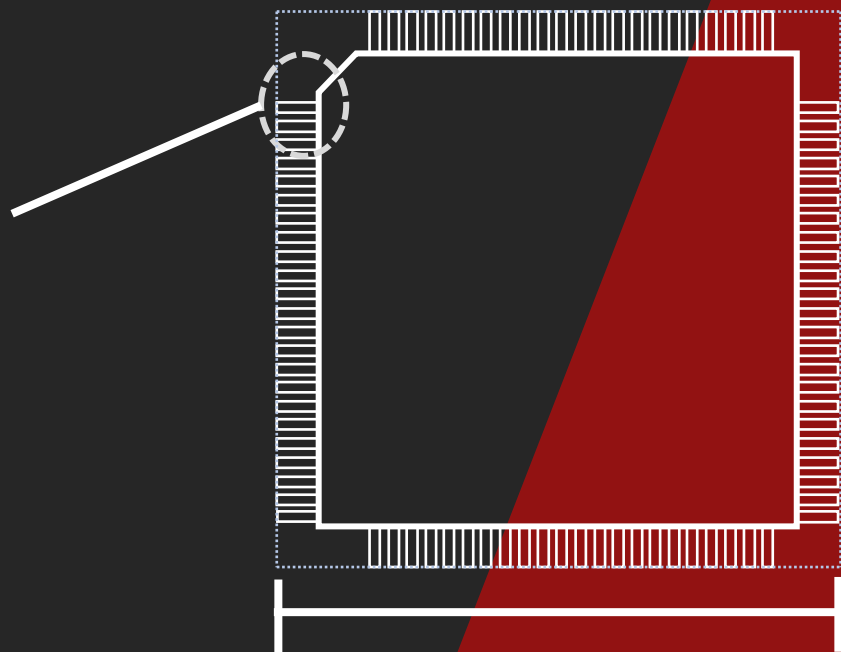
Area Estimation

输入管脚	34
输出管脚	34
时钟信号	1
使能信号	1
管脚供电	8
内核供电	12

210 μ m



76 μ m



76 μ m \times 22 + 210 μ m \times 2

76 μ m \times 23 + 210 μ m \times 2

22 \times 23

管脚数量

$$2.168 \text{ mm} \times 2.092 \text{ mm} = 4.535456 \text{ mm}^2$$

0.18 μ m工艺

性能估算

Performance Estimation

$$8.445946 \times 10^6$$

每秒FFT运算次数

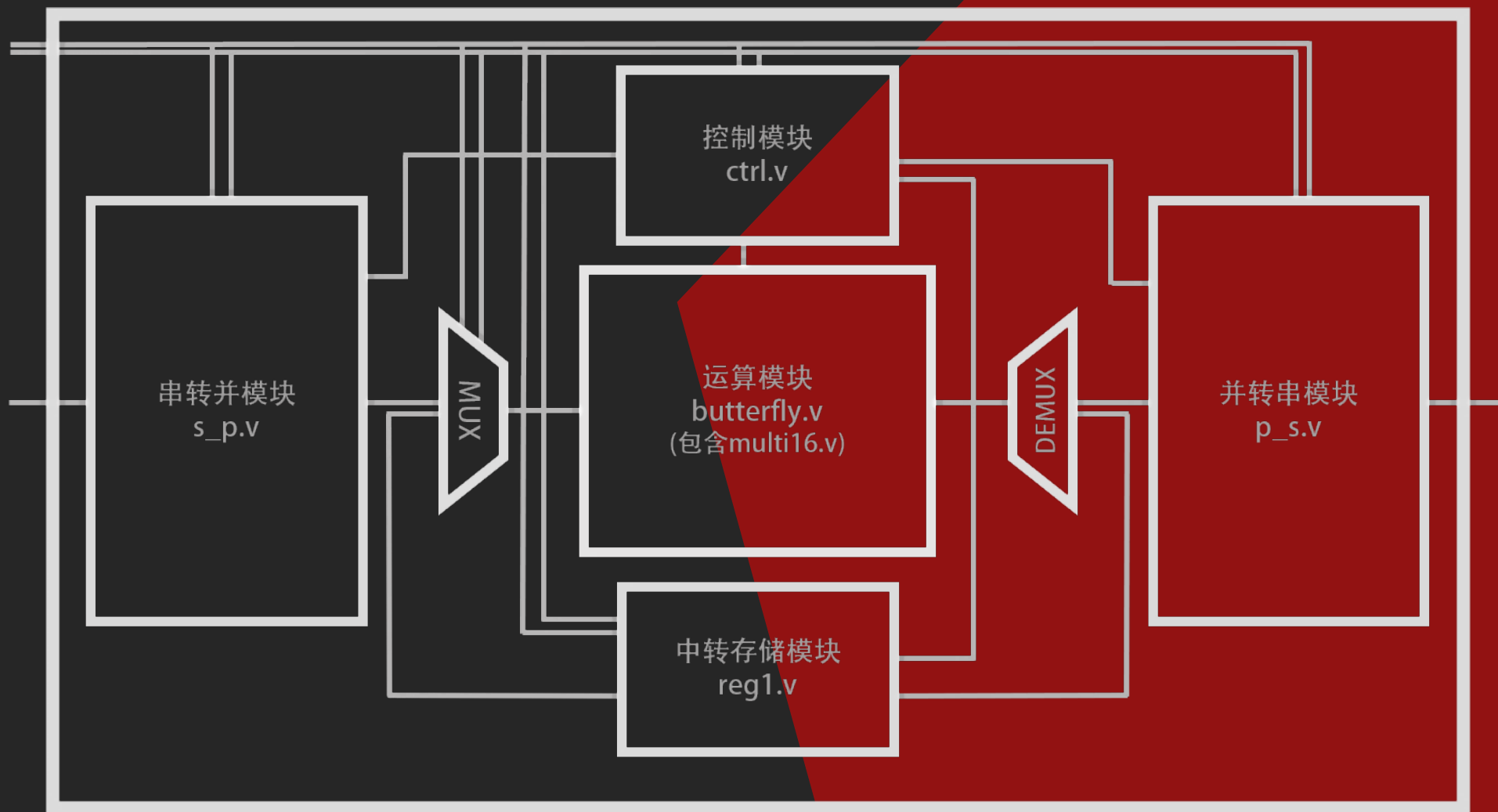
$$510.51 \times MB/s$$

平均带宽

$$4.594594595 \times 10^9 \text{ bps}$$

流水吞吐率

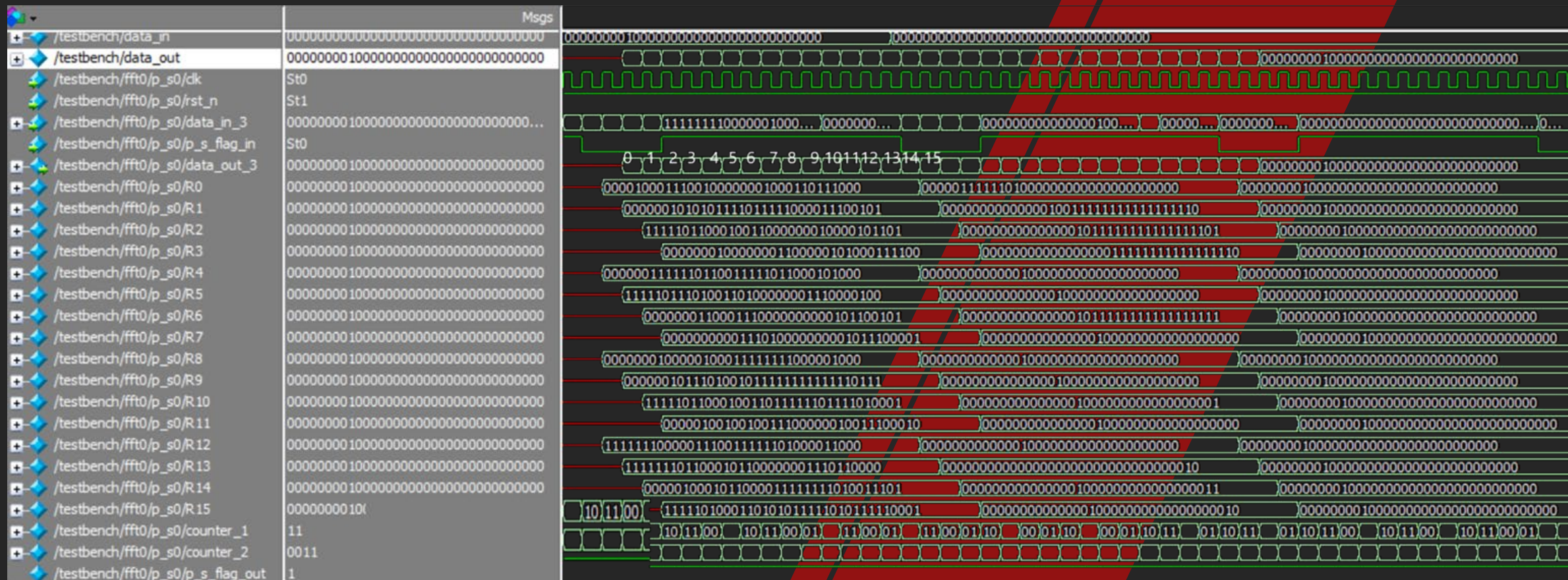
硬件结构 Hardware Structure



RTL模型与仿真验证

RTL Model & Simulation Verification

仿真验证 Simulation Verification



单次运算结果和流水运算结果均正确

逻辑综合策略与结果

DC

逻辑综合流程与参数设置

DC Process & Parameters setup

指定库文件

定义环境

读入设计

编译策略

设计优化约束

设计工艺	时钟周期	I/O延时	时钟延时	不确定时钟	过渡时钟	最大过渡	工作电压	运行温度
0.18 um	7.4 ns	3.7 ns	4.3 ns	0.5 ns	0.2 ns	3 ns	1.62 V	125 °C

DC综合结果

DC results

clk slack (MET)	0.00 ns
Total Area	3726936.833315 um^2
Net Switching Power	1.1317 W
Violation	0
Leaf Cell	16473
Total Number of Nets	18037

物理实现与结果分析

ICC

ICC设计步骤

ICC Process

布局规划

Design Planning

时钟树综合

CTS

布局

Placement

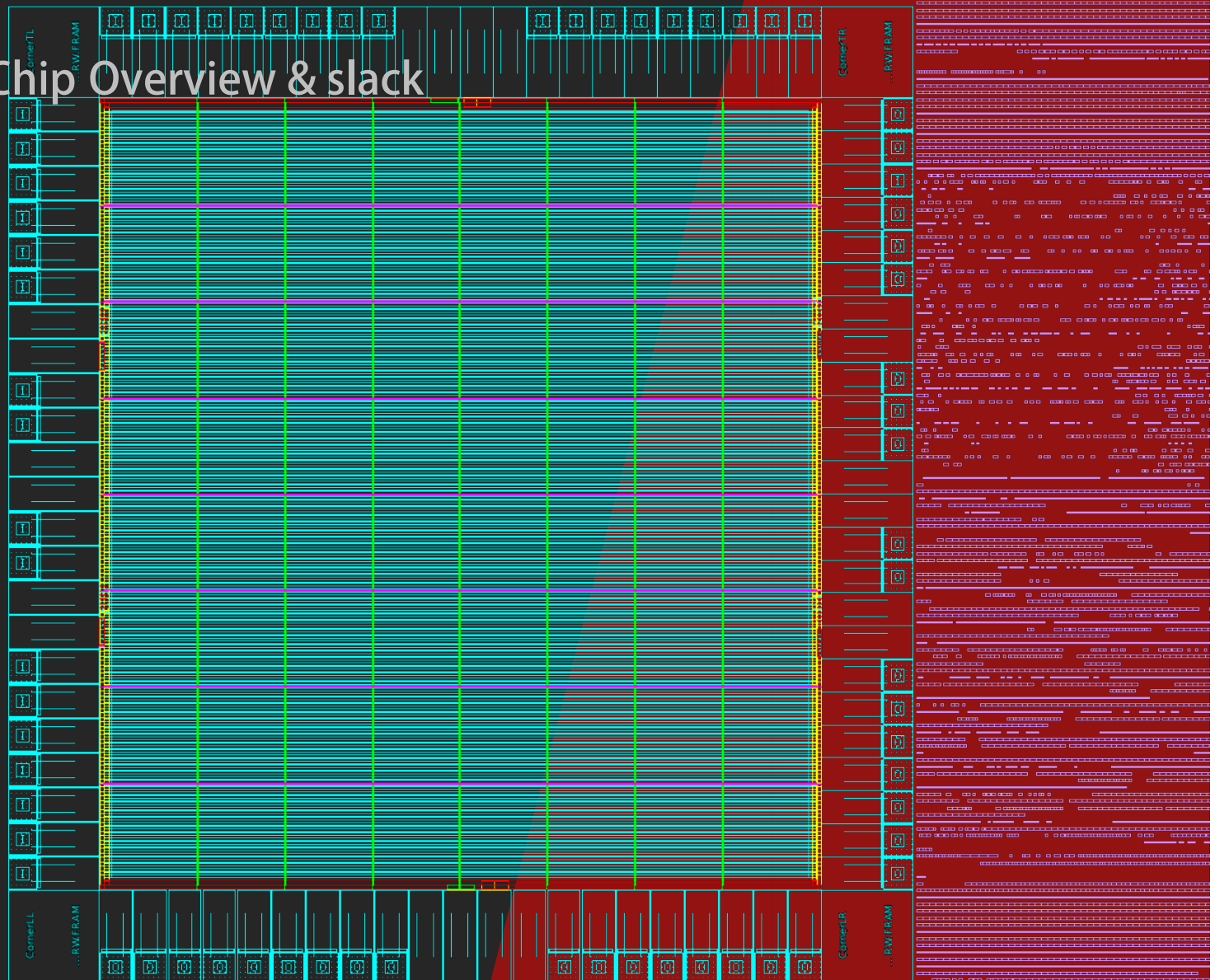
布线

Route

芯片概览与slack

Chip Overview & slack

Slack	input (ns)	output (ns)	clk (ns)
data_setup	—	—	0.48
data_setup_zic	1.43	0.48	1.19
floorplan	0.95	-1.02	-1.39
placement	1.01	0.59	0.19
cts_only_psyn	1.26	0.82	0.62
cts_only_cts	1.26	0.83	0.36
route_initial	1.35	0.88	0.65
route_final	1.35	0.85	0.01



面积

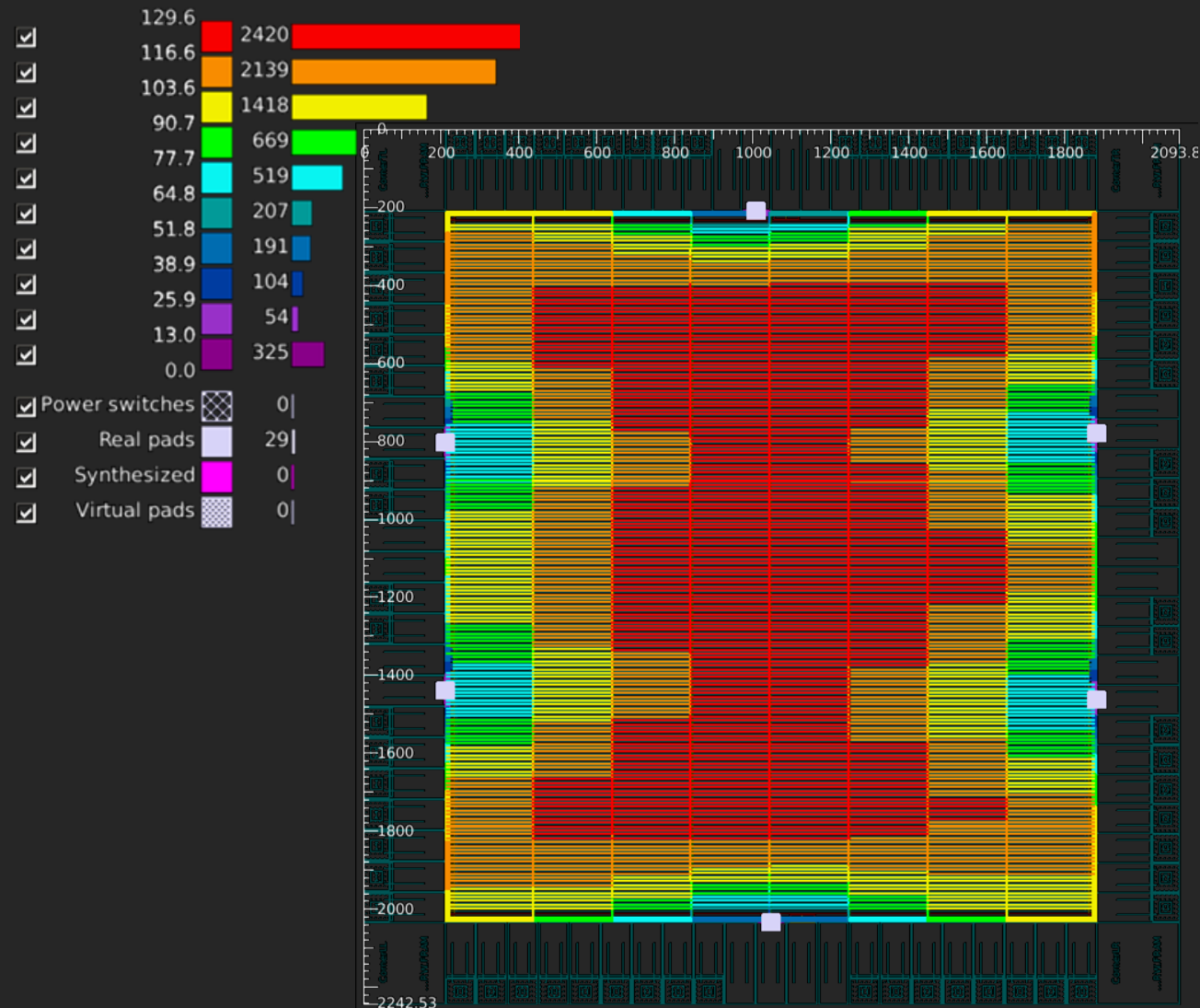
Area

项目	面积或长度
Combinational Area	1477888.208778 um^2
Non-combinational Area	154248.498180 um^2
Net Area	0.000000 um^2
Net X Length	620954.62 nm^2
Net Y Length	666869.44 nm
Cell Area	1632136.706958 um^2
Design Area	1632136.706958 um^2
Net Length	1287824.00 nm
Total Area	4695300.72 um^2

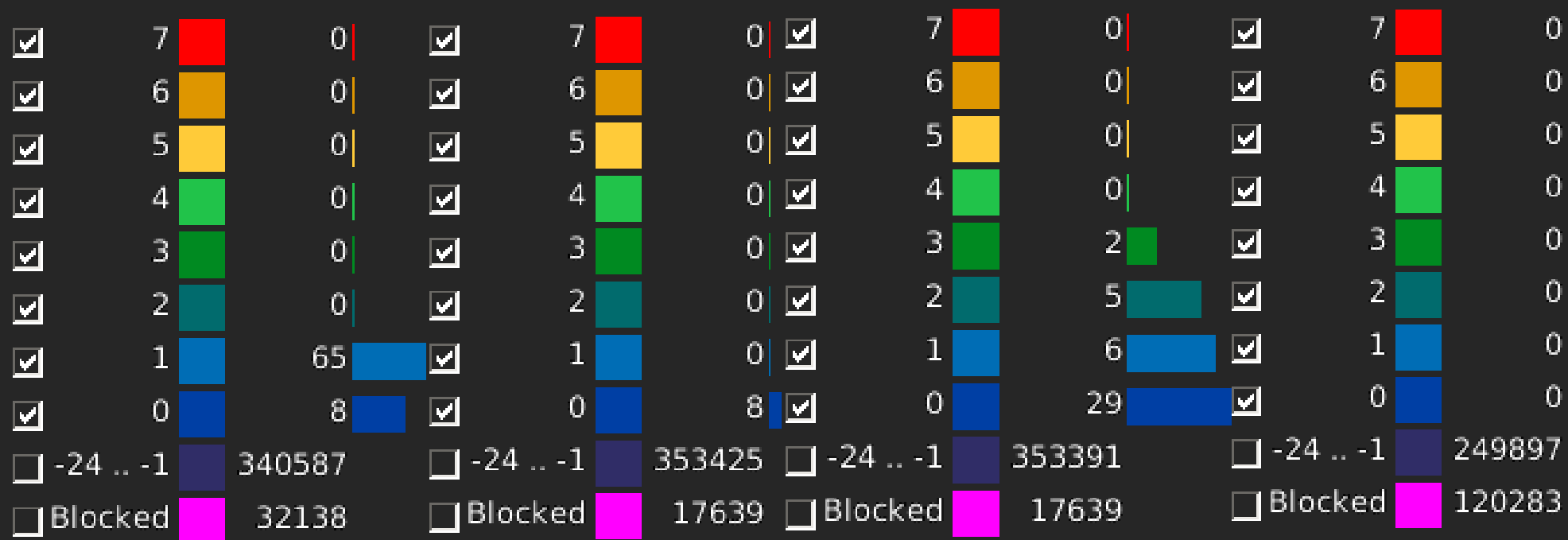
电压降与功耗

Voltage Drop and Power

项目	电压或功耗
Global Operating Voltage	1.62 V
Cell Internal Power	33.6445 mW
Net Switching Power	12.7067 mW
Total Dynamic Power	44.3512 mW
Cell Leakage Power	26.0446 uW

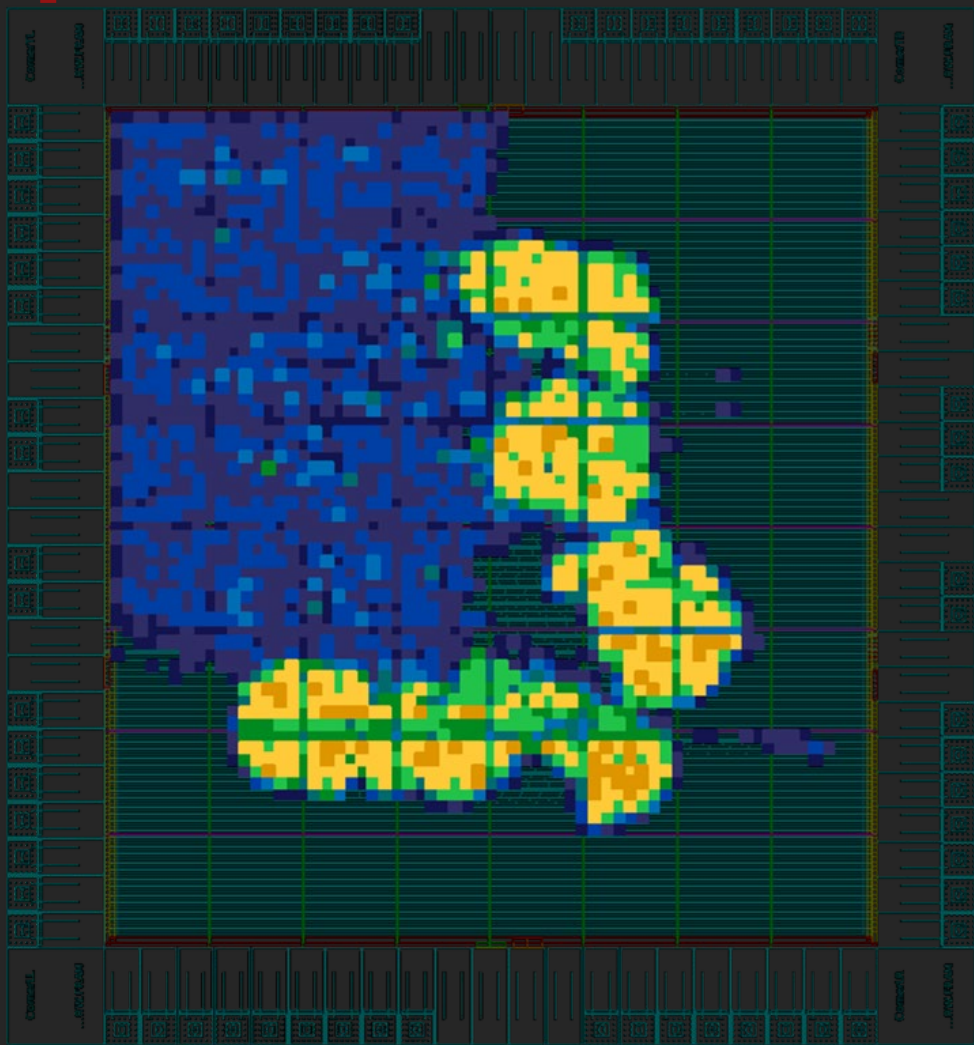


拥挤 Congestion



Placement Detail Route Track Assignment Global Route

资源使用 Utilization



项目	数量或利用率
Module Cells	16240
Pins	91614
IO Pad Cells	90
IO Pins	70
Nets	18151
Average Pins Per Net	3.0535
Total Std Cell Area	514936.70 um ²
Total Pad Cell Area	1612800.00 um ²
Std cells utilization	18.10%
Cell/Core Ratio	18.10%
Cell/Chip Ratio	45.32%
Number of Cell Rows	350

任务分工与设计总结

Work division & Summary

任务分工

Work Division

组员	代码编写	逻辑综合	物理实现	其他工作
罗恬	串并转换模块 中间存储模块 明确运算逻辑 Debug	相关文件debug 实现135 MHz	相关文件debug 实现135 MHz	撰写报告
齐奕翔	乘法器 运算模块 测试模块 运算模块 Debug	编写相关文件 实现82 MHz	编写相关文件 实现82 MHz	撰写报告
杨文曦	运算模块 乘法器 整合代码 Deubg	相关文件debug 实现135 MHz	相关文件debug 实现135 MHz	撰写报告 组织团队协作 准备展示材料
*未列出的部分，入架构设计、测试向量的准备等均为团队共同合作完成。				

遇到的问题及解决方案Problems & Solutions

串并转换

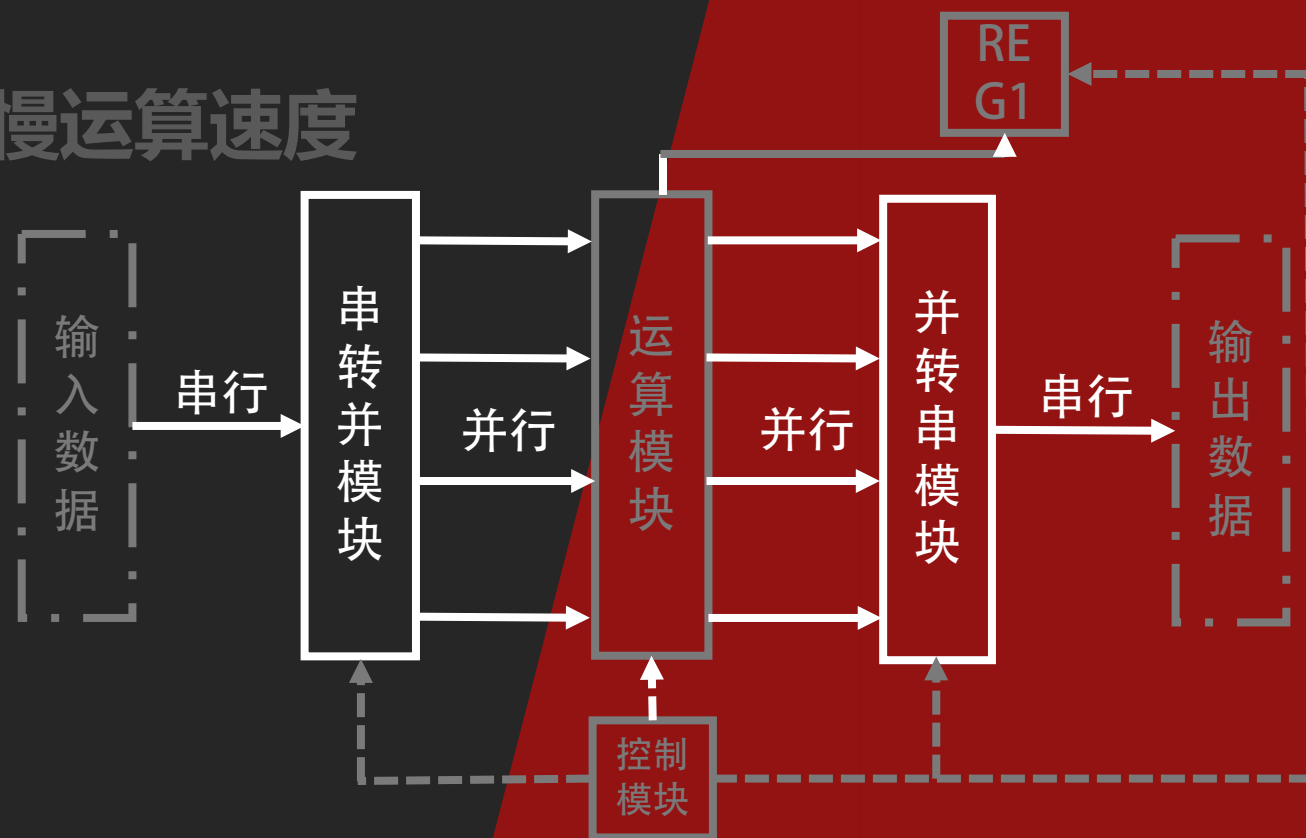
结构设计管脚数量过多，芯片面积过大

电路的计算结果不正确

时序模块数据传输不同步，拖慢运算速度

芯片工作频率过低

芯片电压降问题



遇到的问题及解决方案Problems & Solutions

Debug

结构设计管脚数量过多，芯片面积过大

电路的计算结果不正确

时序模块数据传输不同步，拖慢运算速度

芯片工作频率过低

芯片电压降问题

蝶形运算

乘法器

串并转换

控制模块

testbench

... ..

遇到的问题及解决方案Problems & Solutions

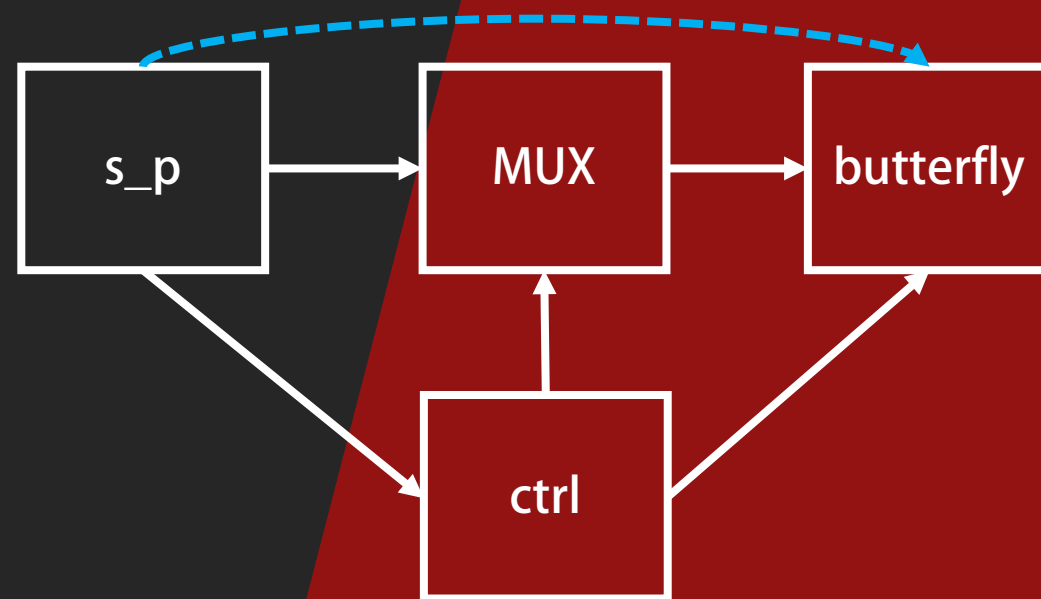
结构设计管脚数量过多，芯片面积过大

电路的计算结果不正确

时序模块数据传输不同步，拖慢运算速度

芯片工作频率过低

芯片电压降问题



遇到的问题及解决方案Problems & Solutions

结构设计管脚数量过多，芯片面积过大

电路的计算结果不正确

时序模块数据传输不同步，拖慢运算速度

芯片工作频率过低

芯片电压降问题

乘法计算 → 组合逻辑状态机移位乘法

遇到的问题及解决方案Problems & Solutions

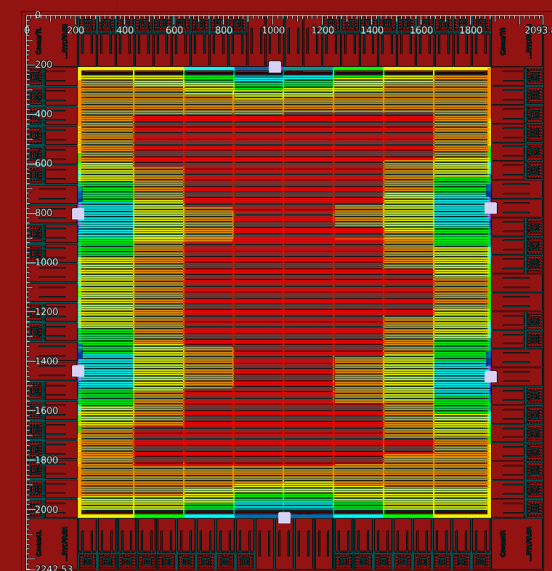
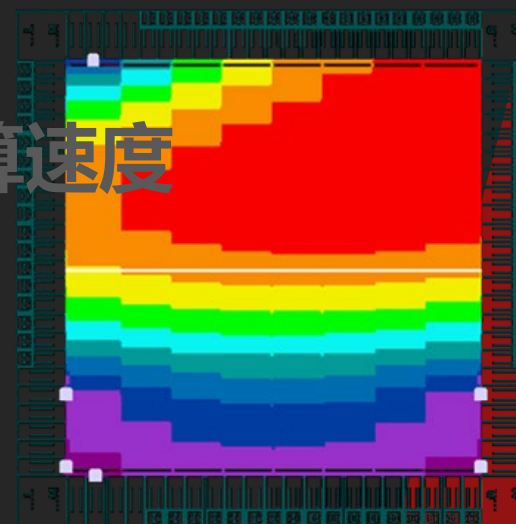
结构设计管脚数量过多，芯片面积过大

电路的计算结果不正确

时序模块数据传输不同步，拖慢运算速度

芯片工作频率过低

芯片电压降问题



参考资料

References

- [1] Siva Kumar Palaniappan, et al. Design of 16-point Radix-4 Fast Fourier Transform in 0.18 μ m CMOS Technology [J]. American Journal of Applied Sciences 4(8): 570-575, 2007
- [2] N. Weste, M. Bickerstaff, et al. A 50MHz 16-point FFT processor for WLAN application: IEEE 1997 Custom Integrated Circuits Conference: 457-460, 1997
- [3] 丁晓磊等. 16点基4-FFT芯片设计技术研究[J]. 信息技术. 64-71, 2007(1)



上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

Thanks for watching.

Slides designed by Venci Freeman

Sunday, May 10, 2020

https://github.com/VenciFreeman/FFT_ChipDesign