

数字集成电路设计课程设计

快速傅里叶变换电路设计

方案讨论

第六组

罗恬 齐奕翔 杨文曦

TOC

运算原理及数据表示

整体架构设计

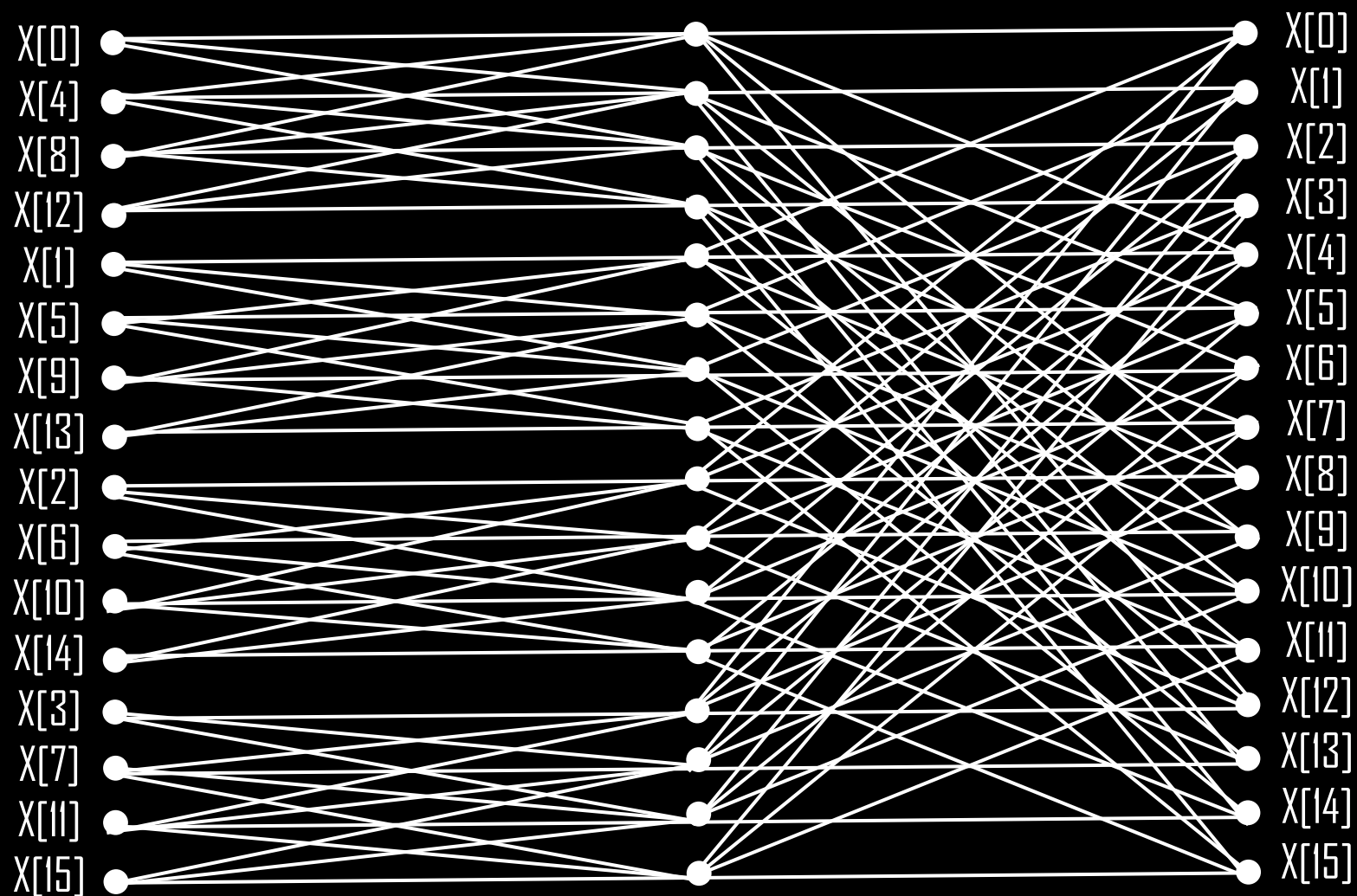
模块细节设计

资源及面积统计

运算原理及数据表示

FFT算法原理及选择
算法中的数据表示方式

16点基4-FFT算法流图



16点基4-FFT原理

$$X(r) = X_0(r) + W_N^r X_1(r) + W_N^{2r} X_2(r) + W_N^{3r} X_3(r)$$

$$X\left(r + \frac{N}{4}\right) = X_0(r) - jW_N^r X_1(r) - W_N^{2r} X_2(r) + jW_N^{3r} X_3(r)$$

$$X\left(r + \frac{N}{2}\right) = X_0(r) - W_N^r X_1(r) + W_N^{2r} X_2(r) - W_N^{3r} X_3(r)$$

$$X\left(r + \frac{3N}{4}\right) = X_0(r) + jW_N^r X_1(r) - W_N^{2r} X_2(r) - jW_N^{3r} X_3(r)$$

基4相比基2的优点

复数乘法减少，加减法可通过线性变换优化

数据表示

$$z = a + bj$$



符号位

整数位

小数位



17bit

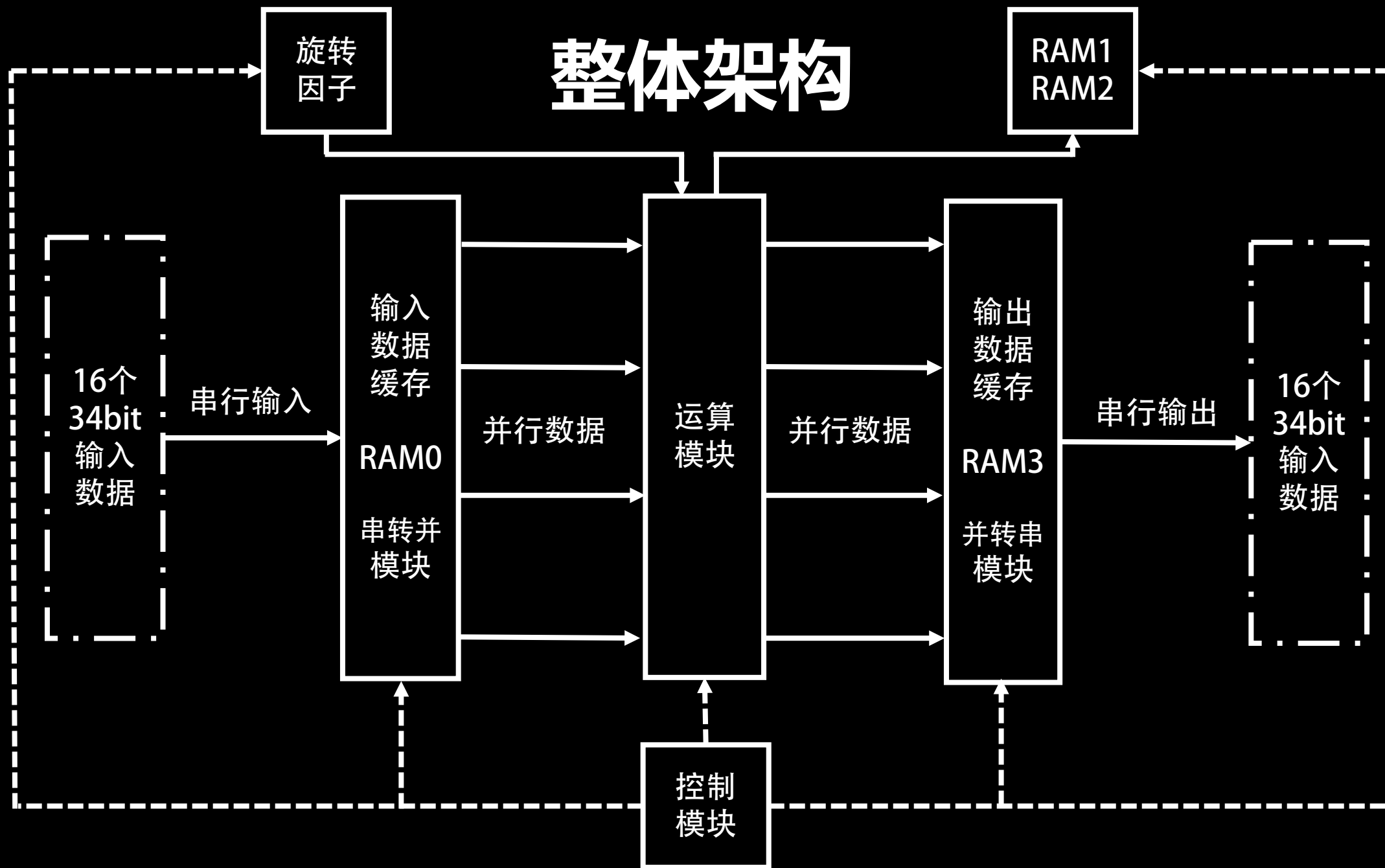
整体架构设计

整体架构框图

时序过程和地址产生

资源的充分利用

整体架构



整体时序过程图

各模块																														
时钟周期	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	
输入	第N组输入数据到RAM0																第N+1组输入数据到RAM0													
倒位序														RAM0倒位序 输出到RAM1																
计算		两级FFT运算															两级FFT运算													
顺序										RAM1顺序输出到RAM3																RAM1顺序输出到RAM3				
输出	第N-2组从RAM3 输出数据										第N-1组从RAM3 输出数据																	第N组从RAM3 输出数据		
RAM																														
0	第N组输入																第N+1组输入													
1		蝶形运算输入输出								往RAM3写入				从RAM0读入				蝶形运算输入输出								往RAM3写入				
2		蝶形运算中间值																蝶形运算中间值												
3	第N-2组输出										N-1输入,N-2输出				第N-1组输出										N输入,N-1输出					

流水线	时钟周期	读数据	蝶形运算	写数据
倒位序输入	1	0, 1, 2, 3	0	0, 4, 8, 12
	2	4, 5, 6, 7	0	1, 5, 9, 13
	3	8, 9, 10, 11	0	2, 6, 10, 14
	4	12, 13, 14, 15	0	3, 7, 11, 15
第一级 蝶形运算	5	0, 1, 2, 3	1	0, 4, 8, 12
	6	4, 5, 6, 7	1	1, 5, 9, 13
	7	8, 9, 10, 11	1	2, 6, 10, 14
	8	12, 13, 14, 15	1	3, 7, 11, 15
第二级 蝶形运算	9	0, 1, 2, 3	1	0, 4, 8, 12
	10	4, 5, 6, 7	1	1, 5, 9, 13
	11	8, 9, 10, 11	1	2, 6, 10, 14
	12	12, 13, 14, 15	1	3, 7, 11, 15
顺序输出	13	0, 1, 2, 3	0	0, 1, 2, 3
	14	4, 5, 6, 7	0	4, 5, 6, 7
	15	8, 9, 10, 11	0	8, 9, 10, 11
	16	12, 13, 14, 15	0	12, 13, 14, 15

- RAM0
- RAM1
- RAM2
- RAM3

地址产生

两个RAM交替使用

第一次		第二次		第三次		第四次	
00 00	0	01 00	4	10 00	8	11 00	12
00 01	1	01 01	5	10 01	9	11 01	13
00 10	2	01 10	6	10 10	10	11 10	14
00 11	3	01 11	7	10 11	11	11 11	15

第一次		第二次		第三次		第四次	
00 00	0	00 01	1	00 10	2	00 11	3
01 00	4	01 01	5	01 10	6	01 11	7
10 00	8	10 01	9	10 10	10	10 11	11
11 00	12	11 01	13	11 10	14	11 11	15

运算资源的充分利用

输入

16个数 16组输入 16个周期

计算和转存

两级FFT 8次蝶形运算 +2次交换存储数据 16个周期

输出

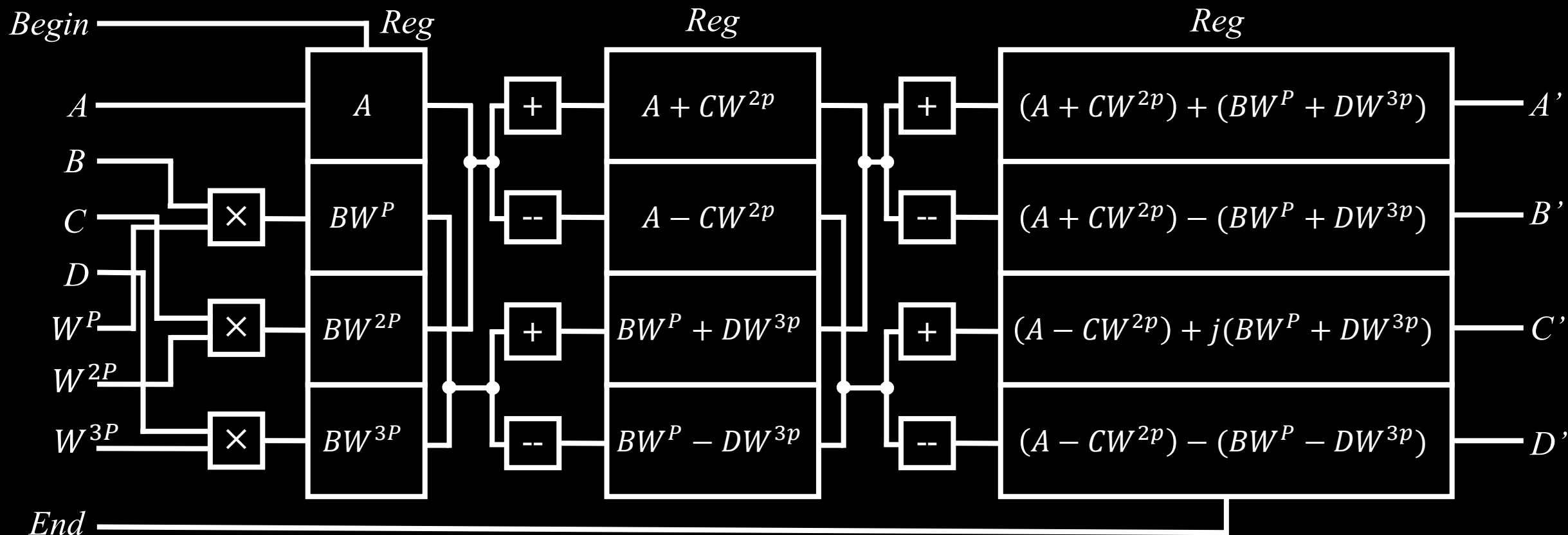
16个数 16组输出 16个周期

运算逻辑设计

蝶形运算模块设计控制逻辑

乘法与加减法的实现方式

蝶形运算



整个芯片共采用一个蝶形运算模块

加减法的硬件实现

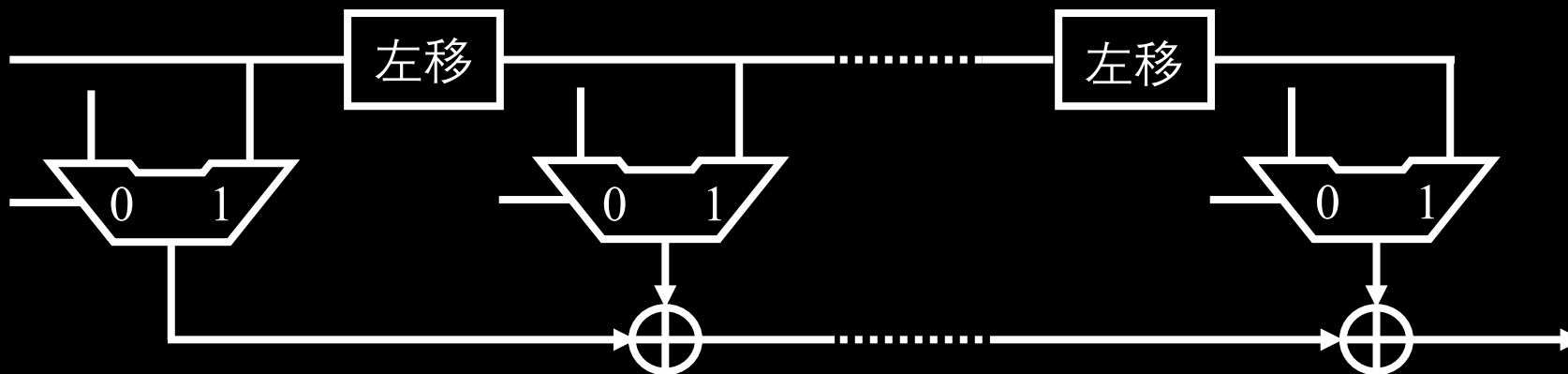
加法

直接使用加法运算

减法

取补码后使用加法运算

乘法的硬件实现



方案一

使用移位方式计算乘法
会有四舍五入累积误差

乘法的硬件实现

方案二

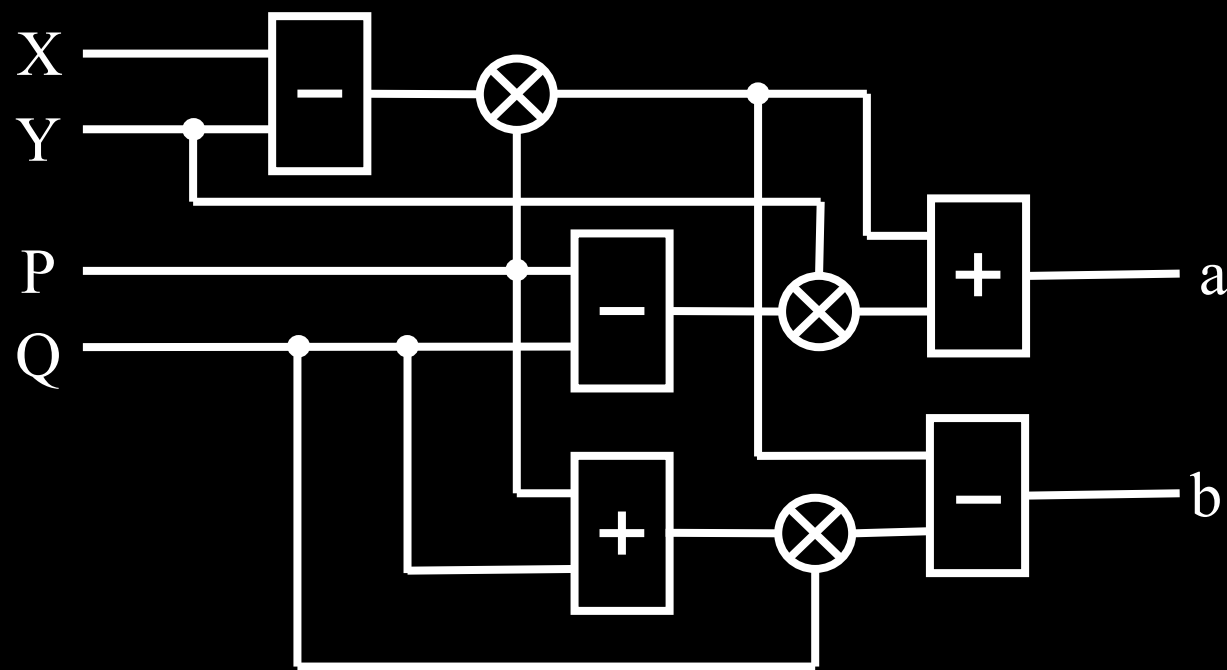
用复数加减代替复数乘法
仍会有四舍五入累积误差

$$(X + Yj)(P + Qj) = a + bj$$

$$a = (P - Q)Y + (X - Y)P$$

$$b = (P + Q)X - (X - Y)P$$

将一个复数乘法变为三个复数加法



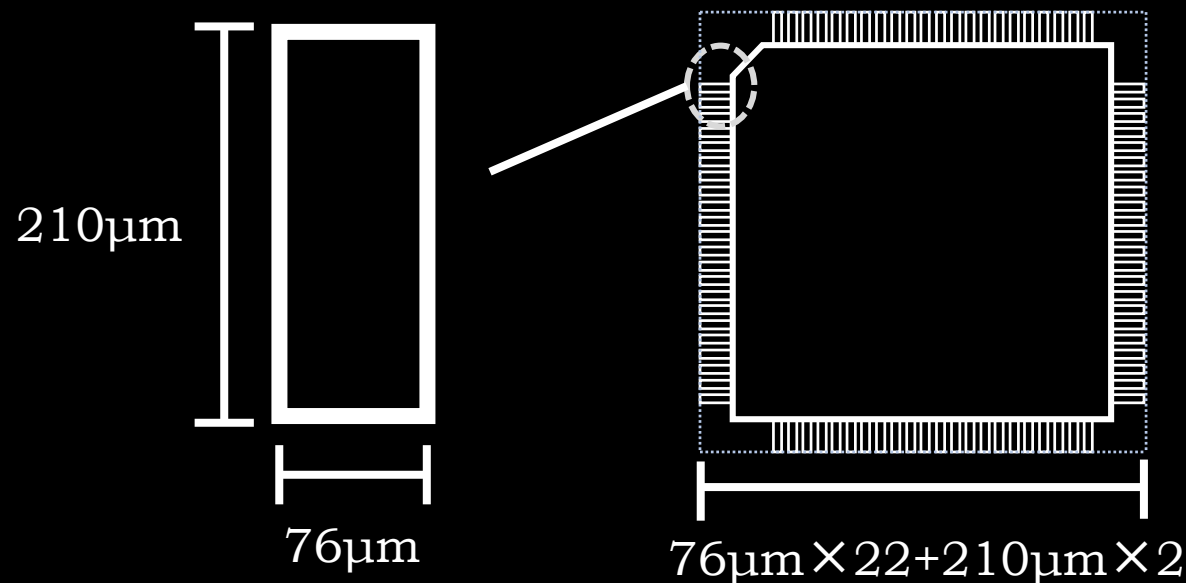
面积估算

管脚统计及面积估算

管脚统计及面积估算

- 串行输入：34个管脚
- 串行输出：34个管脚
- 时钟：1个管脚
- 输入使能信号：1个管脚
- 输出使能信号：1个管脚
- 接地：约17个管脚

共88个管脚



如果芯片为正方形

$$\left(76\mu m \times \frac{88}{4} + 210\mu m \times 2 \right)^2 = 4.376464mm^2$$

参考资料

- [1] Siva Kumar Palaniappan, et al. Design of 16-point Radix-4 Fast Fourier Transform in 0.18 μ m CMOS Technology[J]. American Journal of Applied Sciences 4 (8): 570-575, 2007
- [2] N. Weste, M. Bickerstaff, et al. A 50MHz 16-point FFT processor for WLAN application: IEEE 1997 Custom Integrated Circuits Conference: 457-460, 1997
- [3] 丁晓磊等. 16点基4-FFT芯片设计技术研究[J]. 信息技术. 64-71, 2007(1)



上海交通大學

SHANGHAI JIAO TONG UNIVERSITY