

数字集成电路设计课程设计

# 快速傅里叶变换电路设计

第六组

罗恬 齐奕翔 杨文曦

School of Microelectronics, F1703901  
Shanghai Jiao Tong University  
Friday, March 6 © 2020

# TOC

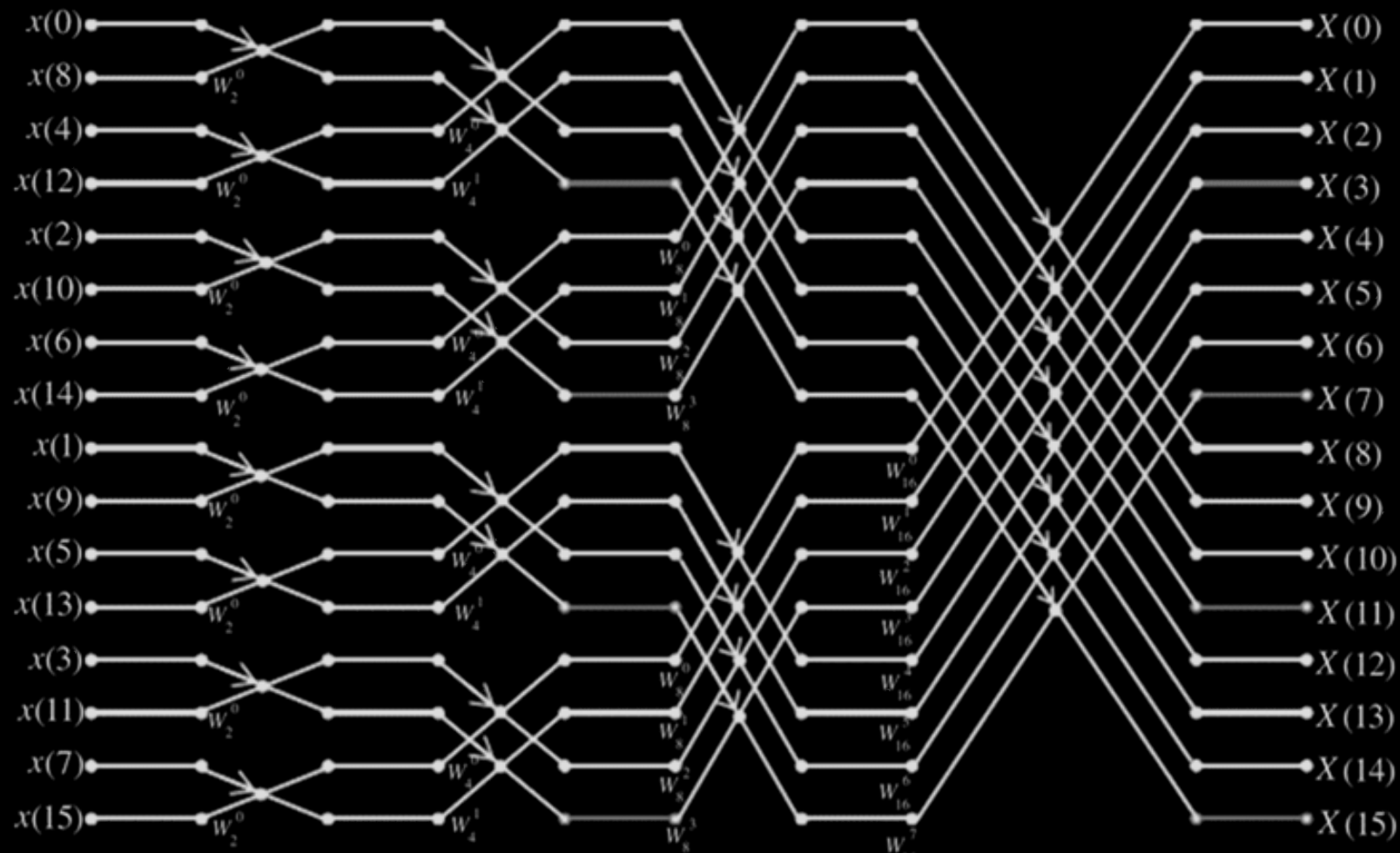
- 16点基2-DIT-FFT原理
- 输入输出设计
- 运算逻辑设计
- 资源及面积统计

# 16点基2-DIT-FFT原理

FFT算法原理及DIT DFT区别

算法中的数据表示方式

# 16点基2-DIT-FFT



# 16点基2-DIT-FFT

$$X(K) = \sum_{r=0}^{\frac{N}{2}-1} x_1(r) W_{N/2}^{kr} + \sum_{r=0}^{\frac{N}{2}-1} x_2(r) W_{N/2}^{kr}$$

每次蝶形运算：一次复数乘法，两次复数加法

# 数据表示

$$z = a + bj$$



符号位

整数位

小数位



17bit

# 输入输出设计

串行/并行方案选择

输入输出逻辑框图

# 输入输出

## 方案一：并行输入输出

- 如果数据全部并行

需要 $32 \times 34$ 共1088个管脚

### 特点

- 输入速度更快
- 管脚需求过多

## 方案二：串行输入输出

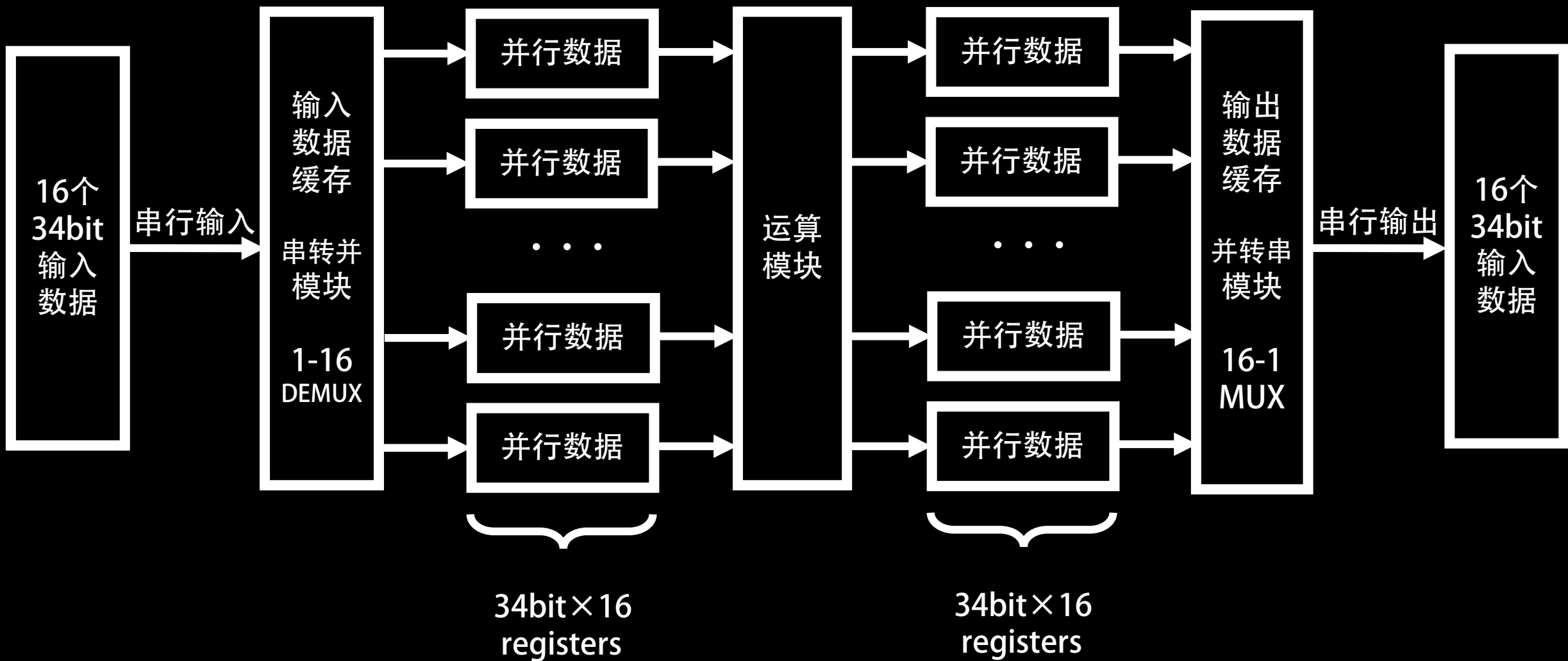
- 如果数据全部串行

需要68个管脚

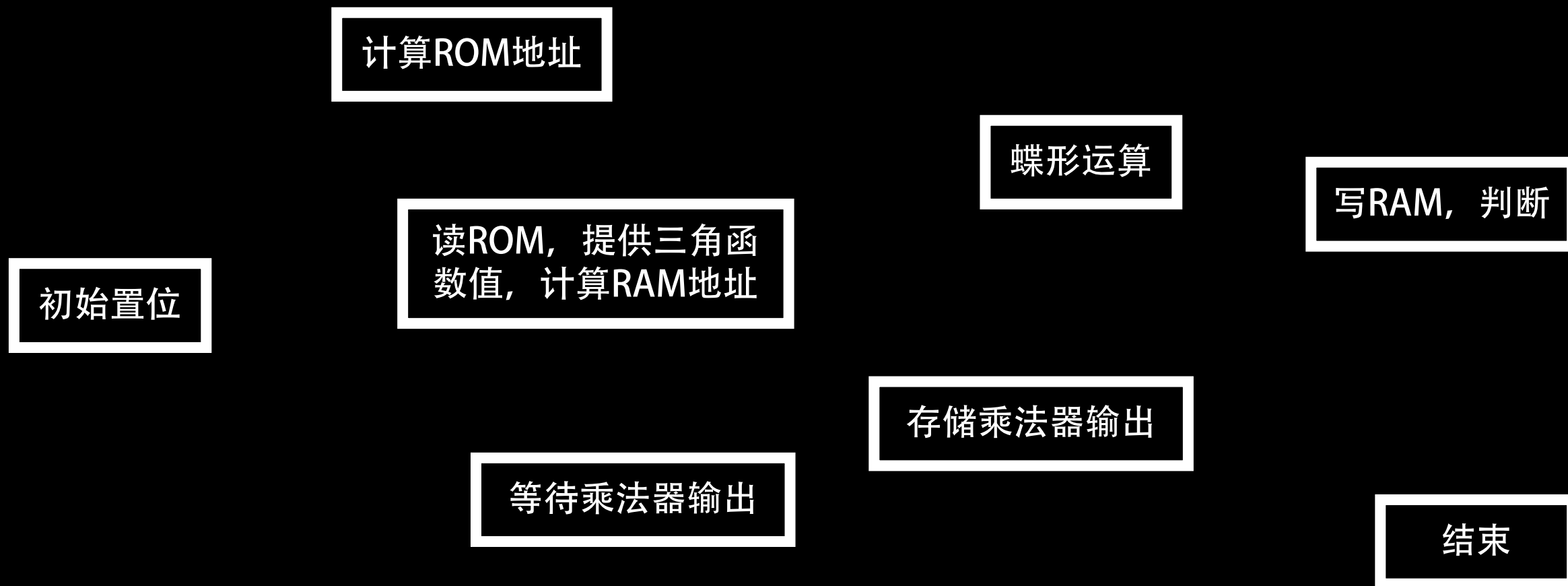
### 特点

- 管脚需求较少
- 输入速度较慢





# 控制逻辑：状态机



# 运算逻辑设计

分级蝶形运算方案选择

控制逻辑

运算逻辑框图

# 蝶形运算

**方案一：迭代复用**

**特点**

- 占用资源较少
- 运算时间较大

**方案二：流水线**

**特点**

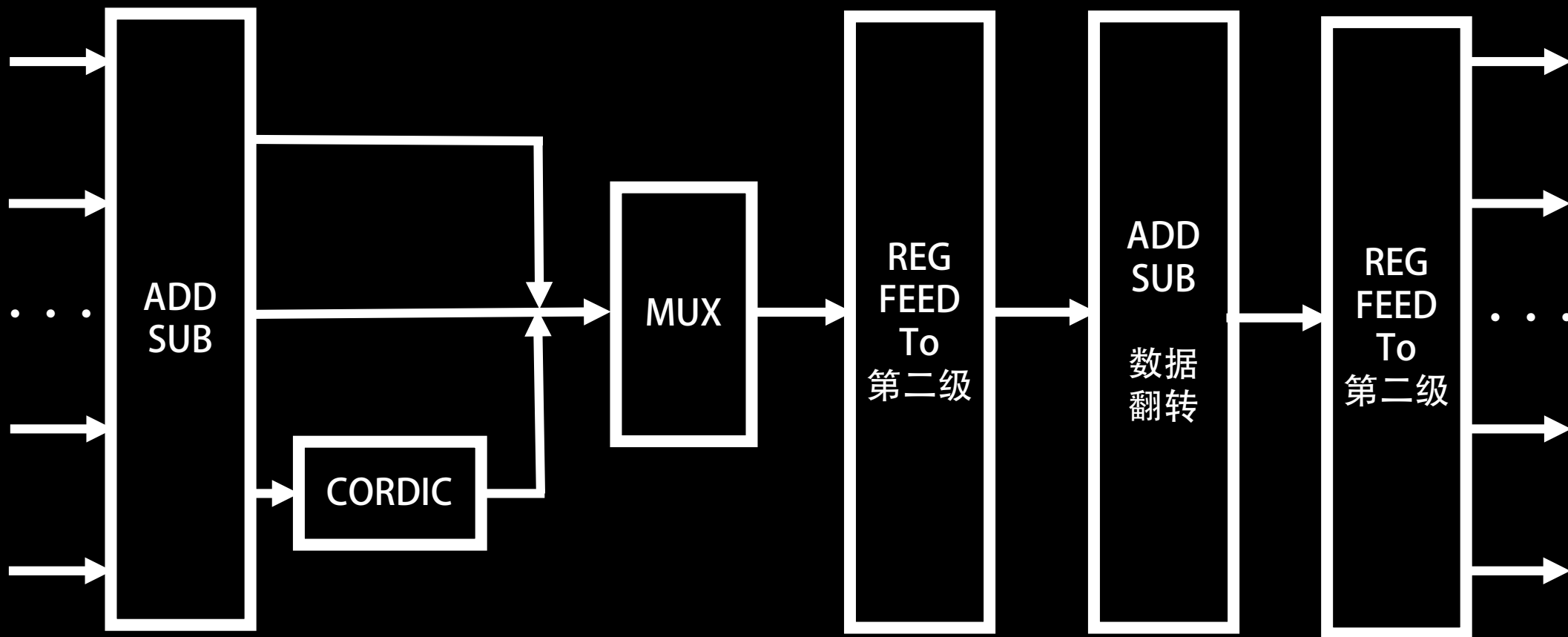
- 需要资源较大
- 运算时间较少

**方案三：两者结合**

**特点**

- 较为折中

⚠ 未完成



# 资源及面积统计

各模块硬件实现方式

管脚 逻辑门统计及面积估算

# 硬件实现方式

## 乘法

- 直接使用乘法器/Shifter+Table/CORDIC

## 加法

- 直接使用17位加法器

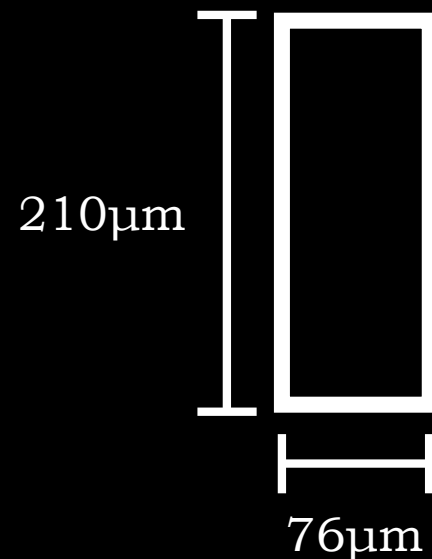
## 减法

- 转为补码使用加法器/MUX

# 统计及面积估算：IO

- 串行输入：34个管脚
- 串行输出：34个管脚
- 时钟：1个管脚
- 输入使能信号：1个管脚
- 输出使能信号：1个管脚
- 接地：约17个管脚

**共88个管脚**



**如果芯片为正方形**

$$\left(76\mu m \times \frac{88}{4}\right)^2 = 2.795584mm^2$$



## 统计及面积估算 (单位: $\mu\text{m}$ )

I/O  $\frac{5}{4} \times 34 \times 2 \times 76 \times 76$

寄存器  $32 \times 15 \times 15$

加法器和减法器

$$2 \times 17 \times 16 \times [(1.32^2 + 1.98^2) \times 6 + (1.32^2 + 1.98^2) \times 3]$$

移位相加乘法器  $32 \times 10691.05$

$$\approx 0.868 \text{mm}^2$$



上海交通大學

SHANGHAI JIAO TONG UNIVERSITY