

数字集成电路设计课程设计

快速傅里叶变换电路设计

方案讨论

第六组

罗恬 齐奕翔 杨文曦

School of Microelectronics, F1703901
Shanghai Jiao Tong University
https://github.com/VenciFreeman/FFT_ChipDesign
Thursday, March 13, 2020, Version 3.1

TOC

运算原理及数据表示

整体架构设计

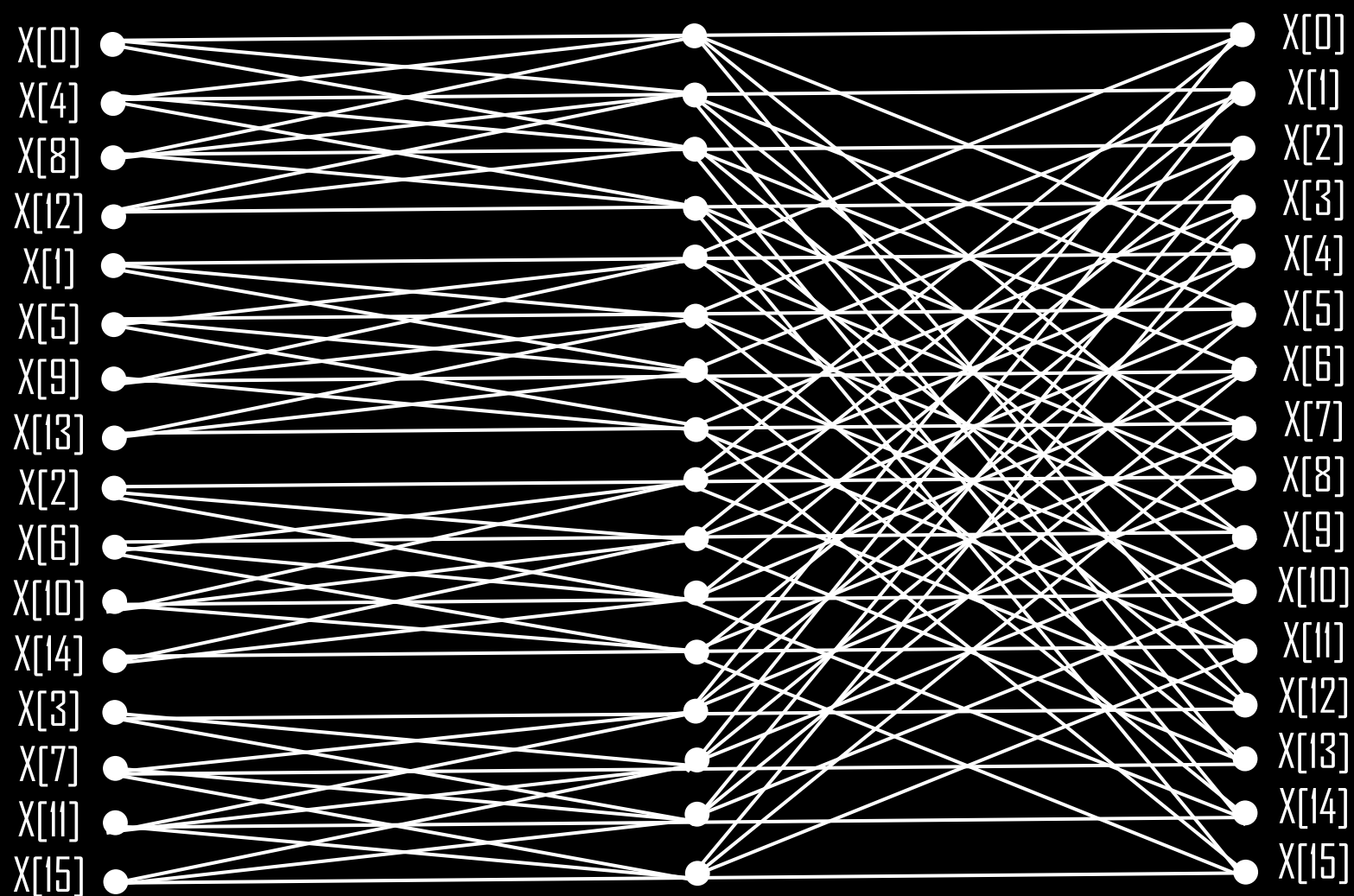
模块细节设计

资源及面积统计

运算原理及数据表示

FFT算法原理及选择
算法中的数据表示方式

16点基4-FFT算法流图



16点基4-FFT原理

$$X(r) = X_0(r) + W_N^r X_1(r) + W_N^{2r} X_2(r) + W_N^{3r} X_3(r)$$

$$X\left(r + \frac{N}{4}\right) = X_0(r) - jW_N^r X_1(r) - W_N^{2r} X_2(r) + jW_N^{3r} X_3(r)$$

$$X\left(r + \frac{N}{2}\right) = X_0(r) - W_N^r X_1(r) + W_N^{2r} X_2(r) - W_N^{3r} X_3(r)$$

$$X\left(r + \frac{3N}{4}\right) = X_0(r) + jW_N^r X_1(r) - W_N^{2r} X_2(r) - jW_N^{3r} X_3(r)$$

基4相比基2的优点

复数乘法减少，加减法可通过线性变换优化

数据表示

$$z = a + bj$$



符号位

整数位

小数位



17bit

整体架构设计

输入输出的方案选择

整体架构框图

时序过程和地址产生

资源的充分利用

输入输出方案选择

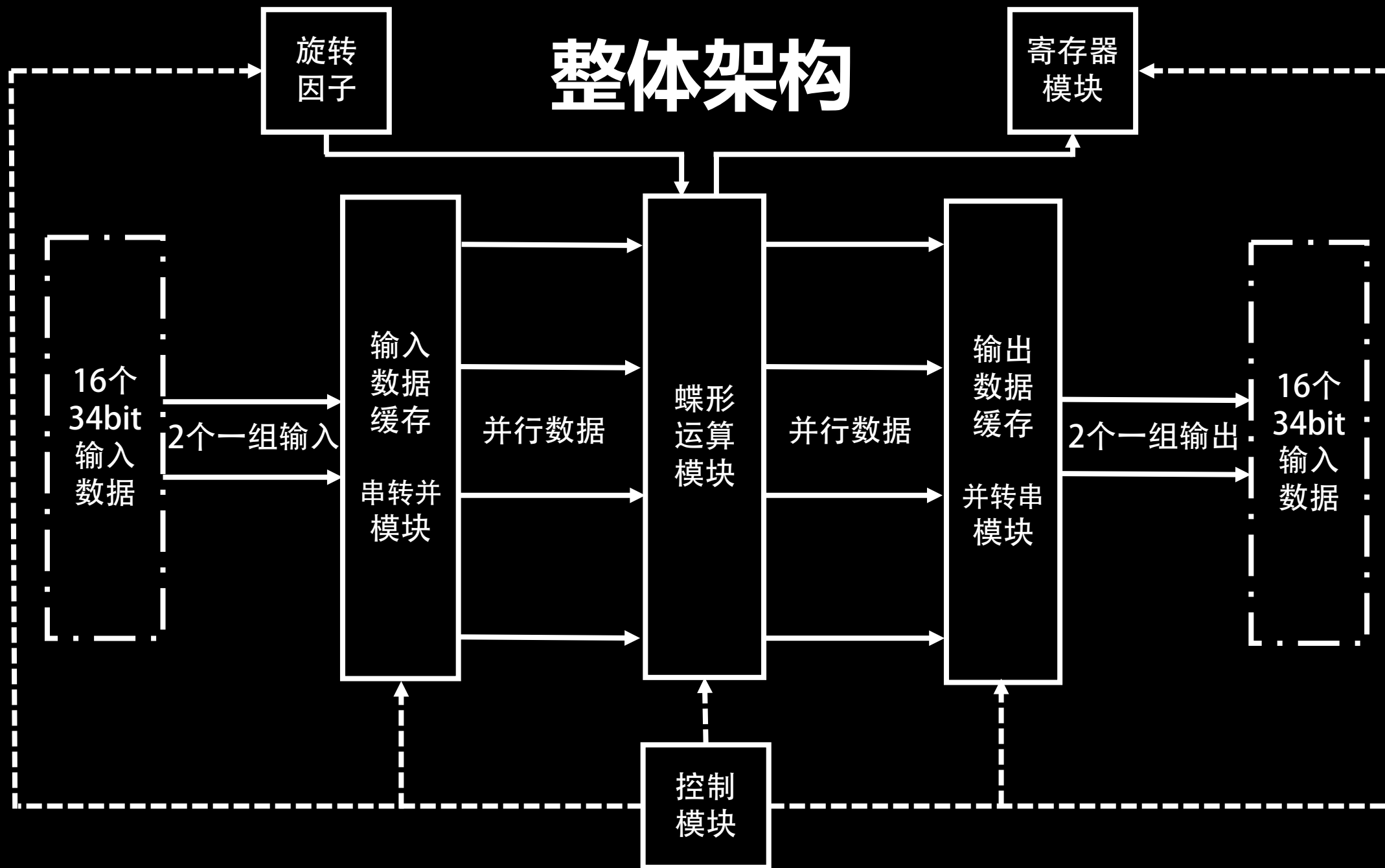
串行输入输出 匹配计算速度

数据两个一组串行输入输出

需要 $2 \times 2 \times 34$ 个管脚

每次16个数输入完便开始计算本次FFT

整体架构



反序输入

时序过程

RAM1
RAM2

| 流水线 | 时钟周期 | 读数据 | 蝶形运算 | 写数据 |
|-----|------|--------------|------|----------------|
| 第一级 | 1 | 0, 4, 8, 12 | 1 | 0, 1, 2, 3 |
| | 2 | 1, 5, 9, 13 | 1 | 4, 5, 6, 7 |
| | 3 | 2, 6, 10, 14 | 1 | 8, 9, 10, 11 |
| | 4 | 3, 7, 11, 15 | 1 | 12, 13, 14, 15 |
| 第二级 | 5 | 0, 4, 8, 12 | 1 | 0, 1, 2, 3 |
| | 6 | 1, 5, 9, 13 | 1 | 4, 5, 6, 7 |
| | 7 | 2, 6, 10, 14 | 1 | 8, 9, 10, 11 |
| | 8 | 3, 7, 11, 15 | 1 | 12, 13, 14, 15 |
| 第三级 | 9 | 0, 4, 8, 12 | 0 | 0, 1, 2, 3 |
| | 10 | 1, 5, 9, 13 | 0 | 4, 5, 6, 7 |
| | 11 | 2, 6, 10, 14 | 0 | 8, 9, 10, 11 |
| | 12 | 3, 7, 11, 15 | 0 | 12, 13, 14, 15 |

正序输出

地址产生

两个RAM交替使用

| 第一次 | | 第二次 | | 第三次 | | 第四次 | |
|-------|---|-------|---|-------|----|-------|----|
| 00 00 | 0 | 01 00 | 4 | 10 00 | 8 | 11 00 | 12 |
| 00 01 | 1 | 01 01 | 5 | 10 01 | 9 | 11 01 | 13 |
| 00 10 | 2 | 01 10 | 6 | 10 10 | 10 | 11 10 | 14 |
| 00 11 | 3 | 01 11 | 7 | 10 11 | 11 | 11 11 | 15 |

| 第一次 | | 第二次 | | 第三次 | | 第四次 | |
|-------|----|-------|----|-------|----|-------|----|
| 00 00 | 0 | 00 01 | 1 | 00 10 | 2 | 00 11 | 3 |
| 01 00 | 4 | 01 01 | 5 | 01 10 | 6 | 01 11 | 7 |
| 10 00 | 8 | 10 01 | 9 | 10 10 | 10 | 10 11 | 11 |
| 11 00 | 12 | 11 01 | 13 | 11 10 | 14 | 11 11 | 15 |

运算资源的充分利用

输入

16个数 8组输入 8个周期

计算

两级FFT 8次蝶形运算 8个周期

输出

16个数 8组输出 8个周期

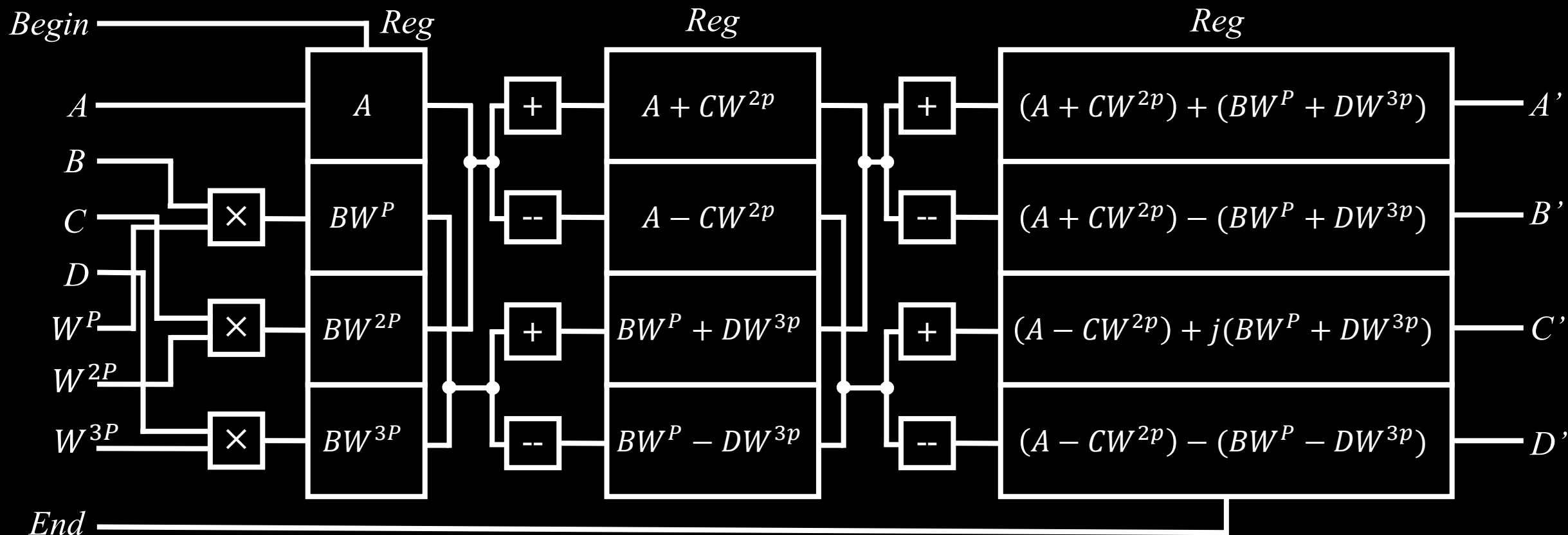
待解决：数据从RAM1转到RAM2需要4个周期？

运算逻辑设计

蝶形运算模块设计控制逻辑

乘法与加减法的实现方式

蝶形运算



整个芯片共采用一个蝶形运算模块

加减法的硬件实现

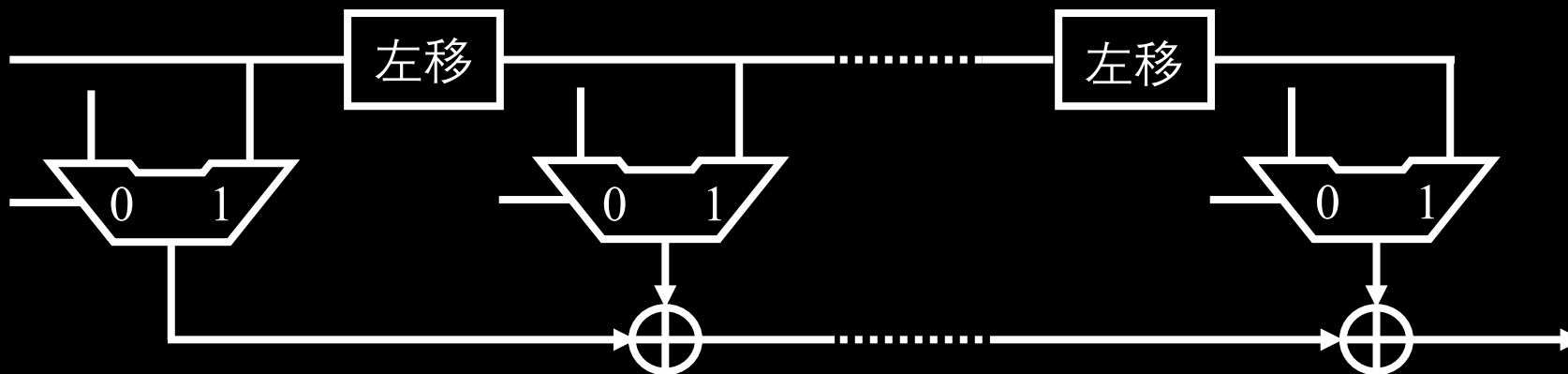
加法

直接使用加法运算

减法

取补码后使用加法运算

乘法的硬件实现



方案一

使用移位方式计算乘法
会有四舍五入累积误差

乘法的硬件实现

方案二

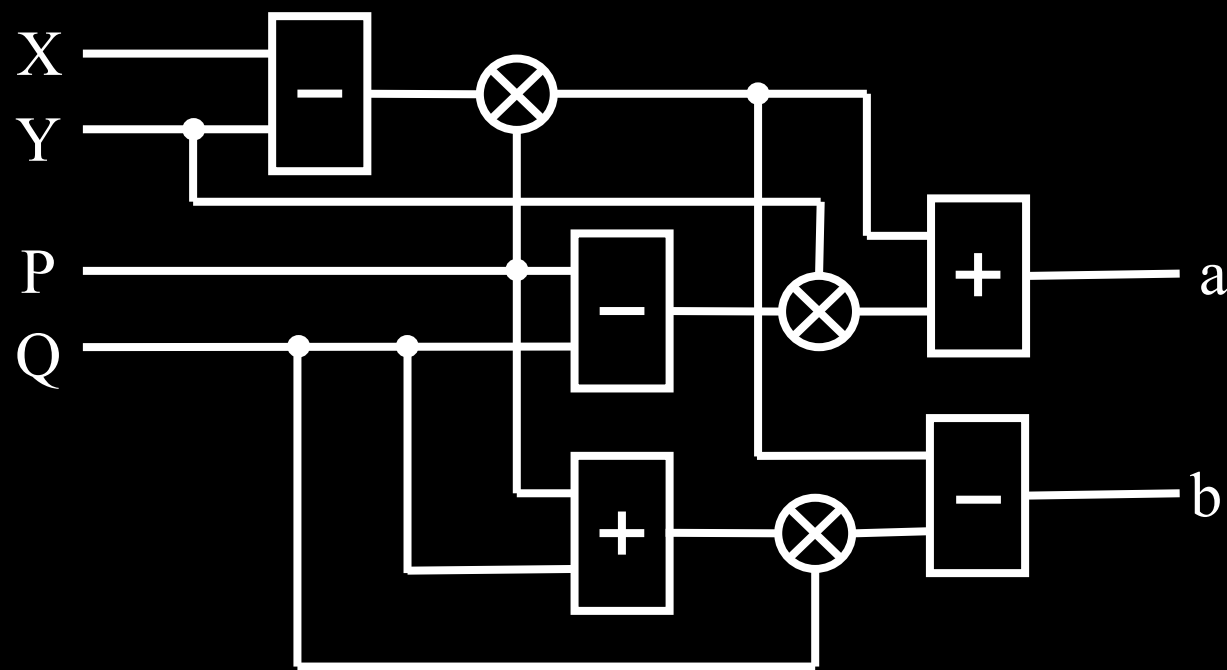
用复数加减代替复数乘法
仍会有四舍五入累积误差

$$(X + Yj)(P + Qj) = a + bj$$

$$a = (P - Q)Y + (X - Y)P$$

$$b = (P + Q)X - (X - Y)P$$

将一个复数乘法变为三个复数加法



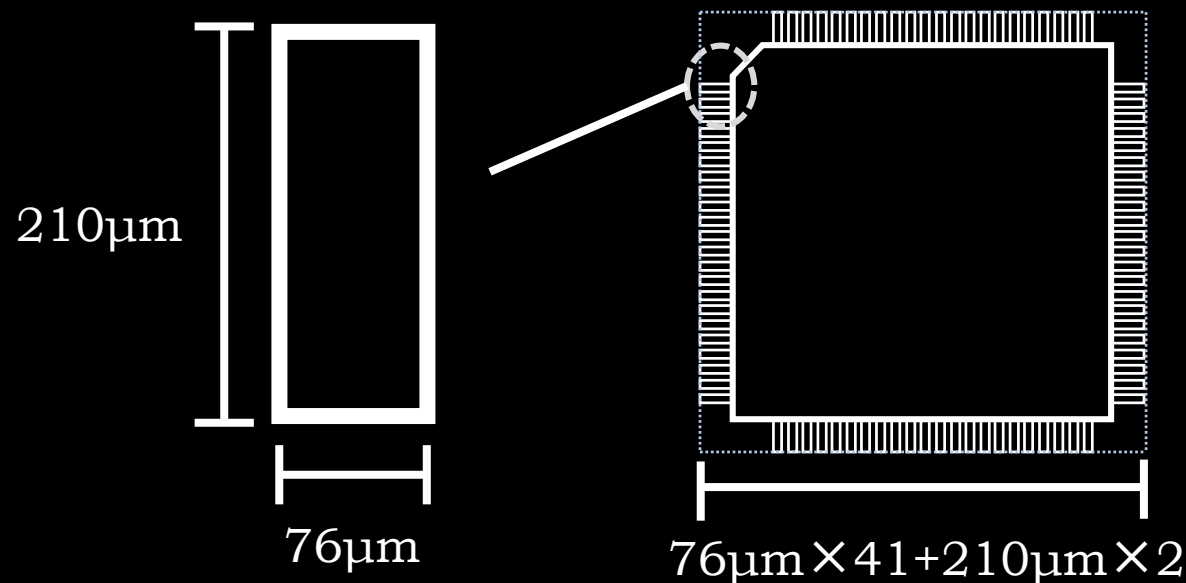
面积估算

管脚统计及面积估算

管脚统计及面积估算

- 串行输入：2×34个管脚
- 串行输出：2×34个管脚
- 时钟：1个管脚
- 输入使能信号：1个管脚
- 输出使能信号：1个管脚
- 接地：约25个管脚

共164个管脚



如果芯片为正方形

$$\left(76\mu m \times \frac{164}{4} + 210\mu m \times 2 \right)^2 = 12.503296mm^2$$

参考资料

- [1] Siva Kumar Palaniappan, et al. Design of 16-point Radix-4 Fast Fourier Transform in 0.18 μ m CMOS Technology[J]. American Journal of Applied Sciences 4 (8): 570-575, 2007
- [2] N. Weste, M. Bickerstaff, et al. A 50MHz 16-point FFT processor for WLAN application: IEEE 1997 Custom Integrated Circuits Conference: 457-460, 1997
- [3] 丁晓磊等. 16点基4-FFT芯片设计技术研究[J]. 信息技术. 64-71, 2007(1)



上海交通大學

SHANGHAI JIAO TONG UNIVERSITY