

# REPORT



인하대학교  
INHA UNIVERSITY



과목명 | 논리회로

담당교수 | 최성용

학과 | 컴퓨터공학과

학년 | 2

학번 | 12171661

이름 | 윤혁

제출일 | 2020.12.07

7-4) (a) 0부터 511 까지 512 개의 각각 다른 상태를 갖는다.

$\therefore \text{MOD}-512$

(b) 512 개의 상태를 가지기 위해서는  $2^k = 512, k = 9$

$\therefore$  여덟 3비트 FF가 요구된다.

(c)  $520 \pmod{512} \equiv 8 \pmod{512} \quad (520 - 512 = 8)$

$\therefore 8$

(d) \* 마지막 FF(MSB)의 출력 주파수는 입력 클럭의

주파수를 카운터비 MOD 4로 나눈 값과 같다.

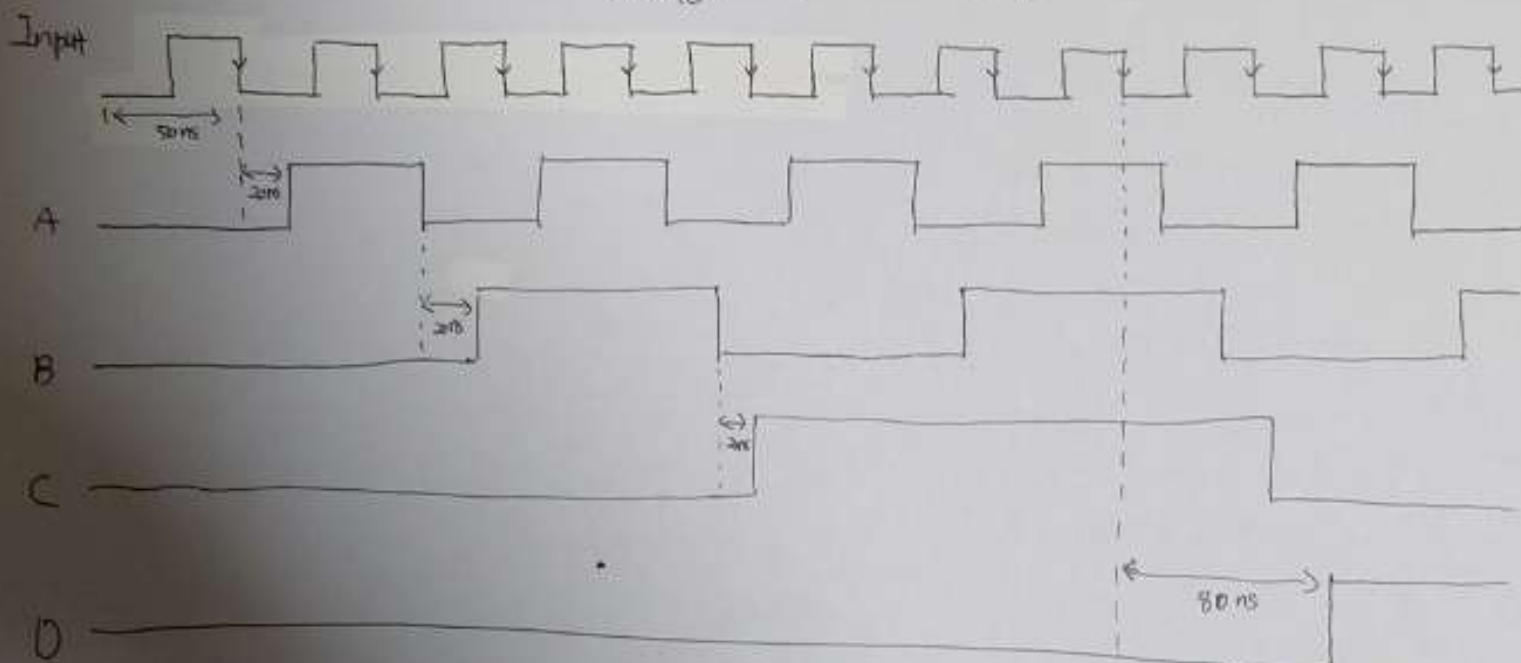
① 입력 클럭 주파수: 1024 kHz, ② MOD-4: 512

$$\rightarrow \frac{1024 \text{ kHz}}{512} = 2 \text{ kHz} \quad \therefore 2 \text{ kHz}$$

7-5)

\* 클럭 주파수: 20 MHz, FF- $t_{pd}$ : 20 ns

$$\rightarrow \text{클럭 주기} = \frac{1}{20 \text{ MHz}} = \frac{1}{20 \cdot 10^6} = 50 \times 10^{-9} = 50 \text{ ns}$$



$\rightarrow T_{clk} \geq N \times t_{pd}$  를 만족하지 않아서 ( $50 < 4 \times 20$ )

잘못된 카운터가 된다.

"1000" 상태가 발생하지 않는다

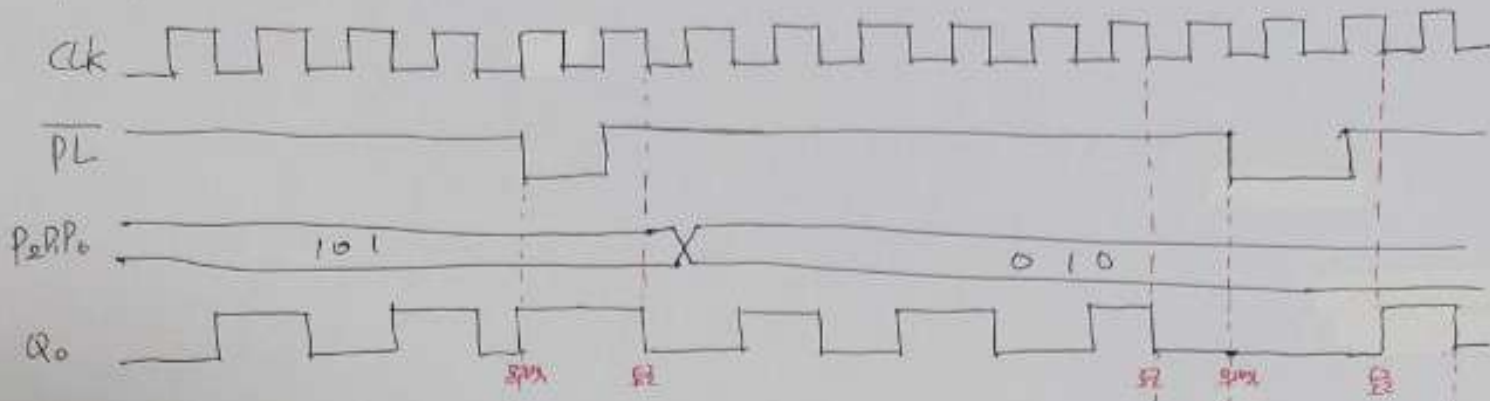
7-8)

(a) 128개의 수를 구변하기 위해서는  $2^n \geq 128$  이 되는 최소  $n$ 은 7이다.  $\therefore$  7개의 FF가 필요하다.

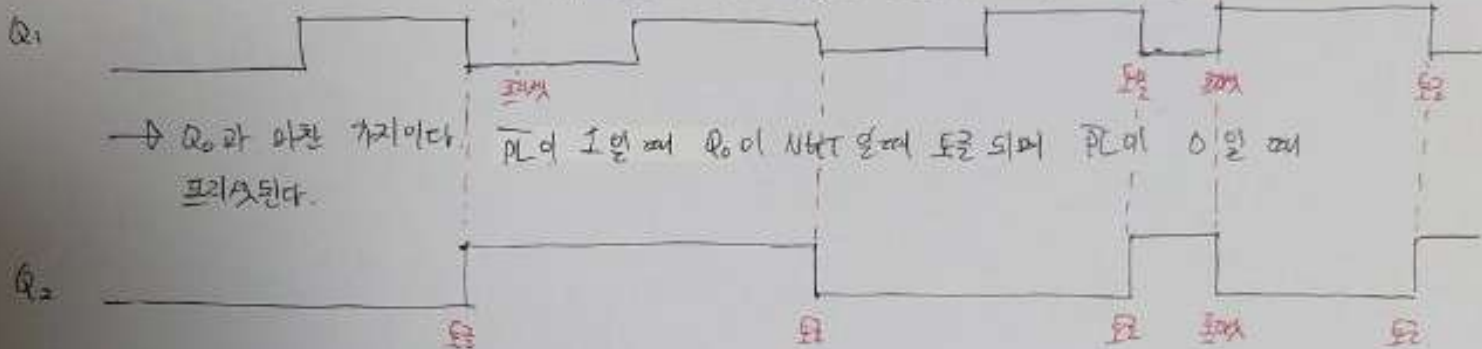
$$(b) f_{max} = \frac{1}{(30+18)ns} = \frac{1}{48 \times 10^{-9}} = 20.8 \times 10^6 \text{ Hz} = 20.8 \text{ MHz}$$



7-16)



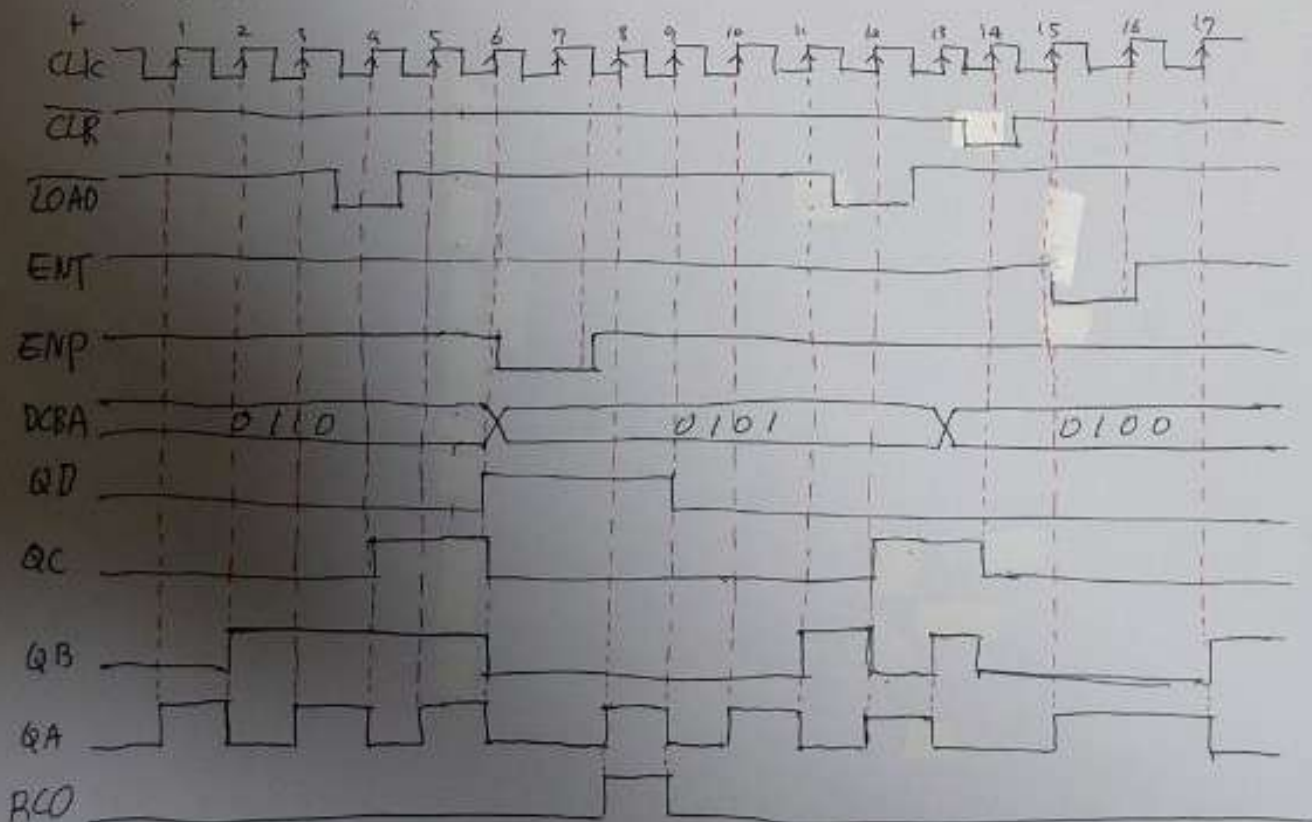
→ 플리프가 active-low 이므로 1일 때는  $clk$ 이 N비트일 때 toggle 하다가 플리프가 0일 때는  $P_2P_0$  값에 맞춰 값이 변한다.



→  $Q_0$ 과 마찬가지로  $\overline{PL}$ 이 1일 때  $Q_0$ 이 N비트일 때 토글 되며  $\overline{PL}$ 이 0일 때 플리프된다.

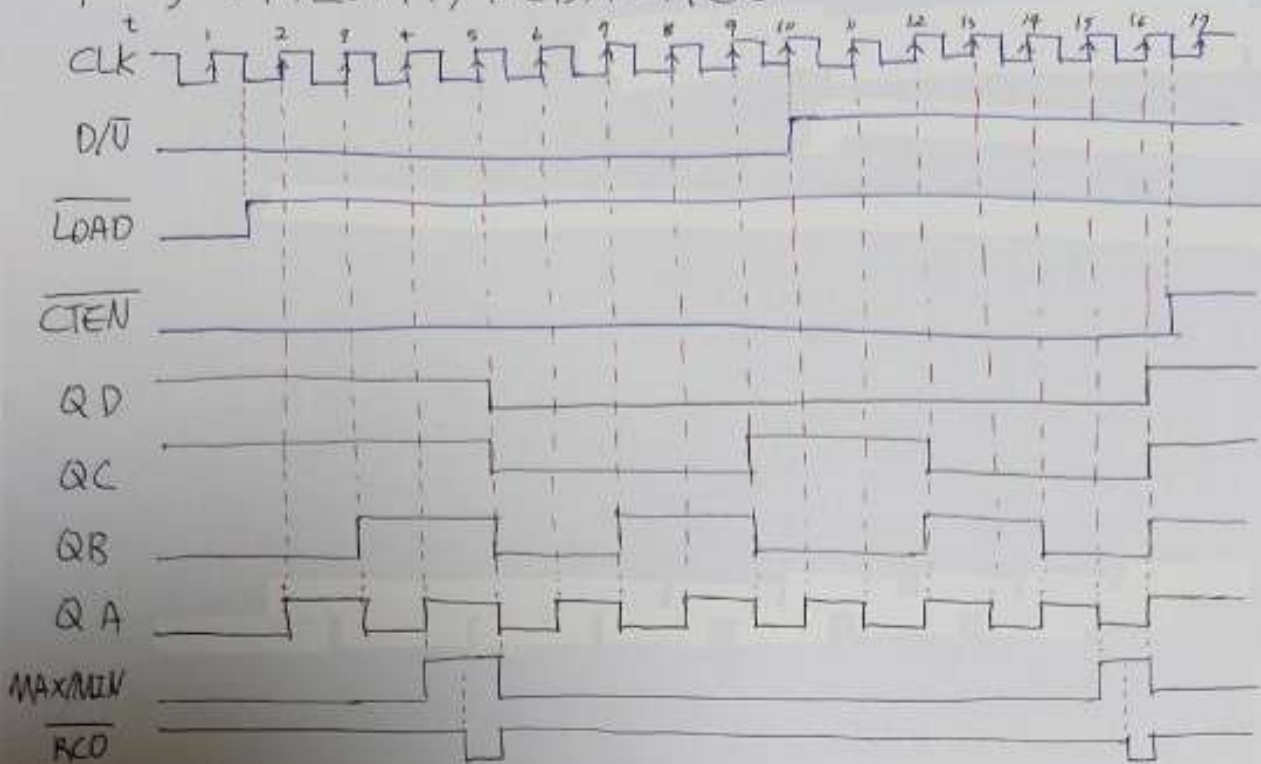
→  $\overline{PL}$ 이 1일 때  $Q_1$ 이 N비트일 때 토글되며  $\overline{PL}$ 이 0일 때 플리프된다.

7-18) 74ALS162, 초기 상태: 0000



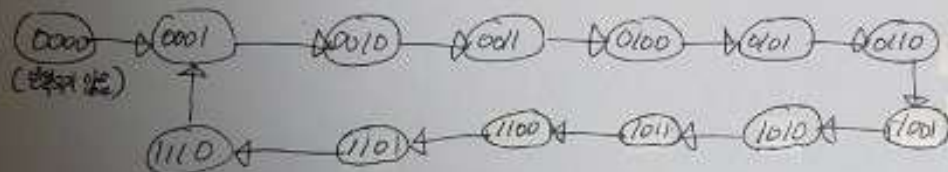


7-20) 74ALS91, DCBA = 1100



7-22) \* 74ALS161 카운터 회로 IC (74ALS161)

(a)



(b) 1부터 6 (0001 ~ 0110), 9부터 14 (1001 ~ 1110)의

$$6 + 6 = 12 \therefore \text{MOD} = 12$$

(c) output frequency of the MSB =  $\frac{1}{12} \times \text{input clk frequency}$

(d) \* MOD =  $2^n$  인 2진 카운터는 항상 50%의 듀티 사이클을 출력하게 된다.  
 $\therefore 50\%$  (74ALS161은 MOD=16 이진카운터이다)

7-24) \* 그림 7-10a(b), 74HC 190 : 비동기 LOAD, MOD-10

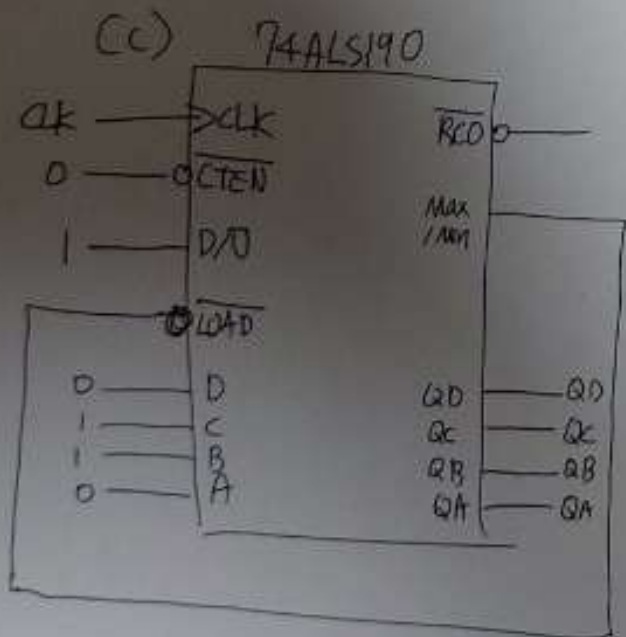
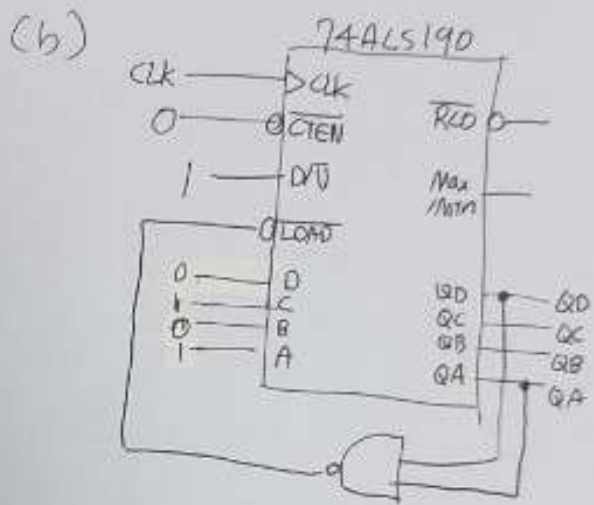
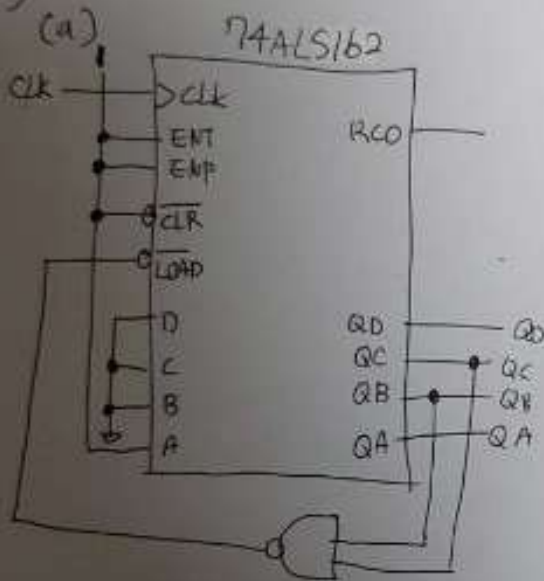
(a)  $\overline{START}$  가 LOW 일 때  $\overline{LOAD}$ 를 활성화시켜 0000 상태로 고정된다.

(b) D/D 입력이 0 이면 up 카운터로 작동하고  $\overline{LOAD}$ 를 잠시 활성화 시키면 0000 부터 카운터 Max 값인 1001 까지 CLK pulse 마다 1씩 카운트하는 카운터로 작동한다. 0000 ~ 1001

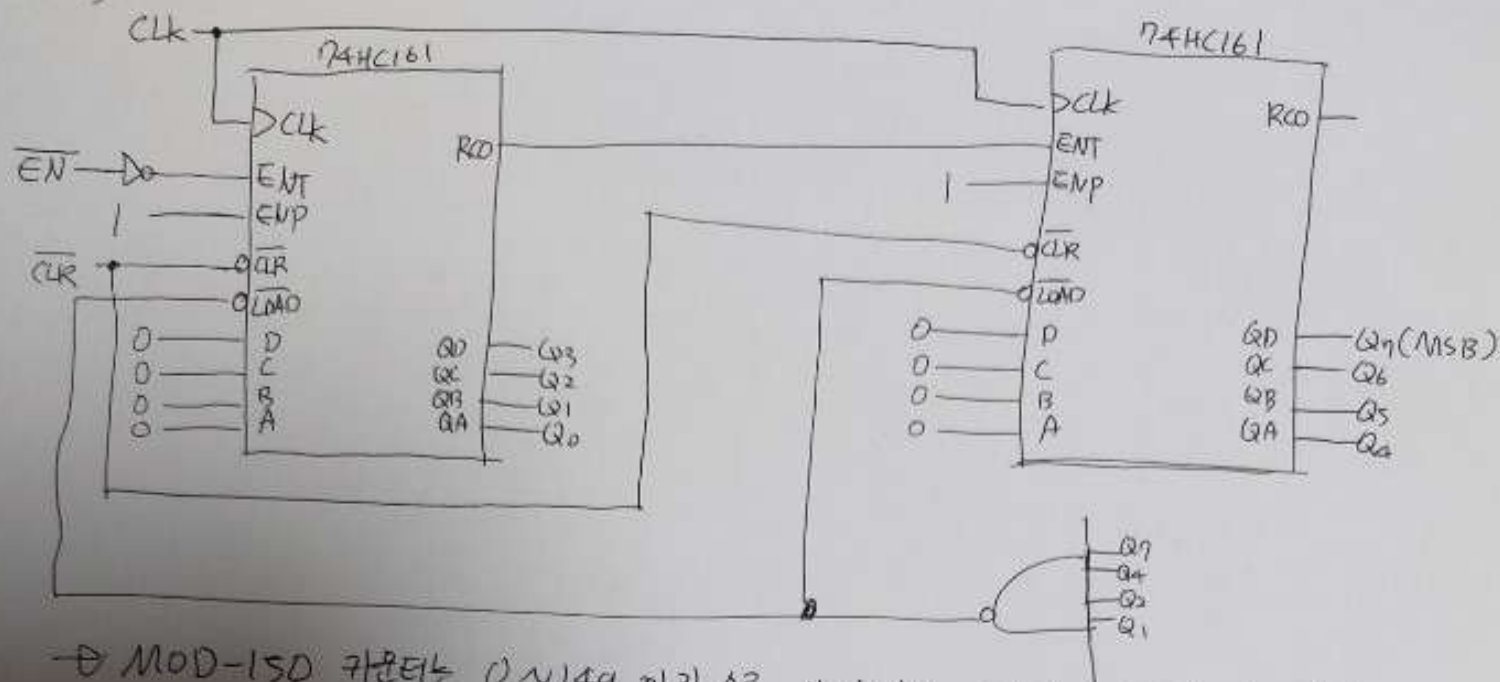
(c) 1.0000 ~ 1001 (0 ~ 9) 이므로  $\therefore$  MOD-10

2. 카운트가 Max에 도달하면  $\overline{CTEN}$ 에 1을 입력해 비활성화 시켜서 클럭 입력을 받지 못하게 된다.  $\therefore$  순환하지 않는다.

7-26)



7-27)



→ MOD-150 카운터는 0 ~ 149 자리 수를 나타내므로 최대 10010101 까지 카운트 해야한다. 그래서 MSB는 Q7이고 Q7, Q4, Q2, Q1 이 1일 때 비동기 리셋이 되어 0000 으로 초기화 된다.

7-31) \*  $f_{in} = 6\text{MHz}$

①  $f_{out}$

위와 같은 동기 LOAD, 비동기 CLR 방식의 0000부터 Q7, Q4가 모두 1일 때 CLR을 활성화 시키므로 1100일 때 비동기 CLR이 된다. 비동기 방식이므로 1100은 앞시 상태에 불과하여 결국 0000 ~ 1011 까지 12가지 상태를 나타낸다. → MOD-12

$$f_{out1} = \frac{6\text{MHz}}{12} = \frac{6 \times 10^6}{12} = 5 \times 10^5 = 500\text{kHz}$$

②  $f_{out2}$

위 또한 74ALS 161 이므로 위와 동작하는 방식이 같다. 하지만 회로의 구조를 보면 CLR은 활성화 되지 않고 동기식 LOAD가 0100 일 때 활성화 되는 것을 볼 수 있다. 동기식이므로 0100 상태도 CLK 전까지 존재한다. 결국 0000 ~ 0100 까지 5가지 상태를 나타낸다. → MOD-5

$$f_{out2} = \frac{500\text{kHz}}{5} = 100\text{kHz}$$



7-32) \*  $f_{in} = 1.5 \text{ MHz}$

①  $f_{out1}$

비동기 CLR, 동기 LOAD 방식이다.  $\overline{CLR}$ 은 비활성화 상태이고  
1110 일 때 0000 으로 LOAD 된다. 결국 0000 ~ 1110 까지 (0 ~ 14)  
15개의 수를 나타낸다. MOD-15

$$\rightarrow f_{out1} = \frac{1.5 \text{ MHz}}{15} = \frac{15 \times 10^6}{15} = 100 \text{ kHz}$$

②  $f_{out2}$

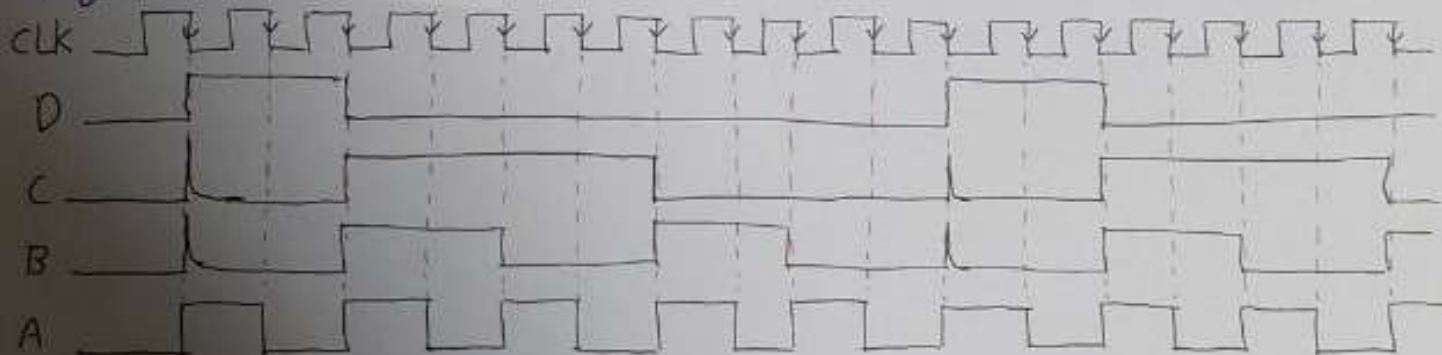
U2도 동일한 방식의 74ALS161 이지만 LOAD는 비활성화 상태이고  
QD, QB가 1일 때 즉 1010 일 때 비동기 CLR가 즉시 동작하므로  
0000 ~ 1001 (1010 = 8진 상태) 10가지 수를 나타낸다. MOD-10

$$\rightarrow f_{out2} = \frac{100 \text{ kHz}}{10} = 10 \text{ kHz}$$

7-38) 그림 7-110(b)

→ 분석은 다음장에 있습니다

타이밍도



7-38) 분석

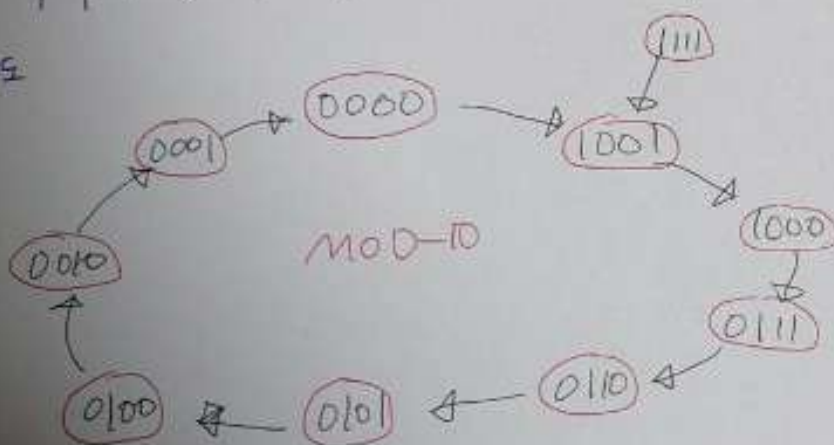
1 회로식

2. 매수식 :  $J_D = \overline{A} \overline{B} \overline{C}$ ,  $J_C = \overline{A} \overline{B}$ ,  $J_B = \overline{A}$ ,  $J_A = 1$   
 $K_D = \overline{A} \overline{B} \overline{C}$ ,  $K_C = \overline{A} \overline{B}$ ,  $K_B = \overline{A}$ ,  $K_A = 1$

3. 현재/다음 상태 변화

D	C	B	A	$J_D$	$K_D$	$J_C$	$K_C$	$J_B$	$K_B$	$J_A$	$K_A$	D	C	B	A
0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0
0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	1
0	0	1	0	0	0	0	0	1	1	1	1	0	0	1	0
0	0	1	1	0	0	0	0	0	0	1	1	0	0	1	1
0	1	0	0	0	0	1	1	1	1	1	1	0	1	0	0
0	1	0	1	0	0	0	0	0	0	1	1	0	1	0	1
0	1	1	0	0	0	0	0	1	1	1	1	0	1	1	0
0	1	1	1	0	0	0	0	0	0	1	1	0	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0
1	0	0	1	0	0	0	0	0	0	1	1	1	0	0	1
1	0	1	0	0	0	0	0	1	1	1	1	1	0	1	0
1	0	1	1	0	0	0	0	0	0	1	1	1	0	1	1
1	1	0	0	0	0	1	1	1	1	1	1	1	1	0	0
1	1	0	1	0	0	0	0	0	0	1	1	1	1	0	1
1	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1
1	1	1	1	0	0	0	0	0	0	1	1	1	1	1	1

4. 상태전이도



7-40) \* 7-11 (b)

분석

1. 회로

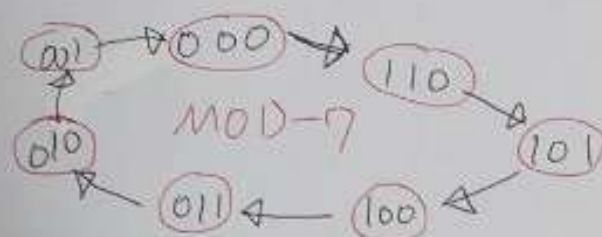
2. 대수식:  $J_C = \overline{A+B}$ ,  $J_B = \overline{A}$ ,  $J_A = B+C$

$K_C = A \oplus B$ ,  $K_B = C + \overline{A}$ ,  $K_A = 1$

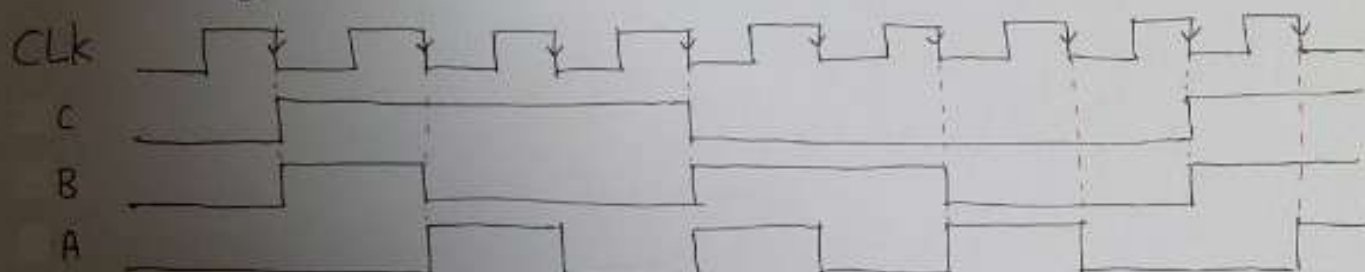
3. 현재/다음상태 변환도

<현재>			<제어 입력>						<다음>		
C	B	A	$J_C$	$K_C$	$J_B$	$K_B$	$J_A$	$K_A$	C	B	A
0	0	0	1	1	1	1	0	1	1	0	0
0	0	1	0	0	0	0	0	1	0	0	0
0	1	0	0	0	1	1	1	1	0	0	1
0	1	1	0	1	0	0	1	1	0	1	0
1	0	0	1	1	1	1	1	1	0	1	1
1	0	1	0	0	0	1	1	1	1	0	0
1	1	0	0	0	1	1	1	1	1	0	1
1	1	1	0	1	0	1	1	1	0	0	0

4. 상태변환



타이밍도



7-41) 분석

1. 회로도

2. 특성식

$$J_D = K_D = (F \oplus C) \cdot (F \oplus B) \cdot (F \oplus A)$$

$$J_C = K_C = (F \oplus B) \cdot (F \oplus A)$$

$$J_B = K_B = (F \oplus A)$$

$$J_A = K_A = 1$$

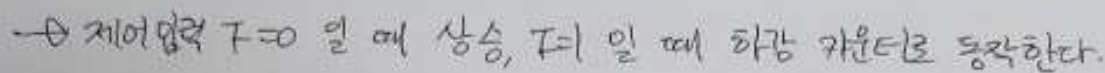
3. 현재/다음 상태 변화

<현재>				<F=0>								<다음>			
D	C	B	A	J <sub>D</sub>	K <sub>D</sub>	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>A</sub>	K <sub>A</sub>	D	C	B	A
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	0	0	0	1	1	1	1	0	0	1	0
0	0	1	0	0	0	0	0	0	0	1	1	0	0	1	1
0	0	1	1	0	0	1	1	1	1	1	1	0	1	0	0
0	1	0	0	0	0	0	0	0	0	1	1	0	1	0	1
0	1	0	1	0	0	0	0	1	1	1	1	0	1	1	0
0	1	1	0	0	0	0	0	0	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1
1	0	0	1	0	0	0	0	1	1	1	1	1	0	1	0
1	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1
1	0	1	1	0	0	1	1	1	1	1	1	1	1	0	0
1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	1
1	1	0	1	0	0	0	0	1	1	1	1	1	1	1	0
1	1	1	0	0	0	0	0	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0

<현재>				<F=1>								<다음>			
D	C	B	A	J <sub>D</sub>	K <sub>D</sub>	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>A</sub>	K <sub>A</sub>	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											
				⋮											



#### 4. 상태천이도



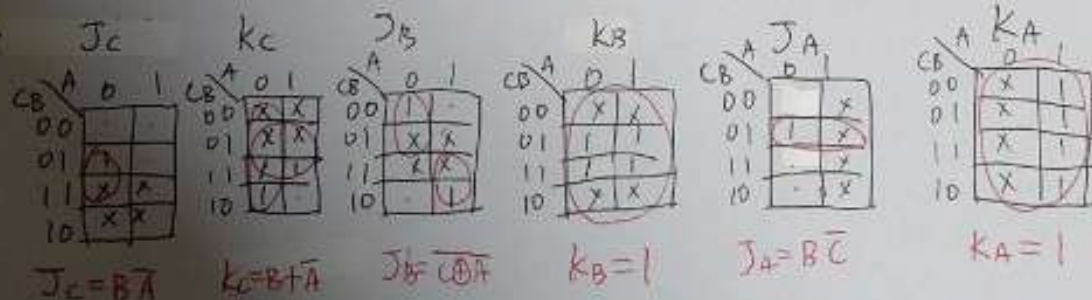
7-43)

(a)

현재/ 다음 생애

<현상>			<지어입력>			<다음>			
C	B	A	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub> K <sub>B</sub>	J <sub>A</sub> K <sub>A</sub>	C	B	A
0	0	0	0	X	1 X	0 X	0	1	0
0	0	1	0	X	0 X	X 1	0	0	0
0	1	0	1	X	X 1	1 X	1	0	1
0	1	1	0	X	X 1	X 1	0	0	0
1	0	0	X	1	0 X	0 X	0	0	0
1	0	1	X	0	1 X	X 1	1	1	0
1	1	0	X	1	X 1	0 X	0	0	0
1	1	1	X	1	X 1	X 1	0	0	0

가르침



(b) 현재/다음 상태표

<하위>			<중위>			<상위>		
C	B	A	Jc	Kc	Ja	Ka	Jb	Kb
0	0	0	0	X	1	X	0	X
0	0	1	X	X	X	X	X	X
0	1	0	1	X	X	1	1	X
0	1	1	X	X	X	X	X	X
1	0	0	X	X	X	X	X	X
1	0	1	X	0	1	X	X	1
1	1	0	X	1	X	1	0	X
1	1	1	X	X	X	X	X	X

7-43) (b)

가르침

A	J <sub>C</sub>	A	K <sub>C</sub>	A	J <sub>B</sub>	A	K <sub>B</sub>	A	J <sub>A</sub>	A	K <sub>A</sub>
CB	0 1	CB	0 1	CB	0 1	CB	0 1	CB	0 1	CB	0 1
00		00	X X	00	1 X	00	X X	00	- X	00	X X
01	1 X	01	X X	01	X X	01	1 X	01	1 X	01	X X
11	X X	11	1 X	11	X X	11	1 X	11	- X	11	X X
10	X X	10	X	10	X 1	10	X X	10	X X	10	X 1

$$J_C = B$$

$$K_C = B$$

$$J_B = 1$$

$$K_B = 1$$

$$J_A = B\bar{C}$$

$$K_A = 1$$

→ (a) 설계가 바르다면 J<sub>A</sub>, K<sub>A</sub>, K<sub>B</sub>는 똑같은 J<sub>B</sub>는  $\overline{C+A} \rightarrow 1$ , J<sub>C</sub>는  $\bar{B}A \rightarrow B$ , K<sub>C</sub>는  $B+\bar{A} \rightarrow B$  바뀌었다.

7-46)

현재/다음 상태표

<현재>			<D=0>						<다음>		
C	B	A	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>A</sub>	K <sub>A</sub>	C	B	A
0	0	0	0	X	0	X	1	X	0	0	1
0	0	1	0	X	1	X	X	1	0	1	0
0	1	0	0	X	X	0	1	X	0	1	1
0	1	1	1	X	X	1	X	1	1	0	0
1	0	0	X	0	0	X	1	X	1	0	1
1	0	1	X	0	1	X	X	1	1	1	0
1	1	0	X	1	X	1	0	X	0	0	0

가르침: D=0

A	J <sub>C</sub>	A	K <sub>C</sub>	A	J <sub>B</sub>	A	K <sub>B</sub>	A	J <sub>A</sub>	A	K <sub>A</sub>
CB	0 1	CB	0 1	CB	0 1	CB	0 1	CB	0 1	CB	0 1
00		00	X X	00	1	00	X X	00	1 X	00	X 1
01		01	X X	01	X X	01		01	1 X	01	X 1
11	X X	11	1 X	11	X X	11	X X	11	X	11	X X
10	X X	10		10	1	10	X X	10	1 X	10	X 1

$$J_C = \bar{D}AB$$

$$K_C = \bar{D}B$$

$$J_B = \bar{D}A$$

$$K_B = \bar{D}A$$

$$J_A = \bar{D}B\bar{D}C$$

$$K_A = \bar{D}$$

7-46)

현재/다음 상태

<현재>			<D=1>						<다음>		
C	B	A	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>A</sub>	K <sub>A</sub>	C	B	A
0	0	0	1	X	1	X	0	X	1	1	0
0	0	1	0	X	0	X	X	1	0	0	0
0	1	0	0	X	X	1	1	X	0	0	1
0	1	1	0	X	X	0	X	1	0	1	0
1	0	0	X	1	1	X	1	X	0	1	1
1	0	1	X	0	0	X	X	1	1	0	0
1	1	0	X	0	X	1	1	X	1	0	1

카르만: D=1

A		J <sub>C</sub>		K <sub>C</sub>		J <sub>B</sub>		K <sub>B</sub>		J <sub>A</sub>		K <sub>A</sub>	
CB	A	0	1	0	1	0	1	0	1	0	1	0	1
00	0	1		X	X	1		X	X			X	1
01	0			X	X	X	X	1		1	X	X	1
11	1	X	X		X	X	X	1	X	1	X	X	X
10	1	X	X	1		1		X	X	1	X	X	X

$J_C = D\bar{A}\bar{B}$    
  $K_C = D\bar{A}\bar{B}$    
  $J_B = D\bar{A}$    
  $K_B = D\bar{A}$    
  $J_A = \bar{D}C + D\bar{B}$    
  $K_A = 1$

7-47) \* 동기식, 순환, MOD-8, 이진 하강 카운터, D-FF

현재/다음 상태			카운팅			<다음>		
C	B	A	D <sub>C</sub>	D <sub>B</sub>	D <sub>A</sub>	C	B	A
0	0	0	1	1	1	1	1	1
0	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	1
0	1	1	0	1	0	0	1	0
1	0	0	0	1	1	0	1	1
1	0	1	1	0	0	1	0	0
1	1	0	1	0	1	1	0	1
1	1	1	1	1	0	1	1	0

A		D <sub>C</sub>	
CB	A	0	1
00	0	1	0
01	0	0	0
11	1	0	0
10	1	0	1

$D_C = \bar{C}\bar{B}A + C\bar{B}$

B		D <sub>B</sub>	
CA	B	0	1
00	0	1	0
01	0	0	1
11	1	0	1
10	1	1	0

$D_B = B\bar{A} + \bar{B}A = (\bar{B}A)$

A		D <sub>C</sub>	
CB	A	0	1
00	0	1	0
01	1	1	0
11	1	1	0
10	1	1	0

$D_C = \bar{A}$



7-65)

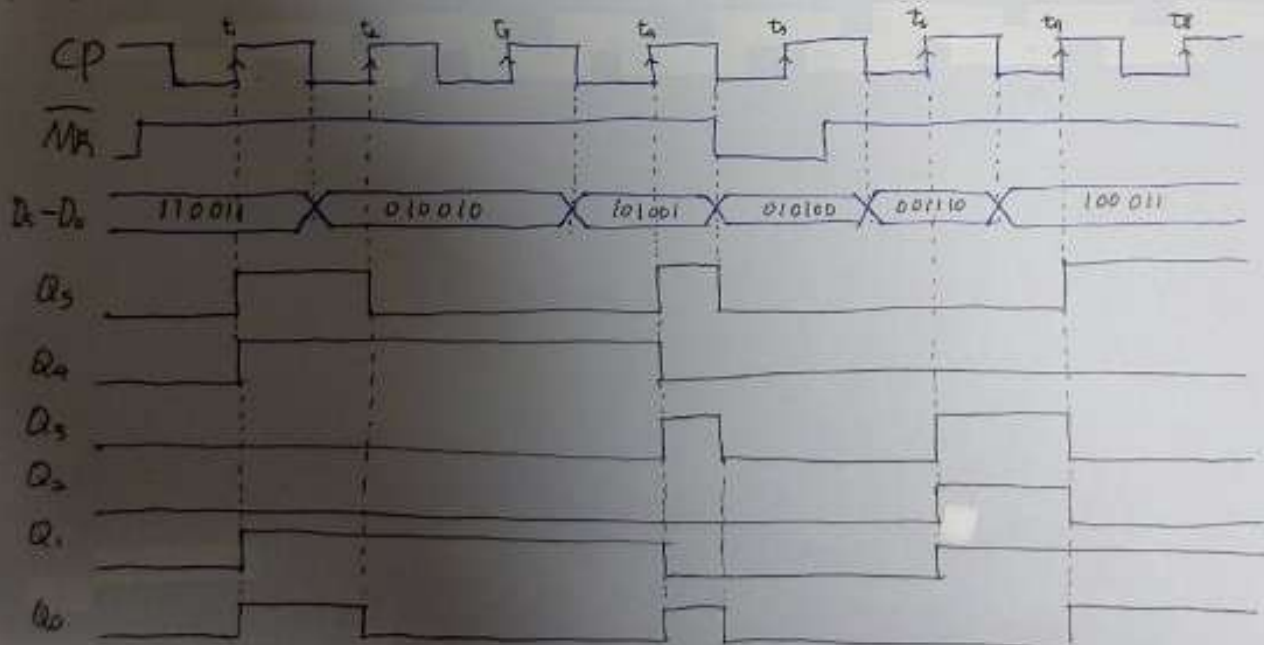
(a) 어떤 형태의 데이터 전송이 이루어지는가?

- 74ALS174는 병렬 PISO (병렬 입력/병렬 출력) 레지스터지만  
그럼 7-14에서는 각 클럭이 다음 레지스터의 입력이 되어 직렬 데이터  
전송으로 작동한다. 4개의 클럭 펄스가 인가되어야 한다.

(b) 표 7-10

$\uparrow CLK$	$\overline{MR}$	15-10	WS-W0	X5-X0	Y5-Y0	Z5-Z0
X	0	101010	000000	000000	000000	000000
CP1	1	101010	101010	000000	000000	000000
CP2	1	010101	010101	101010	000000	000000
CP3	1	000111	000111	010101	101010	000000
CP4	1	111000	111000	000111	010101	101010
CP5	1	011011	011011	111000	000111	010101
CP6	1	001101	001101	011011	111000	000111
CP7	1	000000	000000	001101	011011	111000
CP8	1	000000	000000	000000	001101	011011

7-66)



→  $\overline{MR}$ 이 0 이되고 나서 다음 PGT 클럭인  $t_5$ 에 리셋되지 않고 즉시  $Q_5-Q_0$  이 0으로 리셋되는 것보다  $\overline{MR}$ 이 비동기적임을 알 수 있다.



9-72)

(a)  $*in=1, out=0$

→  $in$ 이 1이면 XOR 게이트에 0, SER에 0이 들어 가게 된다. 제어 입력이 0 일 때 XOR 게이트는 Input을 그대로 출력하므로 SH/LD에 A가 들어간다.  $out=0$  이라는 것은 A-H 모두 0이 들어 갔다는 것을 알 수 있다. 그러므로  $A=0$ , LD를 활성화시켜 00000000이 Load 된다.

(b)  $*in=0, out=1$

→  $in$ 이 0이면 XOR 게이트에 1, SER에 1이 들어 가게 된다. 제어 입력이 1 일 때 XOR 게이트는 Input을 반대로 출력하므로 SH/LD에  $\bar{A}$ 가 들어간다.  $out$ 이 1이므로  $\bar{A}=0$  임을 알 수 있다. 이는 LD를 활성화시켜서 11111111이 Load 되는 것을 알 수 있다.

(c)  $*in=0, out=1$

→  $in$ 이 0이면 XOR 게이트에 1이 들어가므로  $\bar{A}$  (비역) 같이 A를 출력한다.  $out=0$  이므로  $\bar{A}=1$ , SH를 활성화 시킨다. SER에 1이 들어가므로 1을 Shift 한다.

(d)  $*in=1, out=1$

→  $in$ 이 1이면 XOR 게이트에 0이 들어가므로  $A$  (비역) 같이 A를 출력한다.  $out=1$  이므로  $A=1$ , LD를 활성화 시킨다. SER에 0이 들어가므로 0을 Shift 한다.

(e)

→  $in$ 과  $out$ 이 동일 하면 Shift, 다른 Load로 동작하는 것을 알 수 있다.

(f) 8개의 입력(A-H)가 주어진 때 이전 클럭을 입력으로 받기 때문에 최소 8 CLK pulses 동안 유지되어야 한다.

(g) 8개의 최소 8 클럭 펄스 이력이 원래의 논리 회로 되돌아간다면 출력 신호는 변하지 않는다.

(h) Input이 정상일 때 Output은 output을 반복하지 않고 정상 출력한다. 만약, pulsing 상태의 Input이 들어오면 인식하지 못한다.

7-77)

→ 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111을 반복하는 것은 크게 2가지 상황을 의심할 수 있다.

① D가 1이 되지 않는다.

반복하는 숫자들을 보면 D가 모두 0인 것을 알 수 있다. 이는 D가 1로 올라가는 조건이 적어지므로 0으로 고정되어 0000-0111을 반복하는 것으로 보일 수 있다.

1- D로 들어가는 AND 게이트 output short to ground. (internal)

2- D의 J, k Input short to ground. (internal)

3- D-FF의 D 클럭 short to ground. (internal)

4- D-FF의 CLK Input internal open, external open

5- D-FF의 J ~ AND 게이트 사이 short to ground. (external)

② NAND 게이트가 1010에 반응해야 하는데 1000에 반응한다 → B에 이상.

→ B가 0인데 1로 인식하는 경우 의심. counter는 제대로 되므로 B 관련 short는 아닐 것이다.

1- NAND 게이트 B input internal open.

2- B ~ NAND 게이트 사이 external open.