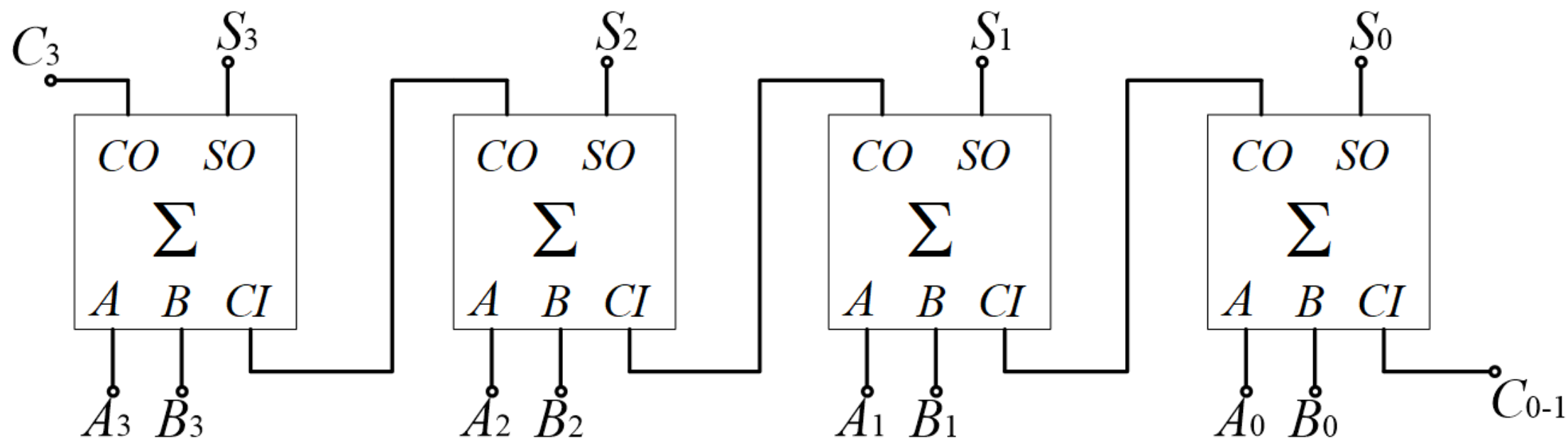


# 串行进位加法器设计

---

## ➤ 4位串行加法器



$$A_3A_2A_1A_0 + B_3B_2B_1B_0 = C_3S_3S_2S_1S_0$$

## ➤ 半加器设计

将输入的两个1位二进制数A和B相加，产生和数S及进位数CO。

输入		输出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

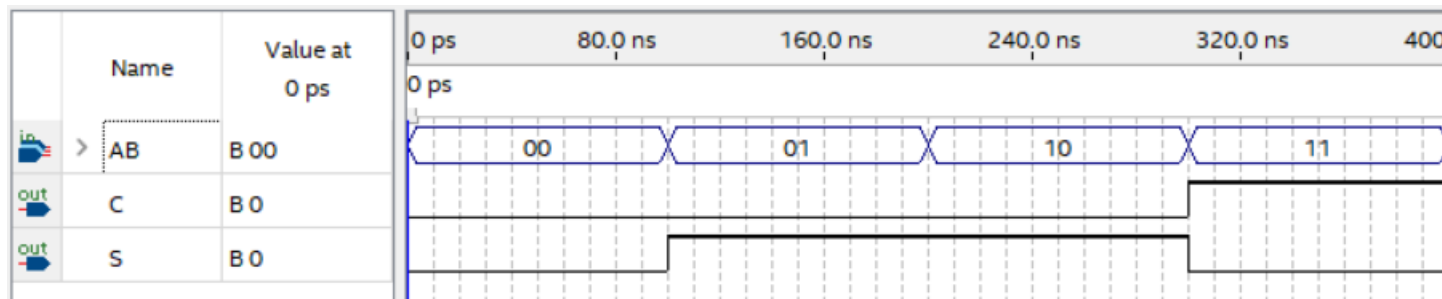
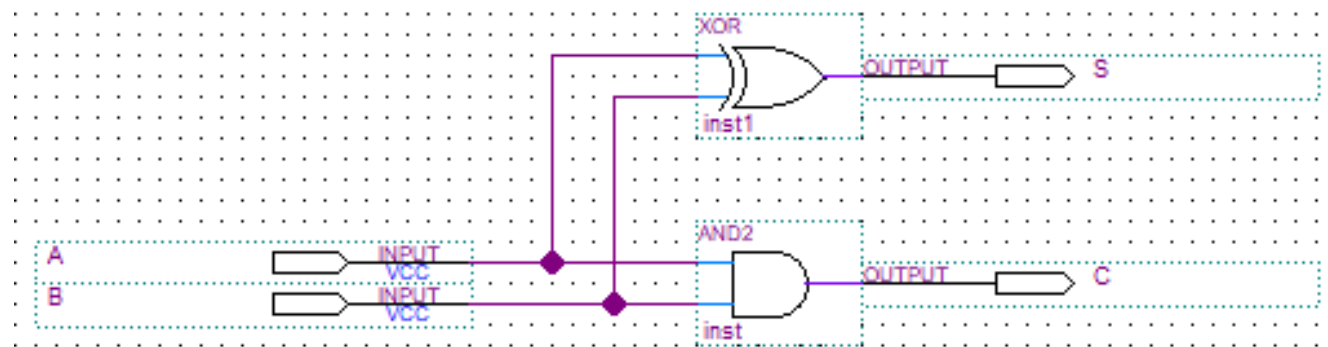
加数

本位的和

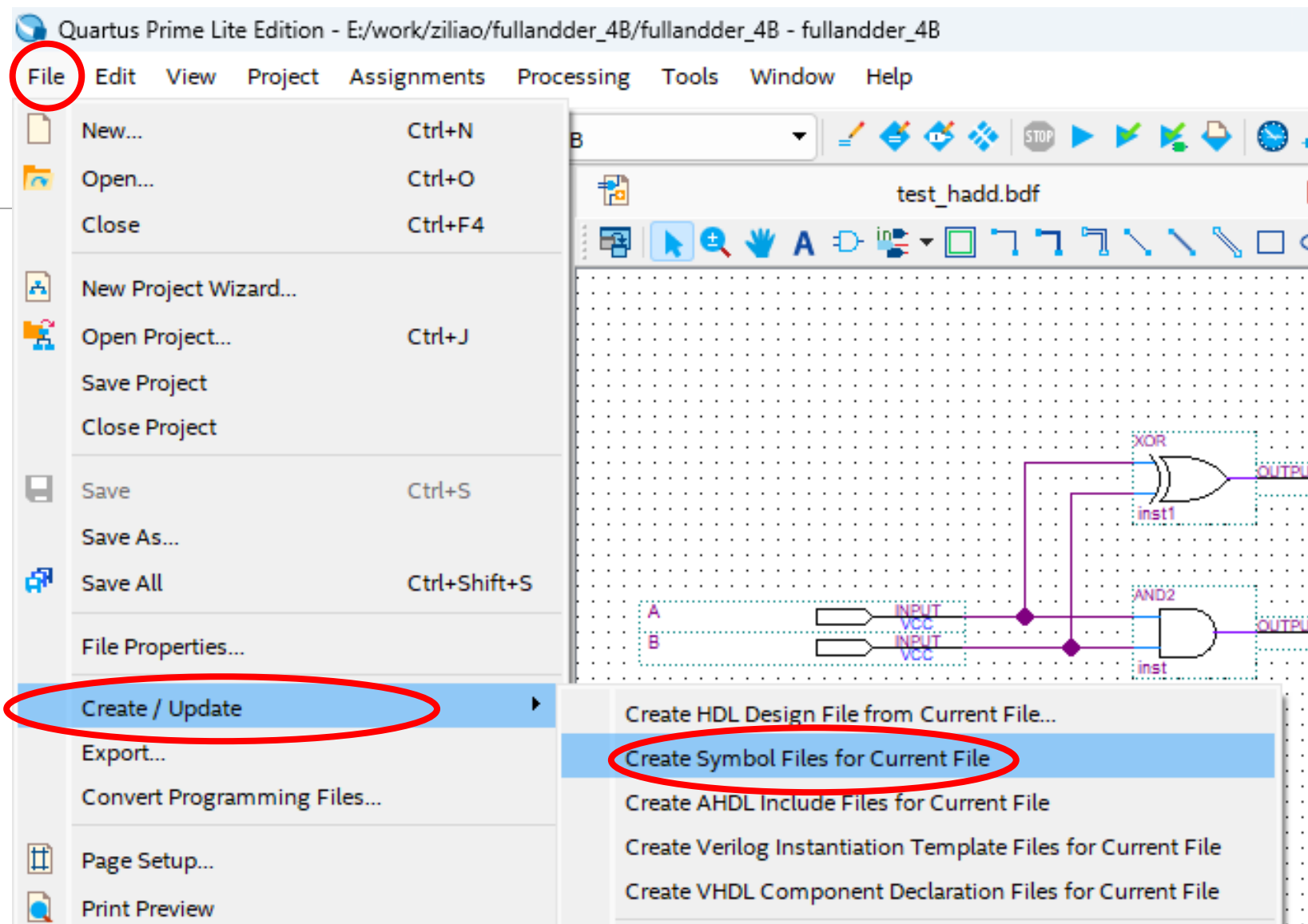
向高位的进位

$$S = \overline{A}B + A\overline{B} = A \oplus B$$


$$CO = AB$$

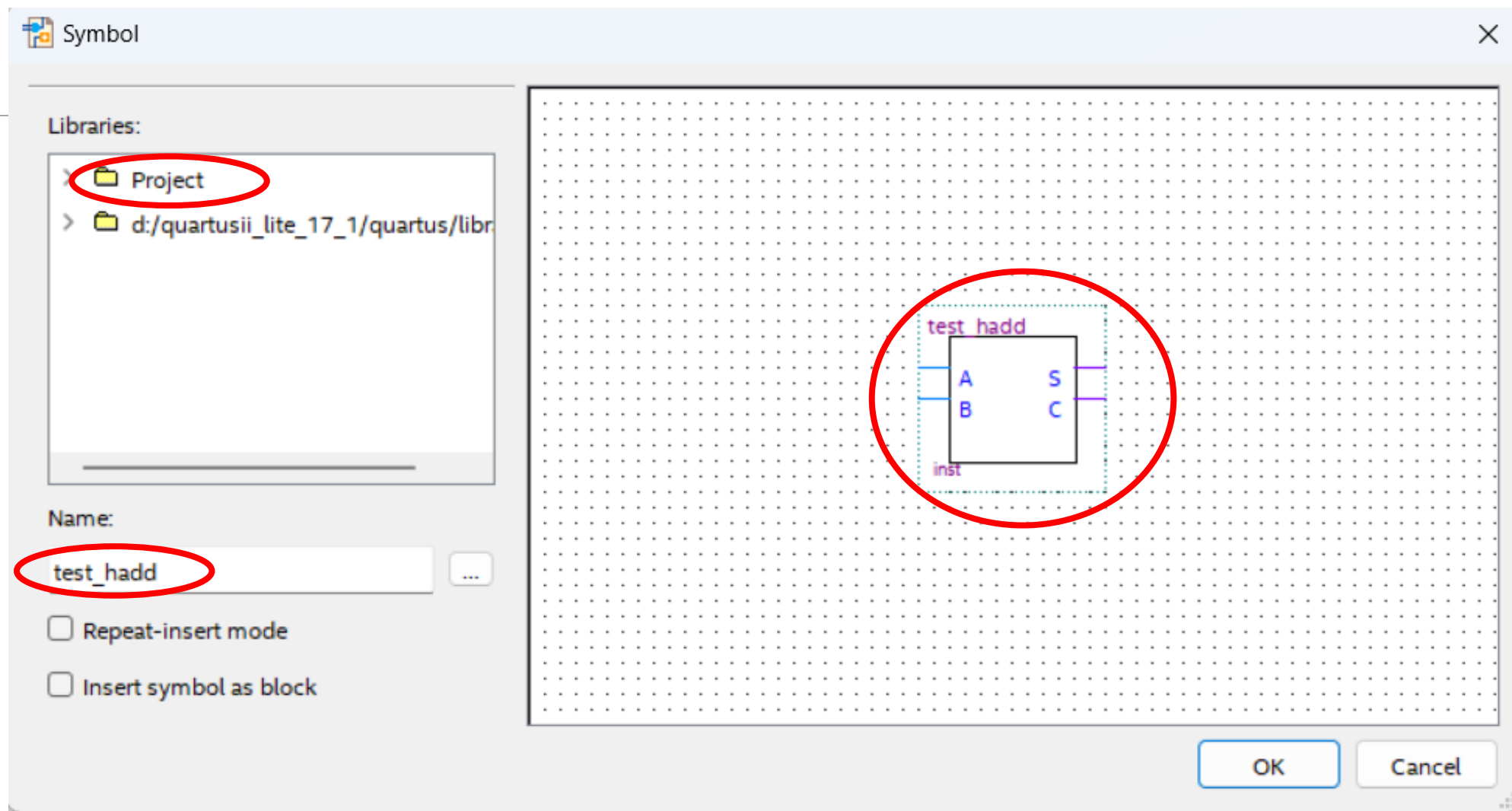


➤ 生成半加器元件



## ➤ 调用半加器元件

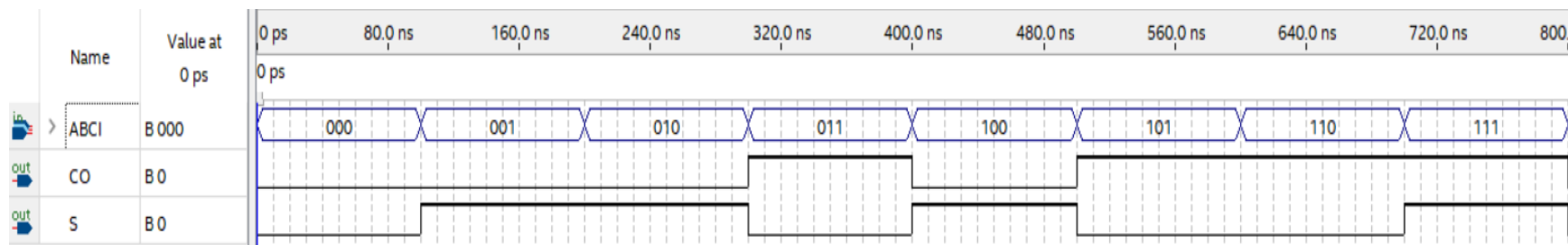
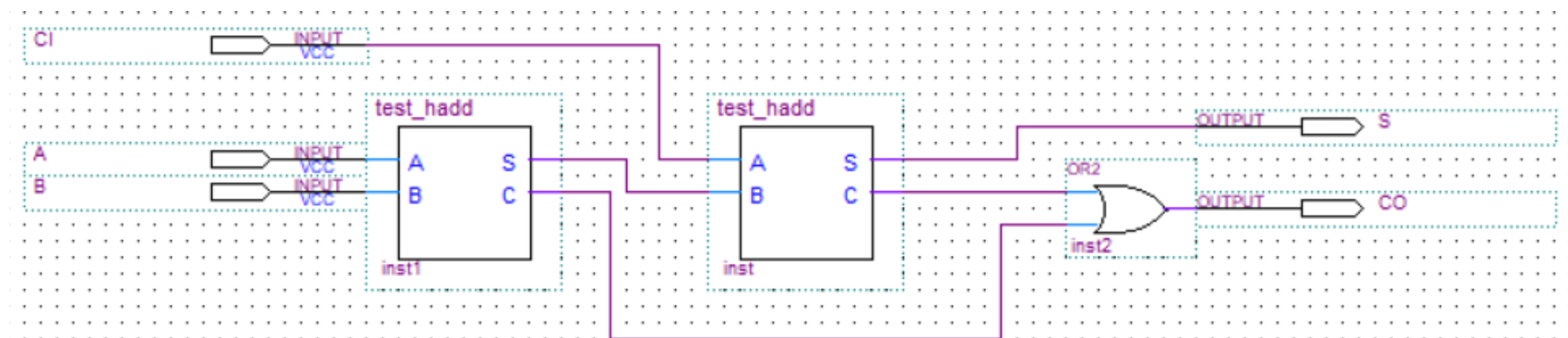
 test\_hadd.bsf



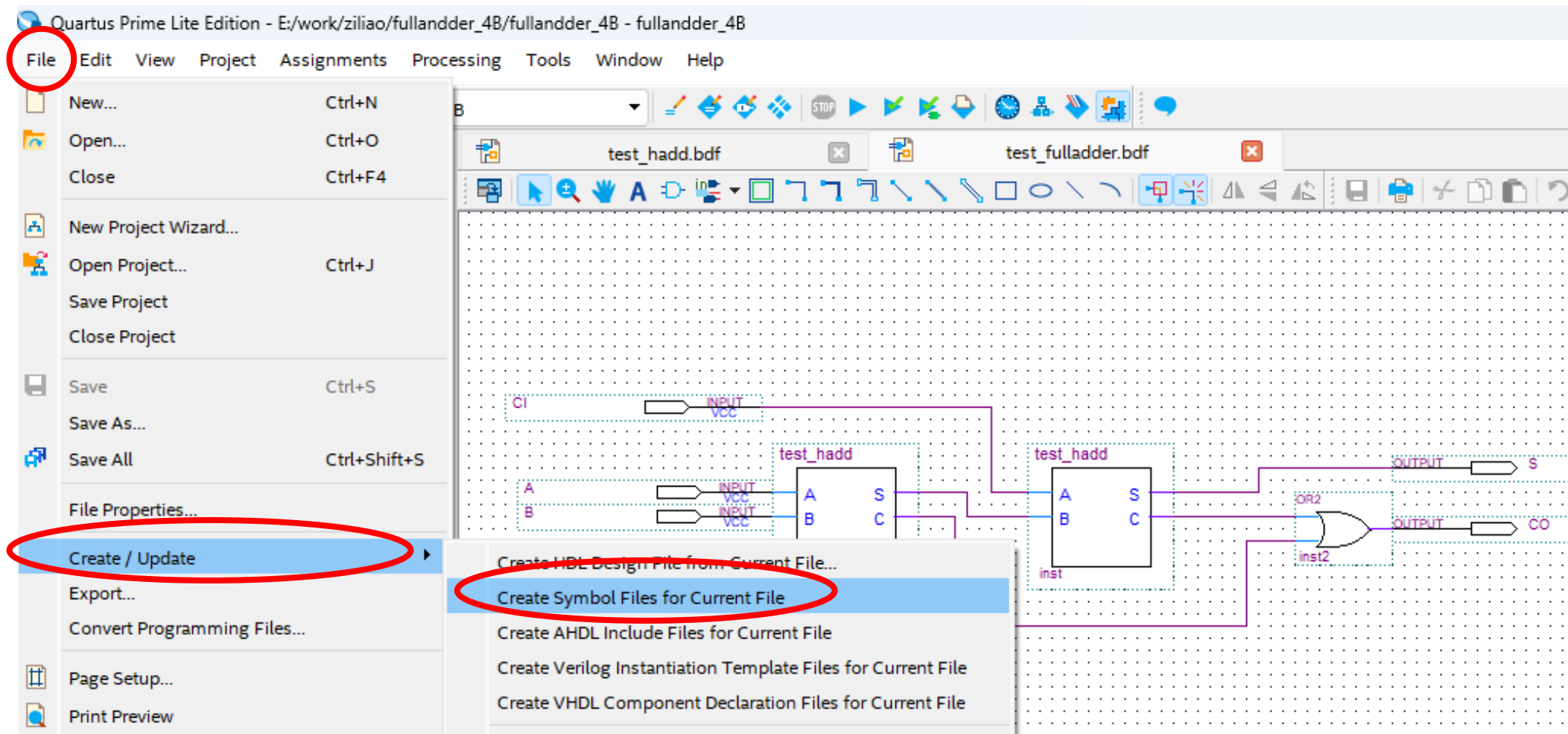
## ➤ 1位全加器设计

将两个1位二进制数及来自低位的进位相加。

输 入		输 出		
$A_i$	$B_i$	$C_i$	$S$	$C_o$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

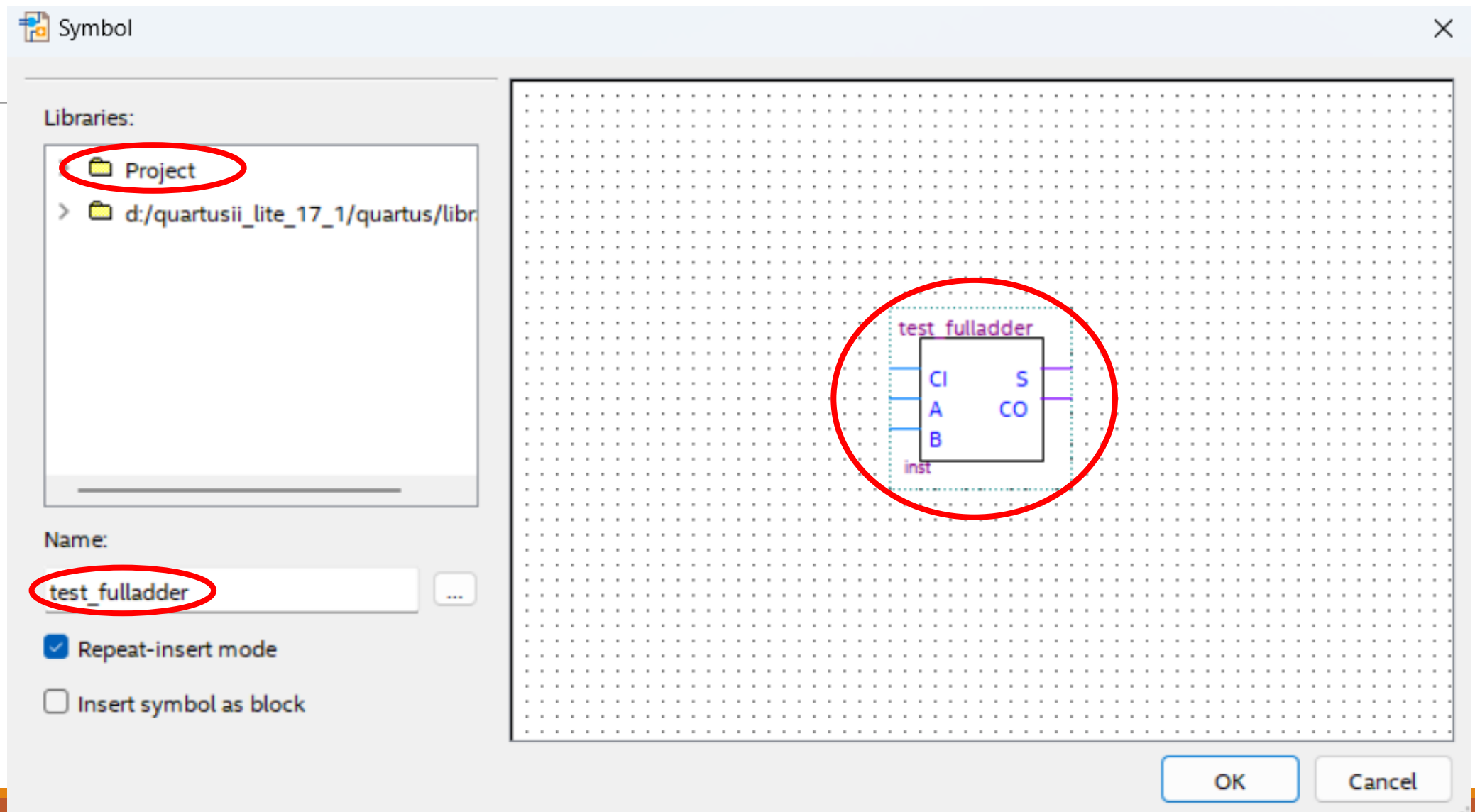


## ➤ 生成1位全加器元件



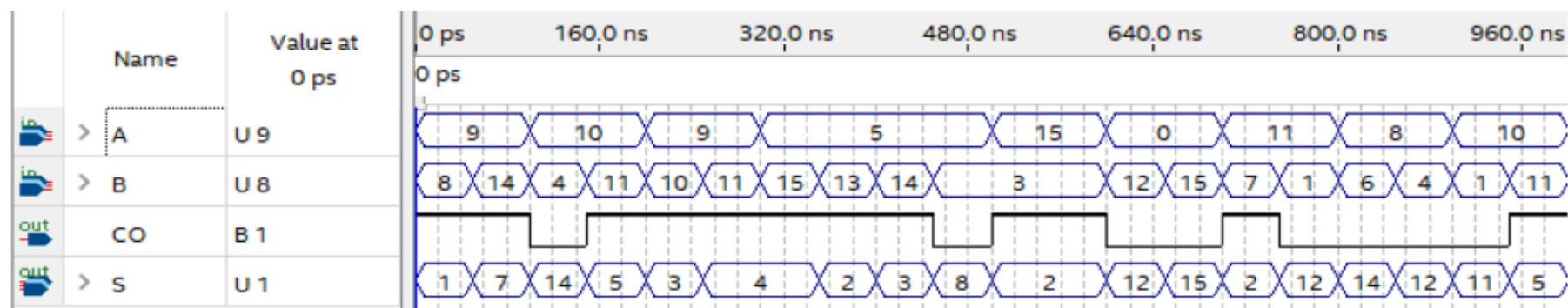
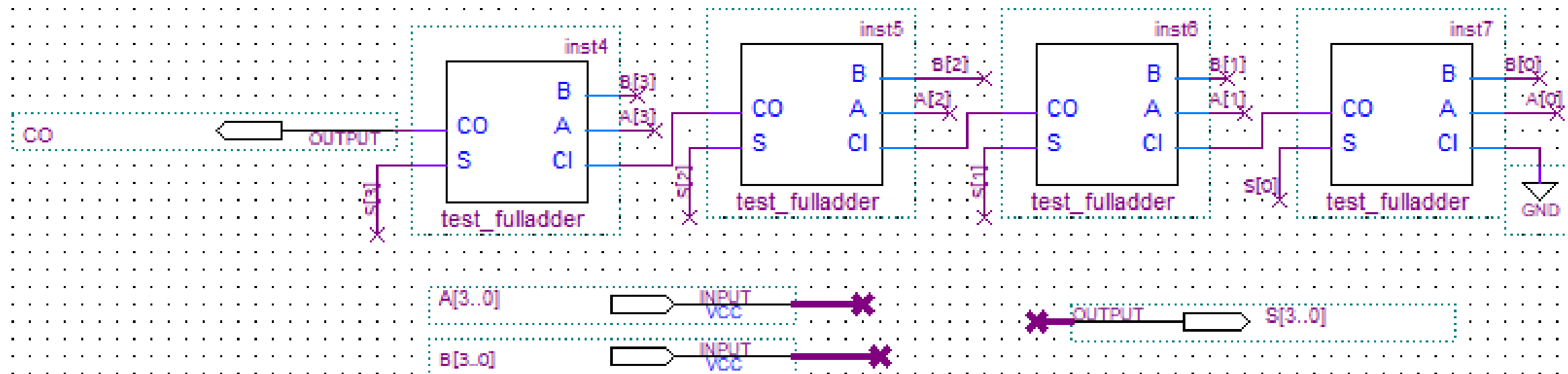
## ➤ 调用1位全加器元件

test\_fulladder.bsf

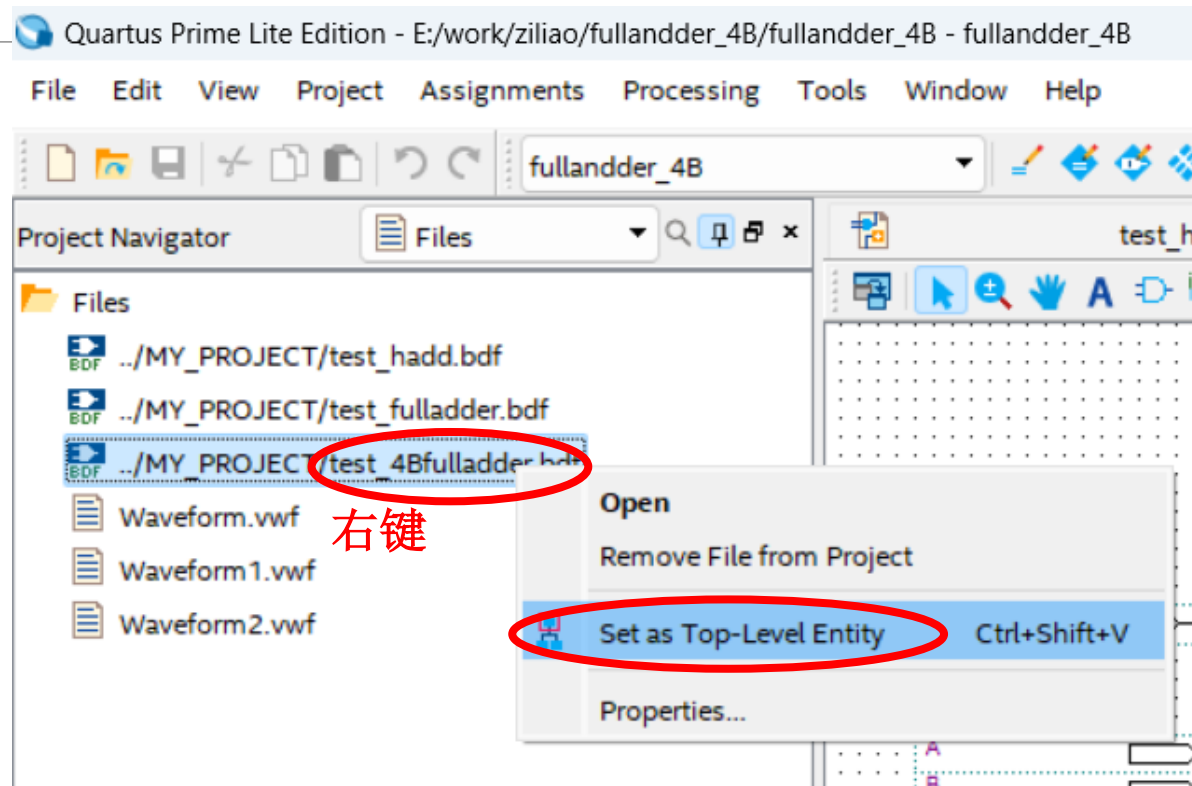
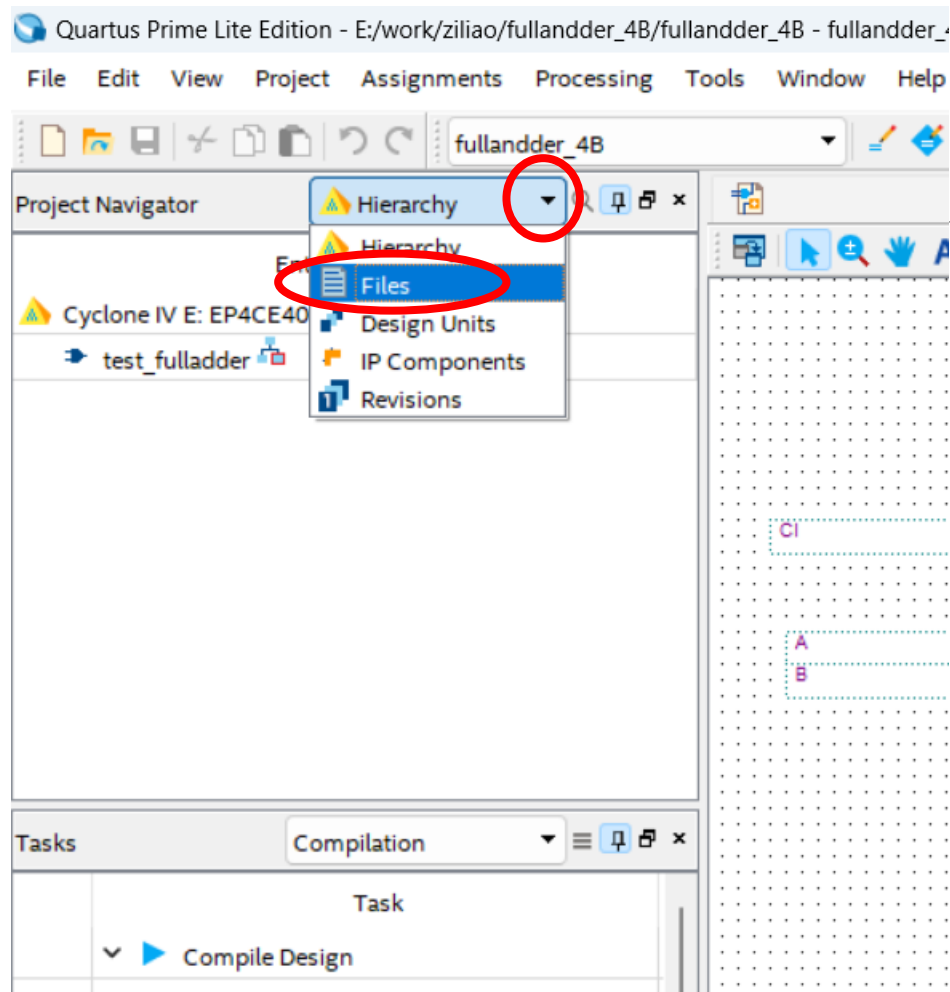




## ➤ 4位串行加法器设计



## ◆ 切换顶层实体





视频监控



示波器



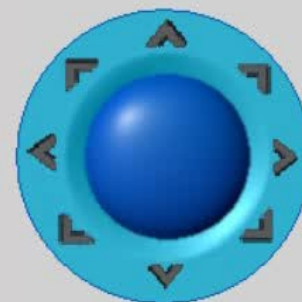
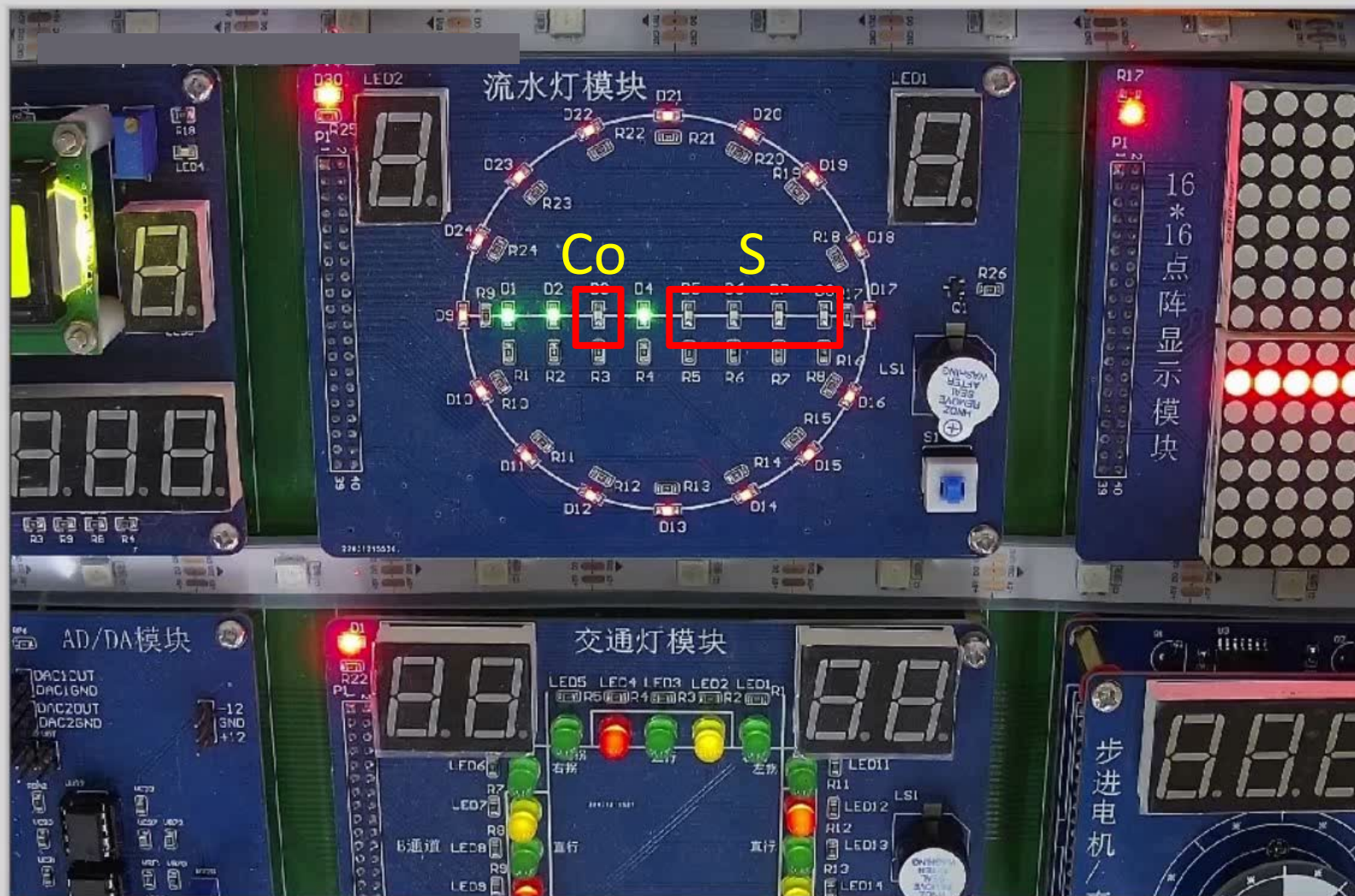
信号发生器



电源



逻辑分析仪



FPGA下载文件选择

4fulladder.sof

FPGA远程下载

等待下载结果

下载成功

刷新列表

退出

A

B



## 实验任务：

---

➤ 实验内容4.5.4 (1) (2) (3)

步骤：半加器——1位全加器——4位串行加法器，  
创建工程、编辑原理图、仿真、下载。