1-3. 将下列数值转换成十进制数。

$(1010.1011)_2 = 1\times2^3+0\times2^2+1\times2^1+0\times2^0+1\times2^{-1}+0\times2^{-2}+1\times2^{-3}+1\times2^{-4} = (10.6875)_{10}$

$(2E5.3)_{16} = 2\times16^2+14\times16^1+5\times16^0+3\times16^{-1} = (741.1875)_{10}$

$(35.36)_8 = 3\times8^1+5\times8^0+2\times8^{-1}+6\times8^{-2} = (29.34375)_{10}$

1-8. 将下列十进制数转换为二、八、十六进制数和 8421 BCD 码(要求转换误差不大于 2^{-4}):

解:

十进制	二进制	八进制	十六进制	8421BCD 码
127	1111111	177	7F	0001 0010 0111
254.25	11111110.01	376.2	FE.4	001001010100.0010 0101

1-17. 设 X=+1110101，Y=+0101101，用补码计算 Z=X-Y，并求出真值。

解：$[X]_{补}=01110101$，　$[-Y]_{补}=11010011$，

$[X-Y]_{补}=[X]_{补}+[-Y]_{补}=01110101+11010011=01001000$，

故 Z 的真值为+1001000。

1-18. 用二进制数的补码形式计算 2-9 、6+7、8-2 、4-9，给出计算过程。

解：$2-9=2+(-9)=[2]_{补}+[-9]_{补}=00010+10111=11001$，其原码为 10111（-7）。

$6+7=[6]_{补}+[7]_{补}=00110+00111=01101$，其原码为 01101（+13）。

$8-2=8+(-2)=[8]_{补}+[-2]_{补}=01000+11110=00110$，其原码为 00110（+6）。

$4-9=4+(-9)=[4]_{补}+[-9]_{补}=00100+10111=11011$，其原码为 10101（-5）。

2-4．用逻辑代数证明下列各等式

(2) $(A+B)(\overline{A}+C)(B+C)=(A+B)(\overline{A}+C)$

解：(2) 左边 $=(A+B)(\overline{A}+C)\,(B+C)=(AC+\overline{A}B+BC)(B+C)$

$$=ABC+\overline{A}B+BC+AC+\overline{A}BC=\overline{A}B+AC$$

右边 $=\overline{A}B+AC$，左边 = 右边，等式成立。

(4) $(A+B)(A+B+C+D+E+F)=A+B$

$$
\begin{aligned}
&(A+B)(A+B+C+D+E+F)\\
&=(A+B)\big((A+B)+(C+D+E+F)\big)\\
&=(A+B)(A+B)+(A+B)(C+D+E+F)\\
&=(A+B)+(A+B)(C+D+E+F)\\
&=(A+B)(1+(C+D+E+F))\\
&=A+B
\end{aligned}
$$

(5) $BC+D+\overline{D}(\overline{B}+\overline{C})(AD+B)=B+D$

$$
\begin{aligned}
&BC+D+\overline{D}(\overline{B}+\overline{C})(AD+B)=BC+D+(\overline{B}+\overline{C})(AD+B)\\
&=BC+D+A\overline{B}D+A\overline{C}D+B\overline{B}+B\overline{C}=B(C+\overline{C})+D(1+A\overline{B}+A\overline{C})\\
&=B+D
\end{aligned}
$$

2-5．写出下列函数 F 的对偶函数 F^* 及反函数 $\overline{F}$

(2) $F=\overline{A+\overline{B+C}}$

$F^*=\overline{A\cdot\overline{B\cdot C}}$； $\overline{F}=A+\overline{B+C}$

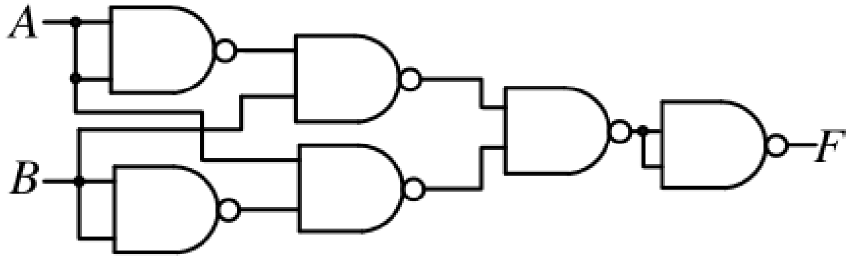
(4) $F=(A+B)\cdot(\overline{B}+C)+AD+\overline{E}$

$F^*=(AB+\overline{B}C)(A+D)\overline{E}$； $\overline{F}=\overline{A}\,\overline{B}+B\overline{C}(\overline{A}+\overline{D})E$

2-6．画出下列各函数用与非运算表示的逻辑图(即只用与非门构建的电路实现以下逻辑函数)。

(2) $Y=\overline{A\bar{B}+\bar{A}B}$

解：(2) 将函数转换为与非-与非的形式：$Y=\overline{A\bar{B}+\bar{A}B}==\overline{\overline{\overline{A\bar{B}}\cdot\overline{\bar{A}B}}}$，再画出其由与非门构建的电路图，如图所示。



2-9. 将下列函数展开为最小项表达式。

(2) $F(A,B,C)=AB+BC+CA$

$$\begin{aligned} F(A,B,C) &= AB+BC+CA \\ &= AB(C+\overline{C})+(A+\overline{A})BC+CA(B+\overline{B}) \\ &= ABC+\overline{A}BC+A\overline{B}C+AB\overline{C} \\ &= \sum m(3,5,6,7) \end{aligned}$$

(3) $F(A,B,C,D)=\overline{\overline{A}B+A\overline{B}D}\cdot(\overline{B}+CD)$

$$F(A,B,C,D)=\overline{\overline{A}B+A\overline{B}D}\cdot\left(\overline{B}+CD\right)$$

$$=\left(\mathrm{A}+\overline{B}\right)\left(\mathrm{A}+B+\overline{D}\right)\left(\overline{B}+CD\right)$$

$$=ABCD+A\overline{B}C\overline{D}+A\overline{B}C\overline{D}+\overline{A}\overline{B}CD+\overline{A}\overline{B}C\overline{D}+\overline{A}\overline{B}\overline{C}D+\overline{A}\overline{B}\overline{C}\overline{D})$$

$$=\sum m(0,1,2,3,8,10,15)$$

2-10． 将下列函数展开成最大项表达式。

（1） $F = A \oplus B + \overline{AC}$

$$F = \bar{A}B + A\bar{B} + \bar{A} + \bar{C} = \bar{A} + A\bar{B} + \bar{C}$$

$$= \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C$$

$$= \sum m(0,1,2,3,4,5,6) = \prod M(7)$$

（2） $F = (\bar{A} \oplus B) + A(B \oplus C)$

$$F = (\bar{A} \oplus B) + A(B \oplus C) = \bar{A}\bar{B} + AB + A(B\bar{C} + \bar{B}C)$$

$$= \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + AB\bar{C} + ABC + A\bar{B}C$$

$$= \sum m(0,1,5,6,7) = \prod M(2,3,4)$$

2-11. 用公式法化简下列逻辑函数为最简与或表达式。

(3) $Y_3 = A\overline{B} + \overline{A}CD + B + \overline{C} + D$

$$Y_3 = A\overline{B} + \overline{A}CD + B + \overline{C} + D = A\overline{B} + B + \overline{C} + D$$
$$= A + B + \overline{C} + D$$

(4) $Y_4 = \overline{\overline{\overline{\overline{A}C\,\overline{C}D}\;\overline{\overline{B}D}} + BC} + \overline{\overline{A}\,\overline{\overline{C}\,\overline{D}} + \overline{A}} + \overline{\overline{B}D}$

$$Y_4 = \overline{\overline{\overline{A}C\,\overline{C}D}\;\overline{\overline{B}D} + BC} + \overline{\overline{\overline{A}\,\overline{\overline{C}\,\overline{D}}}} + A + \overline{\overline{B}D}$$
$$= \overline{\overline{0}\,\overline{\overline{B}D} + BC} + A + \overline{\overline{B}D}$$
$$= \overline{\overline{\overline{B}D} + BC} + A + \overline{\overline{B}D}$$
$$= \overline{B}D \cdot \overline{BC} + A + \overline{\overline{B}D} = \overline{BC} + A + \overline{\overline{B}D}$$
$$= \overline{B} + \overline{C} + A + B + \overline{D} = 1$$

2-14. 用卡诺图化简下列函数。

(4) $Y_4 = \sum m(0,1,5,7,8,11,14) + \sum d(3,9,15)$

$AB \backslash CD$	00	01	11	10
00	1	1	X	0
01	0	1	1	0
11	0	0	X	1
10	1	X	1	0

化简得 $Y_4 = \overline{B}\,\overline{C} + CD + \overline{A}D + ABC$

(5) $Y_5 = \sum m(2,4,6,7,12,15) + \sum d(0,1,3,8,9,11)$

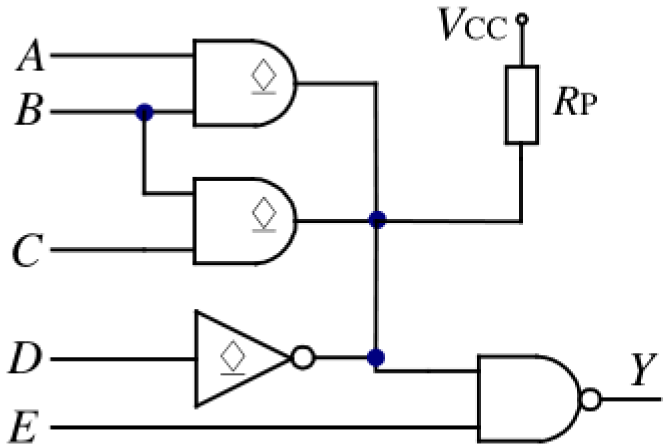
$AB \backslash CD$	00	01	11	10
00	X	X	X	1
01	1	0	1	1
11	1	0	1	0
10	X	X	X	0

$AB \backslash CD$	00	01	11	10
00	X	X	X	1
01	1	0	1	1
11	1	0	1	0
10	X	X	X	0

解法一：化简得$Y_5 = \overline{C}\,\overline{D} + CD + \overline{A}C$

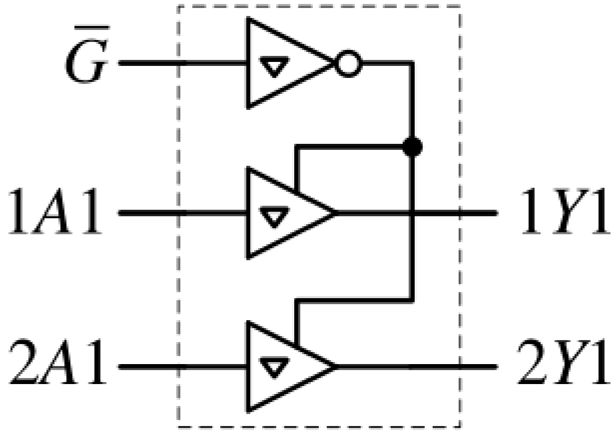
解法二：化简得$Y_5 = \overline{C}\,\overline{D} + CD + \overline{A}\,\overline{D}$

3-5. 求图所示的电路的输出逻辑表达式。



解： $Y = \overline{ABC\overline{D}E}$

3-6. 集成逻辑电路 74LS244 的内部部分结构如图题所示，试说明该电路的逻辑功能。

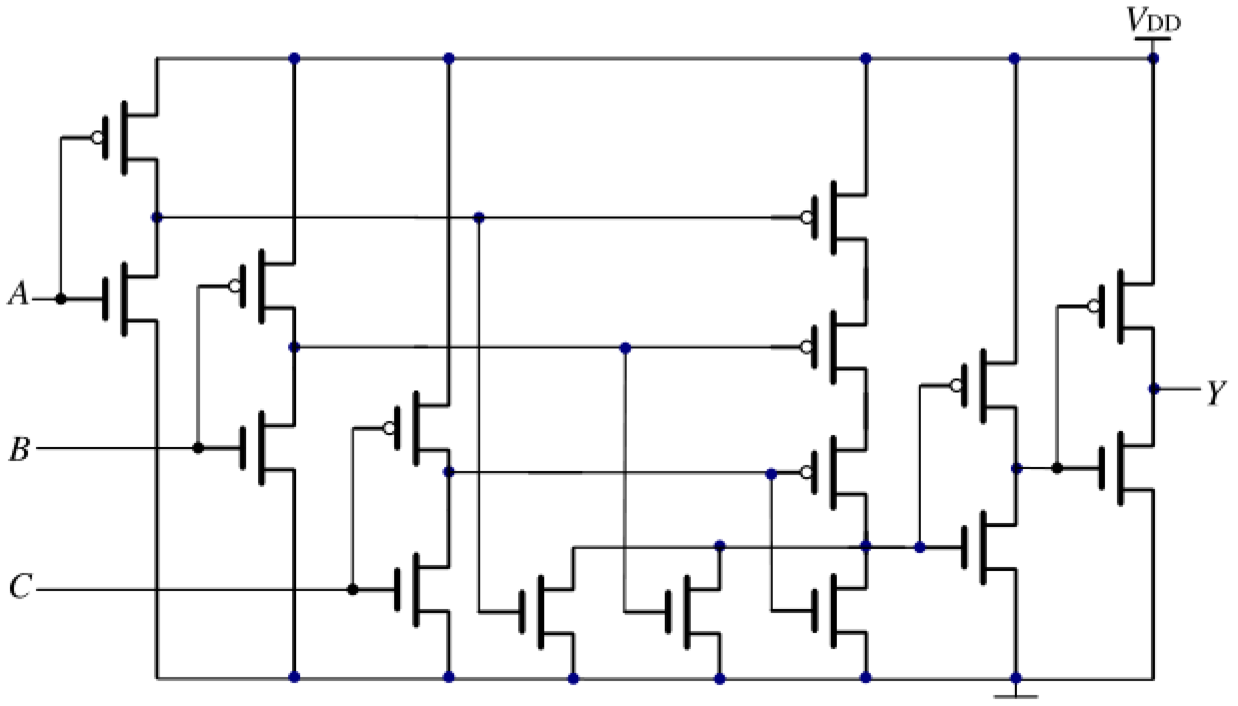


解：当 G=1 时，1Y1=1A1，2Y1=2A1；

当 G=0 时，输出呈高阻态，传输中止。

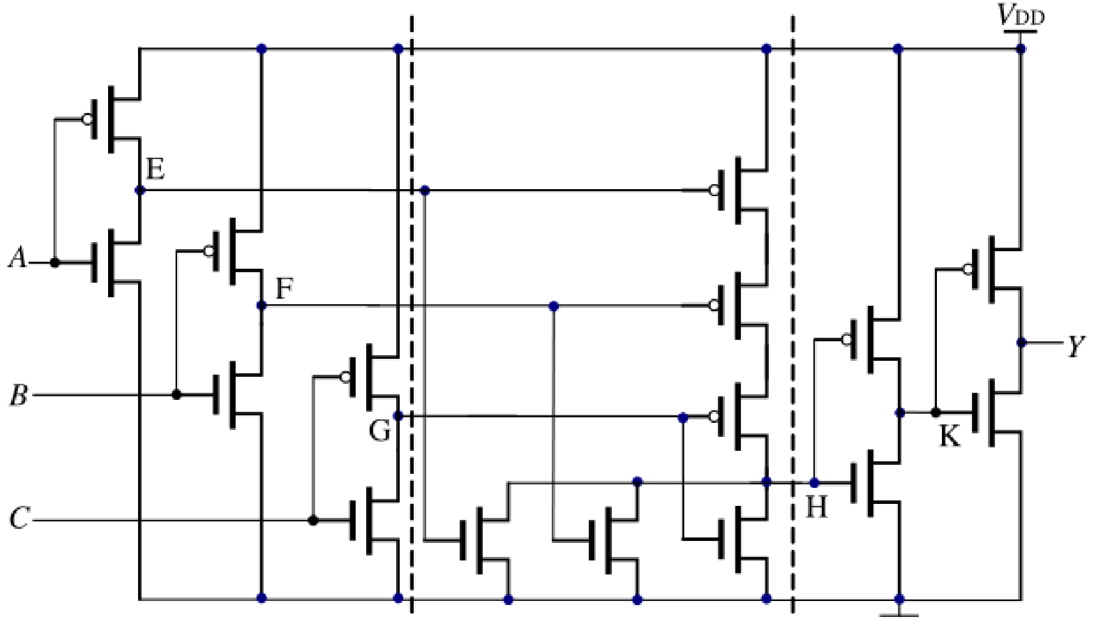
开关功能

3-7．分析如图所示的各 CMOS 电路图的逻辑功能。



(a)

解：图(a)可以分成左、中、右三部分，如图。

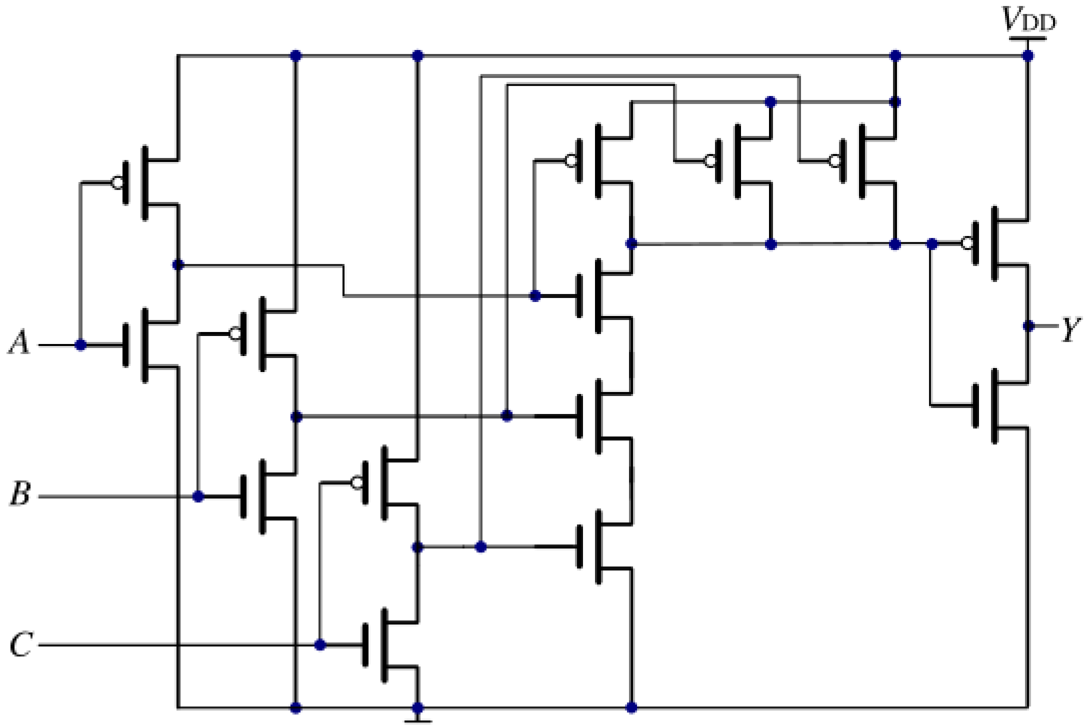


左边为三个 CMOS 反相器，E、F、G 分别为$\overline{A}$、$\overline{B}$、$\overline{C}$。中间部分是 E、F、G 的或非运算，H 得到$\overline{E+F+G}$。右边为两个 CMOS 反相器，输出$Y=\overline{K}=\overline{\overline{H}}=H$。

则$Y=\overline{E+F+G}=\overline{\overline{A}+\overline{B}+\overline{C}}=ABC$

即图 (a)所示电路为三输入与门。

3-7．分析如图所示的各 CMOS 电路图的逻辑功能。

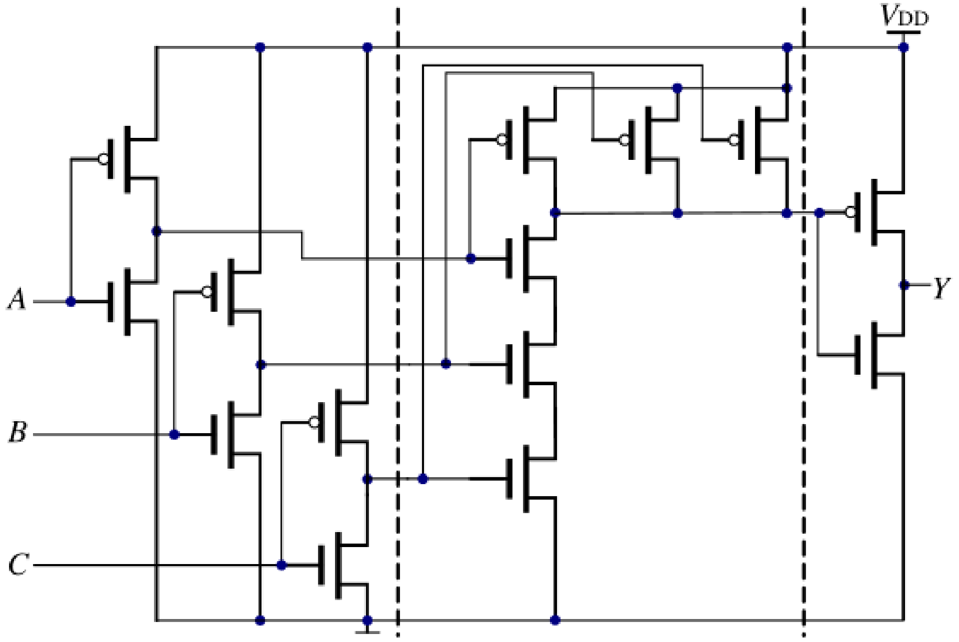


(b)

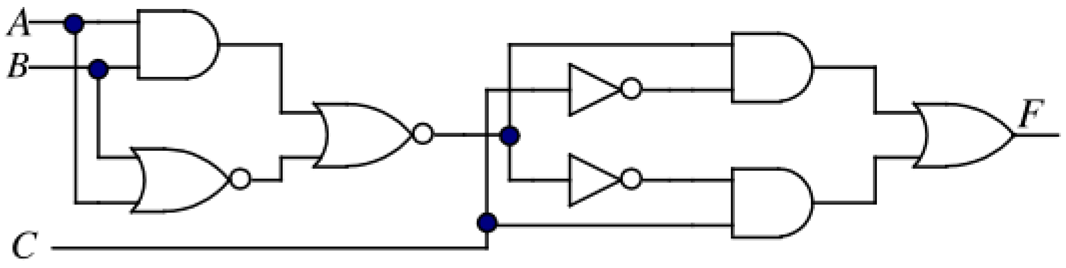
图(b)可以分成左、中、右三部分，如图。

左边为三个 CMOS 反相器，分别输出$\overline{A}$、$\overline{B}$、$\overline{C}$。

中间部分是$\overline{A}$、$\overline{B}$、$\overline{C}$的与非运算，即得到$\overline{\overline{A}\overline{B}\overline{C}}$。右边为 CMOS 反相器，输出$Y=\overline{\overline{\overline{A}\overline{B}\overline{C}}}=\overline{\overline{A}\overline{B}\overline{C}}=\overline{A+B+C}$，即图(b)所示电路为三输入或非门。



4-2．已知逻辑电路如图所示，分析该电路的逻辑功能。



解：根据图得逻辑电路图表达式为

$$F=(A\oplus B)\overline{C}+(A\odot B)C=A\oplus B\oplus C$$

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

由表知，电路的逻辑功能是当输入有奇数个 1 时，输出 F 为 1

4-4. 用与非门及反相器设计一个带控制端的组合逻辑电路，当控制端 X=0 时，$F = A \oplus B$；当控制端 X=1 时，$F = \overline{AB}$。

解：F 的表达式为 $F = \overline{X}(A \oplus B) + X \cdot \overline{AB} = \sum m(1,2,4,5,6)$

用卡诺图化简函数 F，得 $F = A\overline{B} + X\overline{B} + \overline{A}B$

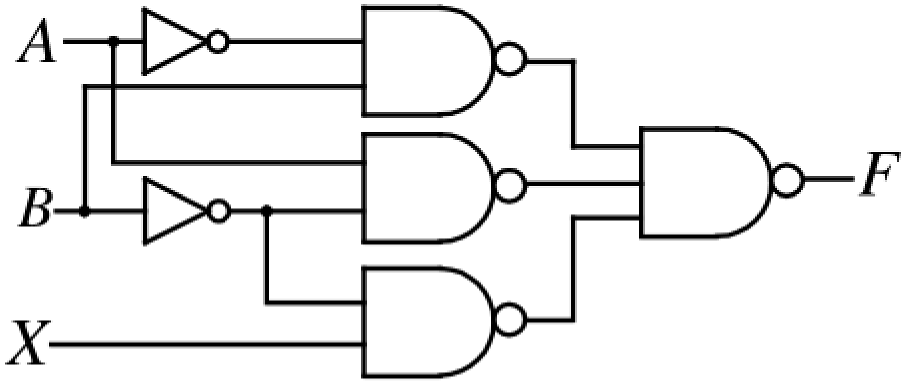
X	A	B	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

XA \ B	0	1
00	0	1
01	1	0
11	1	0
10	1	1

用与非门实现题意功能，将函数 F 转换为与非式，即

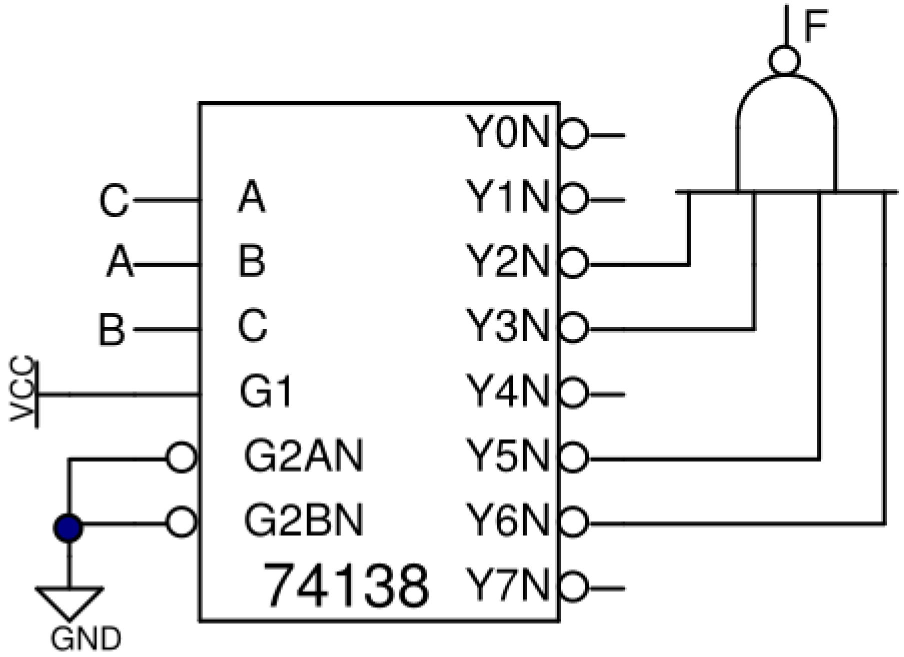
$$F=\overline{\overline{A\overline{B}+X\overline{B}+\overline{A}B}}=\overline{\overline{A\overline{B}}\cdot\overline{X\overline{B}}\cdot\overline{\overline{A}B}}$$

电路图如上图所示。



4-9．试分析图中用 74LS138 译码器构成的逻辑电路，写出输出端 F 的逻辑表达式，列出真值表，说明电路的逻辑功能。

解： $F(B,A,C)=\sum m(2,3,5,6)=\overline{B}A\overline{C}+\overline{B}AC+B\overline{A}C+BA\overline{C}$

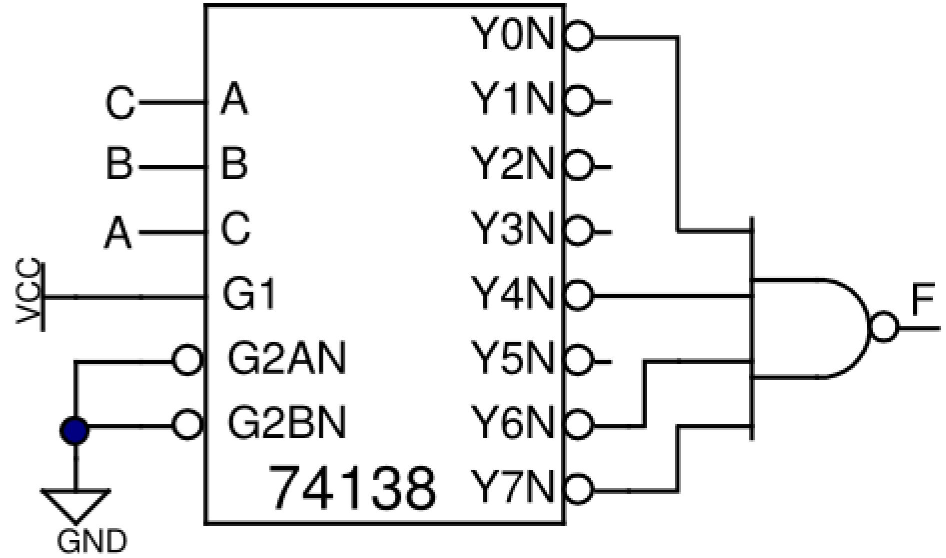


B	A	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

4-13. 用译码器 74138 和适当的逻辑门实现函数 $F = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + AB\overline{C} + ABC$

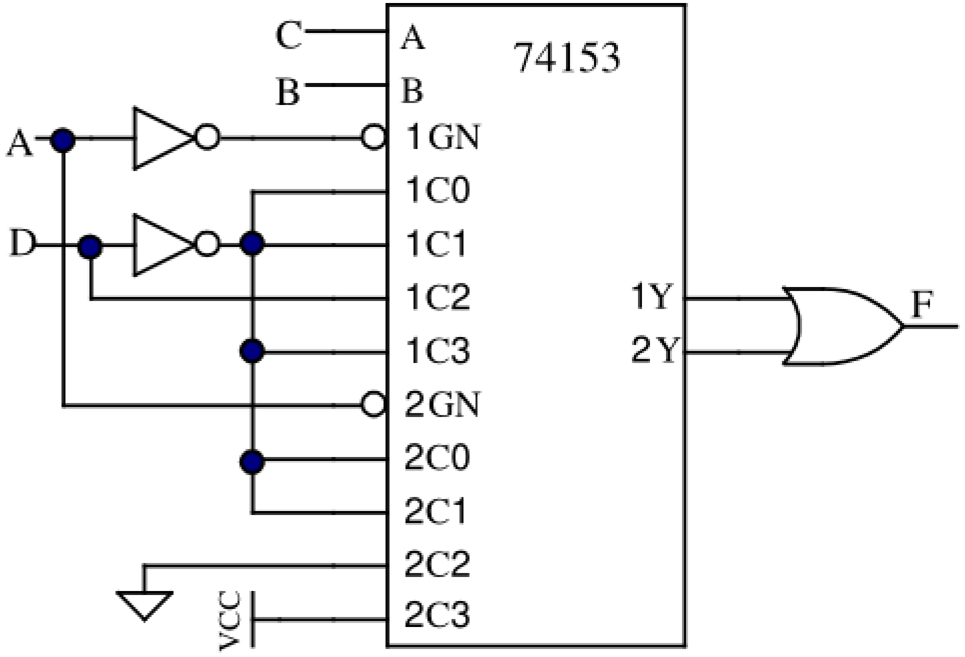
解： $F = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + AB\overline{C} + ABC = \sum m(0,4,6,7)$

电路图如图所示。



4-14. 由双 4 选 1 数据选择器 74153 构成的电路如图所示，其内部的单 4 选 1 数据选择器的真值表如表所示。试写出 F 的表达式，并用最小项之和 Σm 的形式表示。

输	入		输　出
B	A	GN	Y
×	×	1	0
0	0	0	C_0
0	1	0	C_1
1	0	0	C_2
1	1	0	C_3



解：
$$
\begin{aligned}
F &= A(\bar{B}\bar{C}\bar{D}+\bar{B}C\bar{D}+B\bar{C}D+BC\bar{D})+\bar{A}(\bar{B}\bar{C}\bar{D}+\bar{B}C\bar{D}+BC)\\
&= A\bar{B}\bar{C}\bar{D}+A\bar{B}C\bar{D}+AB\bar{C}D+ABC\bar{D}+\bar{A}\bar{B}\bar{C}\bar{D}+\bar{A}\bar{B}C\bar{D}+\bar{A}BC\\
&= \sum \mathrm{m}(0,2,6,7,8,10,13,14)
\end{aligned}
$$

4-18. 某大厅有一盏灯和分布在不同位置的四个开关（A、B、C、D）。试利用 4 选 1 数据选择器为大厅设计一个电灯开关控制逻辑电路，使得人们可以在大厅的任何一个位置控制灯的亮或灭。例如：可以用 A 开关打开，然后用 B（或 C、D、A）开关熄灭。

解：根据题意，A、B、C、D 四个开关被按动用 1 表示，未按用 0 表示，设灯为 Y，亮为 1，灭为 0，列真值表如下。

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

由真值表可得表达式为

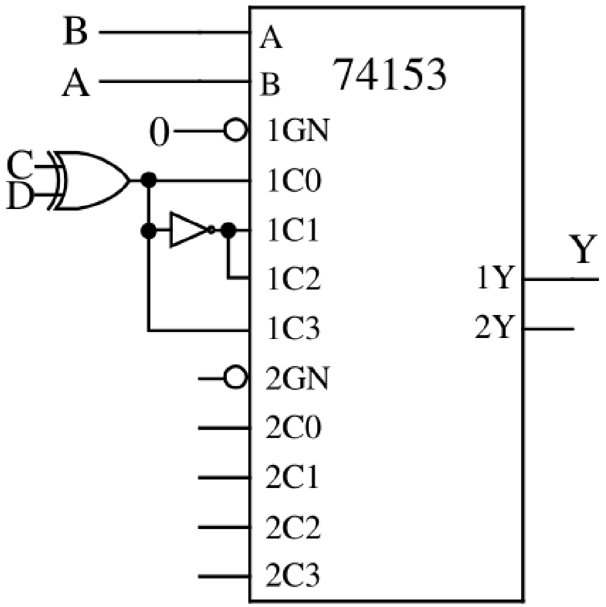
$$Y=\overline{A}\overline{B}\overline{C}D+\overline{A}\overline{B}C\overline{D}+\overline{A}B\overline{C}\overline{D}+\overline{A}BCD+A\overline{B}\overline{C}\overline{D}+A\overline{B}CD+AB\overline{C}D+ABC\overline{D}$$

选 AB 作为地址码，函数可表示为

$$Y=\overline{A}\overline{B}(\overline{C}D+C\overline{D})+\overline{A}B(\overline{C}\overline{D}+CD)+A\overline{B}(\overline{C}\overline{D}+CD)+AB(\overline{C}D+C\overline{D})$$

$$=\overline{A}\overline{B}(C\oplus D)+\overline{A}B(C\odot D)+A\overline{B}(C\odot D)+AB(C\oplus D)$$

电路图如图所示。



4-22. 用 74151 设计一个能实现两个 1 位二进制数全加器和全减器的组合逻辑电路。

解：设 M 为加减控制端，当 M=0 时，电路实现全加器的功能；当 M=1 时，电路实现全减器的功能；A、B、C_i为输入变量，S 为本位的和（差），C_o为进位（借位）。

根据题意，列真值表，

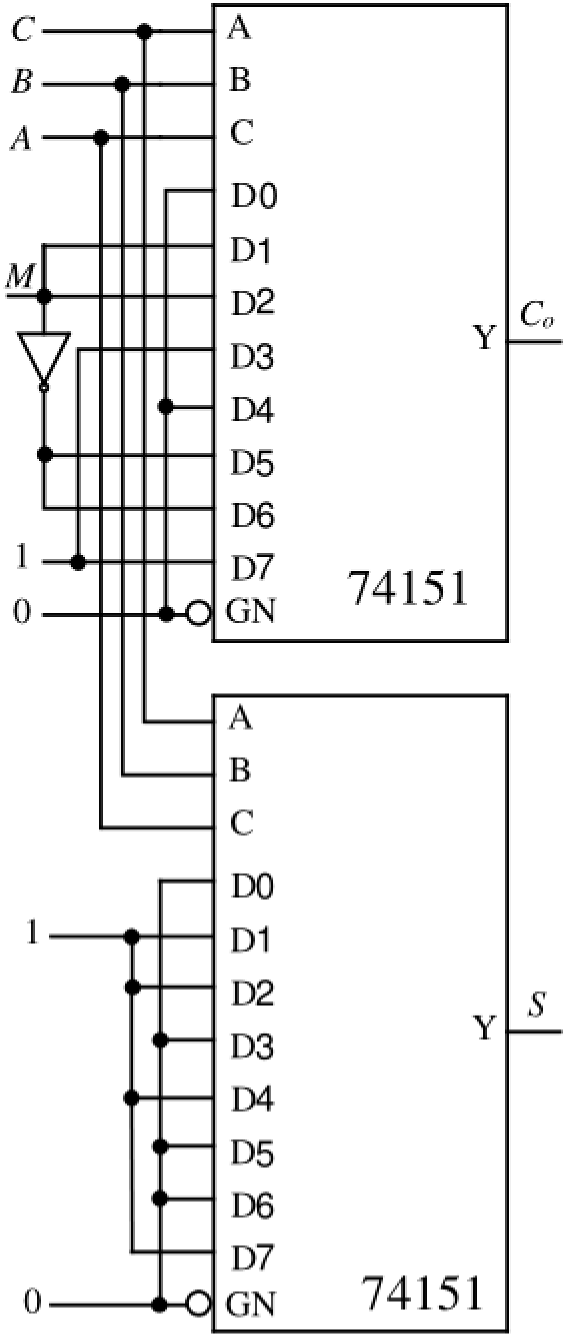
M	A	B	C_i	S	C_o
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

$$S=\overline{M}\,(\overline{A}\,\overline{B}C+\overline{A}B\overline{C}_i+A\overline{B}\,\overline{C}_i+ABC_i)+M\,(\overline{A}\,\overline{B}C_i+\overline{A}B\overline{C}_i+A\overline{B}\,\overline{C}_i+ABC_i)$$

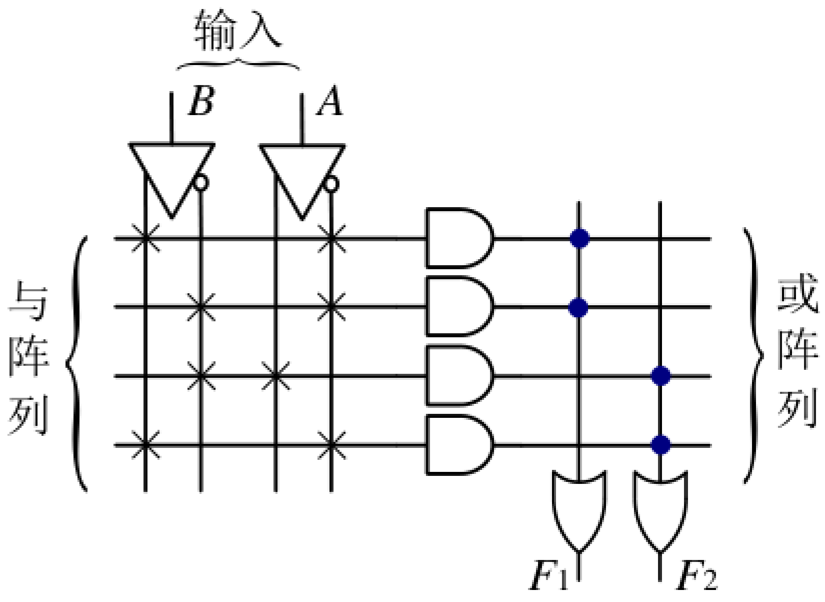
$$=1\cdot(\overline{A}\,\overline{B}C_i+\overline{A}B\overline{C}_i+A\overline{B}\,\overline{C}_i+ABC_i)$$

$$C_o=\overline{M}\,(\overline{A}BC_i+A\overline{B}C_i+AB\overline{C}_i+ABC_i)+M\,(\overline{A}\,\overline{B}C_i+\overline{A}B\overline{C}_i+\overline{A}BC_i+ABC_i)$$

$$=\overline{M}\,(A\overline{B}C_i+AB\overline{C}_i)+M\,(\overline{A}\,\overline{B}C_i+\overline{A}B\overline{C}_i)+1\cdot(\overline{A}BC_i+ABC_i)$$

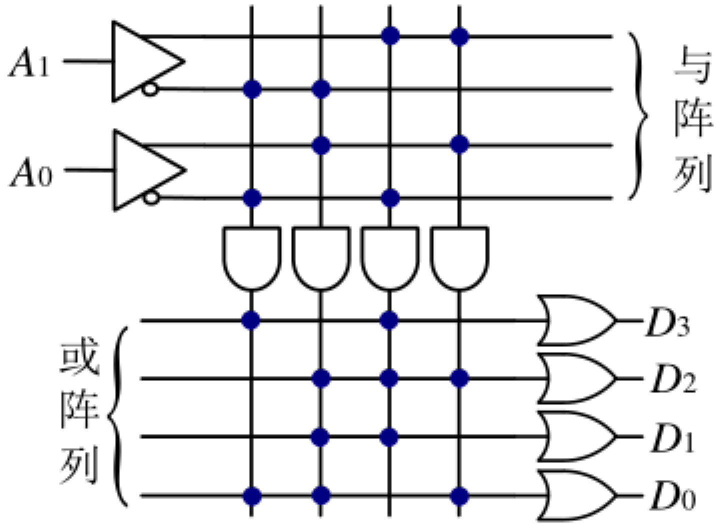

C
B
A
M
1
0
A
B
C
D0
D1
D2
D3
D4
D5
D6
D7
GN
Y
C_o
74151
1
0
A
B
C
D0
D1
D2
D3
D4
D5
D6
D7
GN
Y
S
74151

4-30 根据图中的左右两个逻辑电路图，分别给出两图的逻辑函数。



(a)

(a) $F_1 = \overline{A}\,\overline{B} + \overline{A}B = \overline{A}$，　　$F_2 = A\overline{B} + \overline{A}B = A \oplus B$

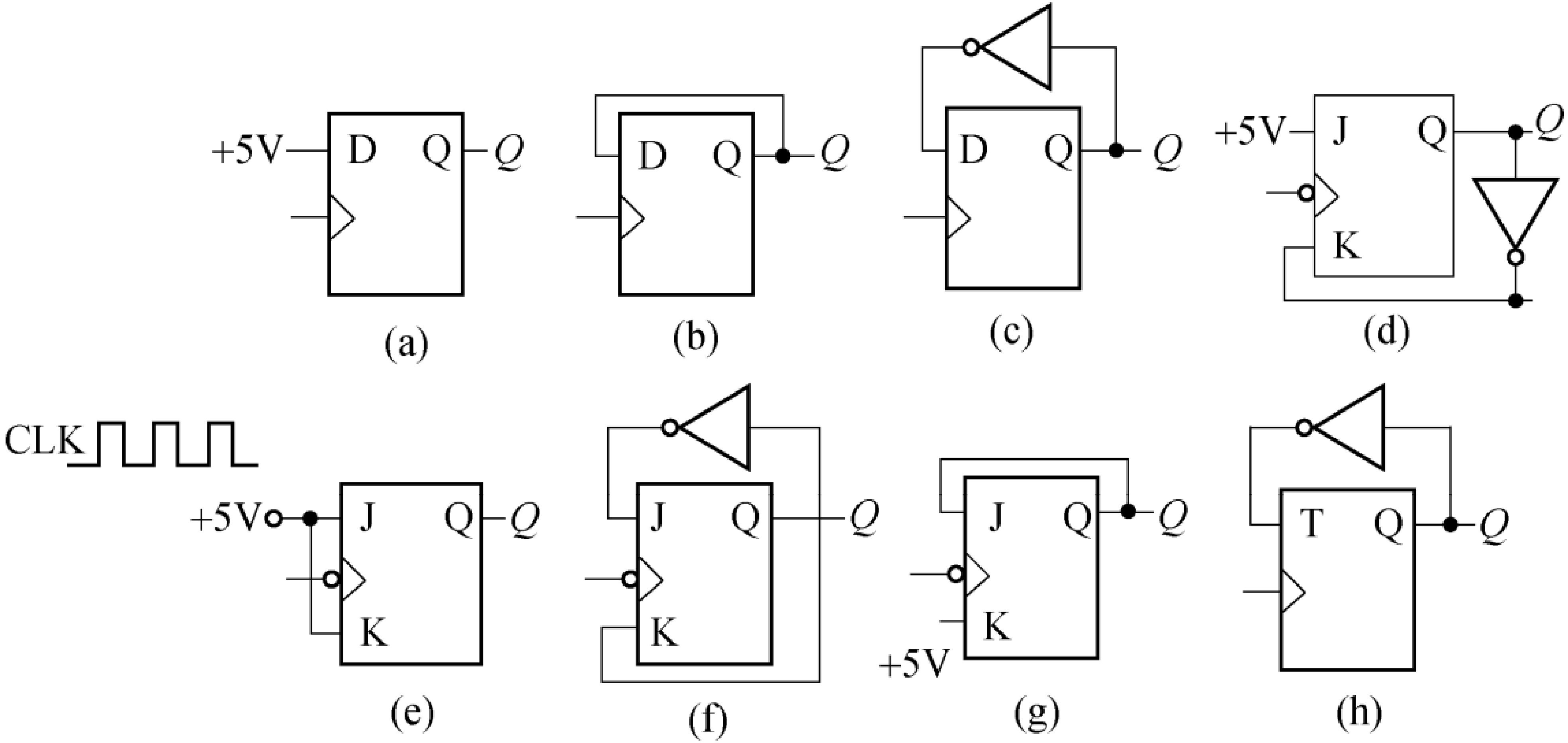


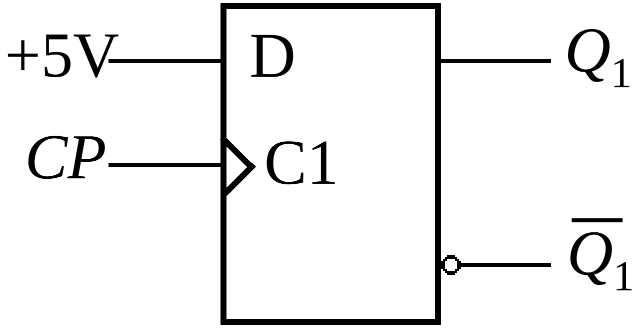
(b)

(b) $D_0 = \overline{A_1}\,\overline{A_0} + \overline{A_1}A_0 + A_1A_0$， $D_1 = \overline{A_1}A_0 + A_1\overline{A_0} = A_1 \oplus A_0$

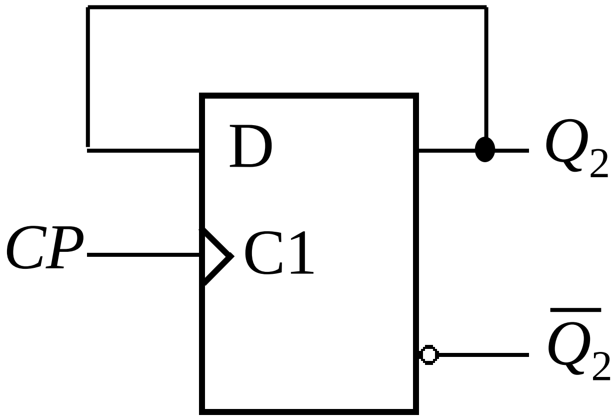
$D_2 = \overline{A_1}A_0 + A_1\overline{A_0} + A_1A_0 = A_1 + A_0$， $D_3 = \overline{A_1}\,\overline{A_0} + A_1\overline{A_0} = \overline{A_0}$

5-2　设图 5-41 中的触发器的初态均为 0，试画出 Q 端的波形。

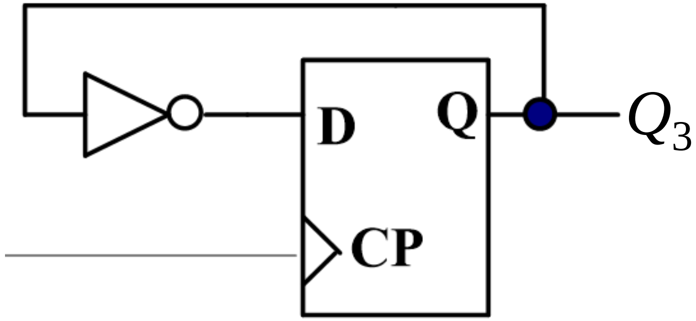




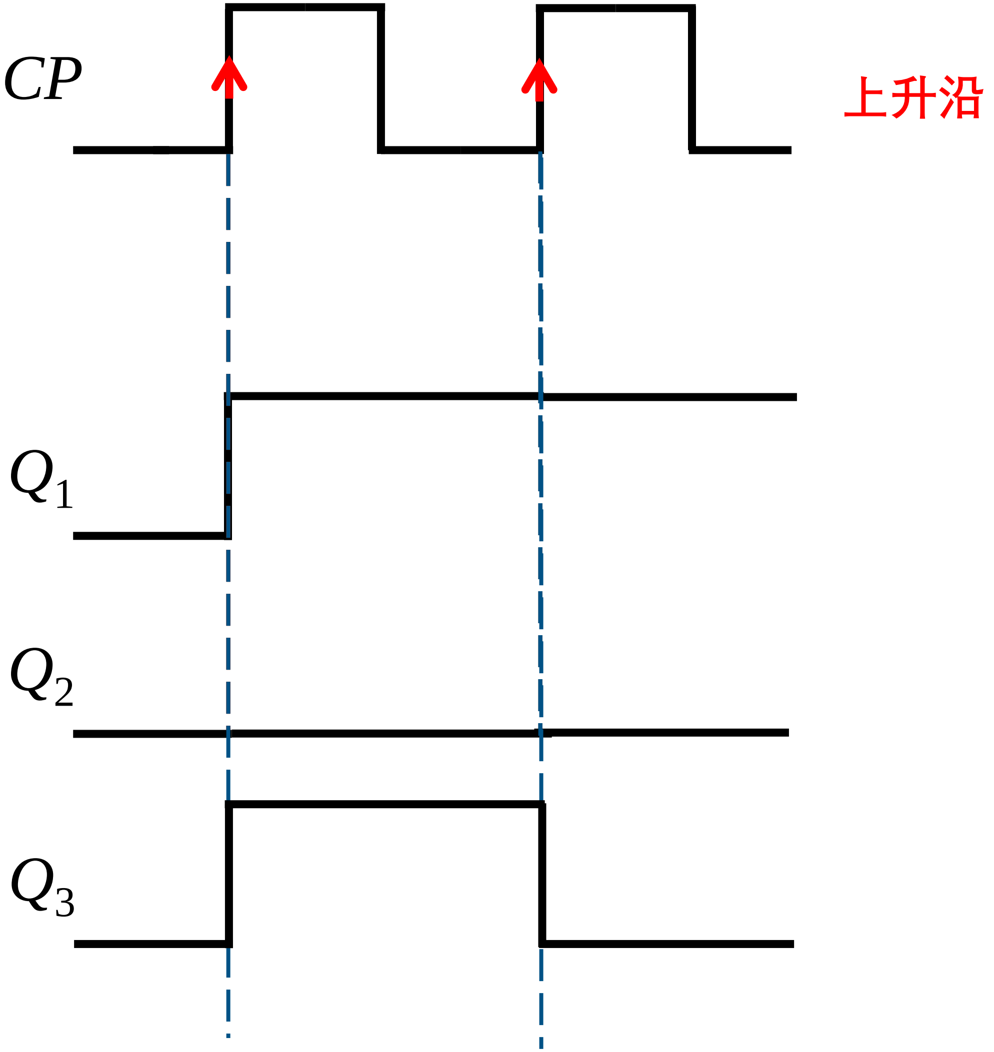
(a)

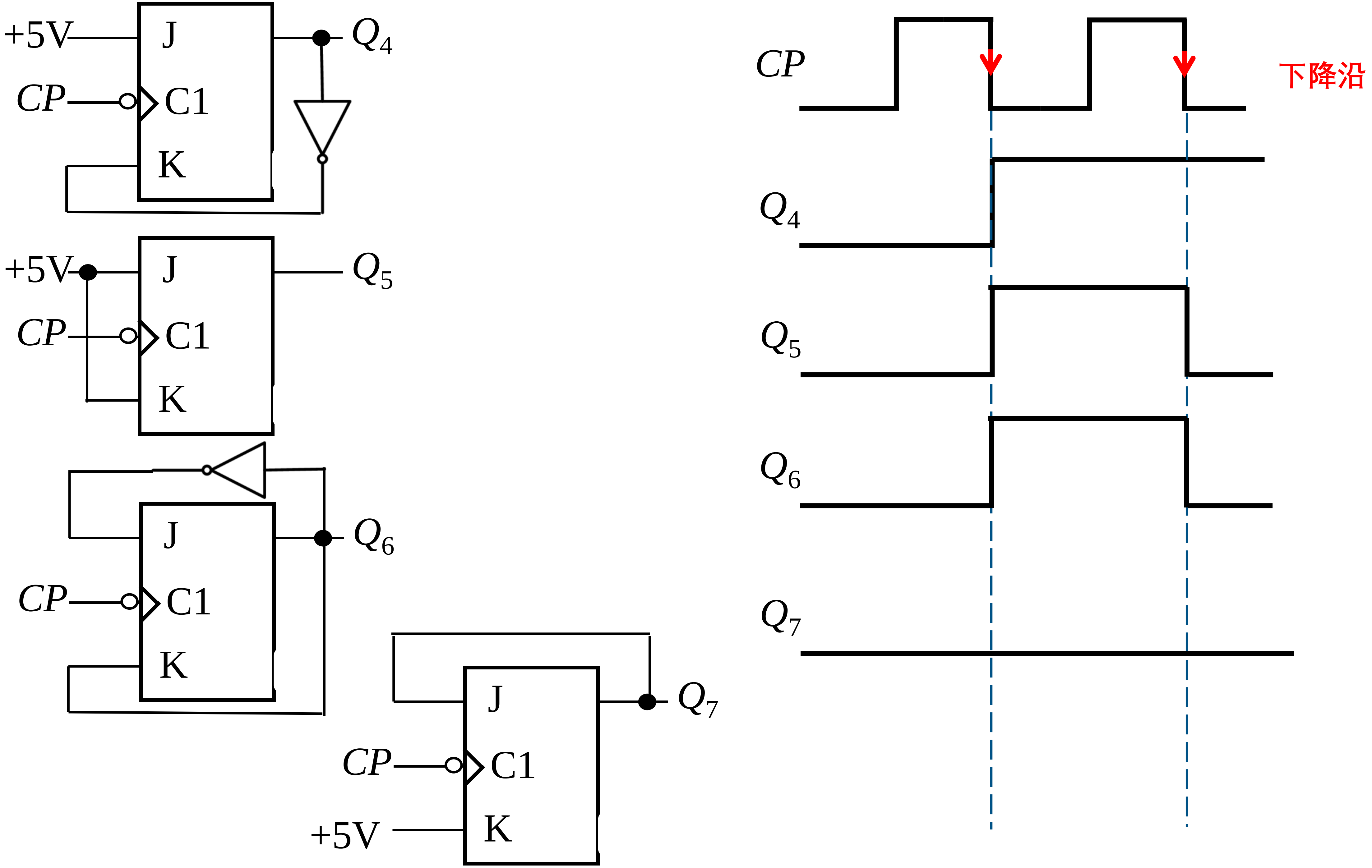


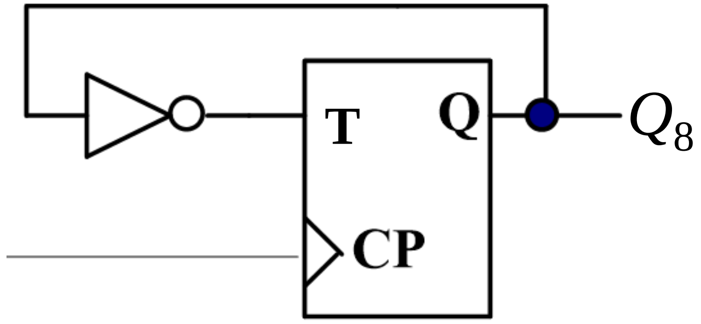
(b)

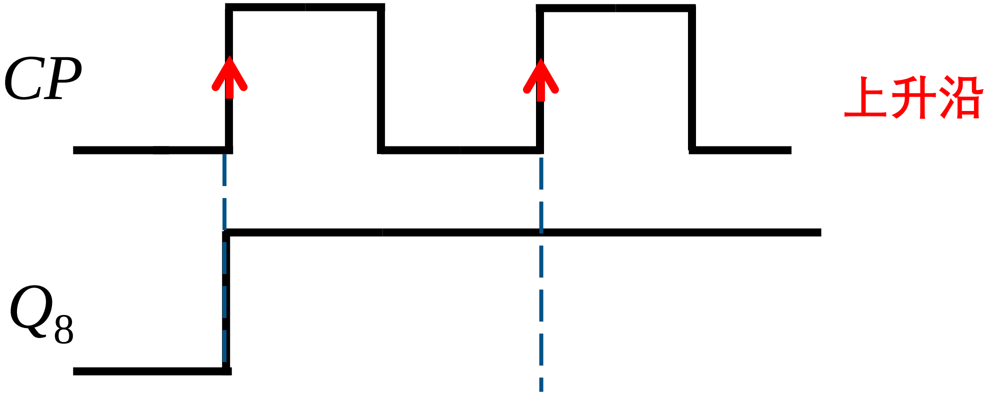


(c)

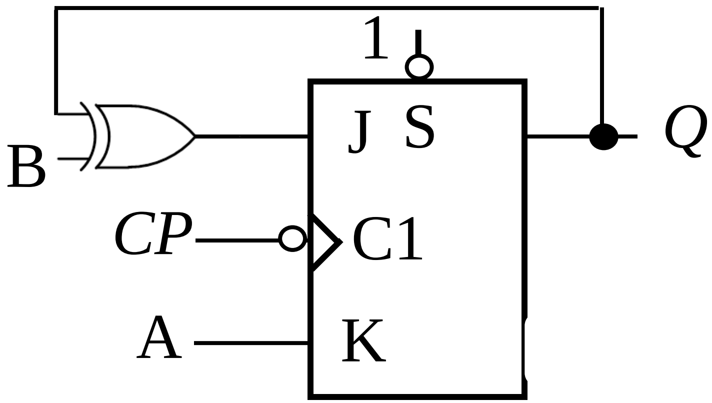


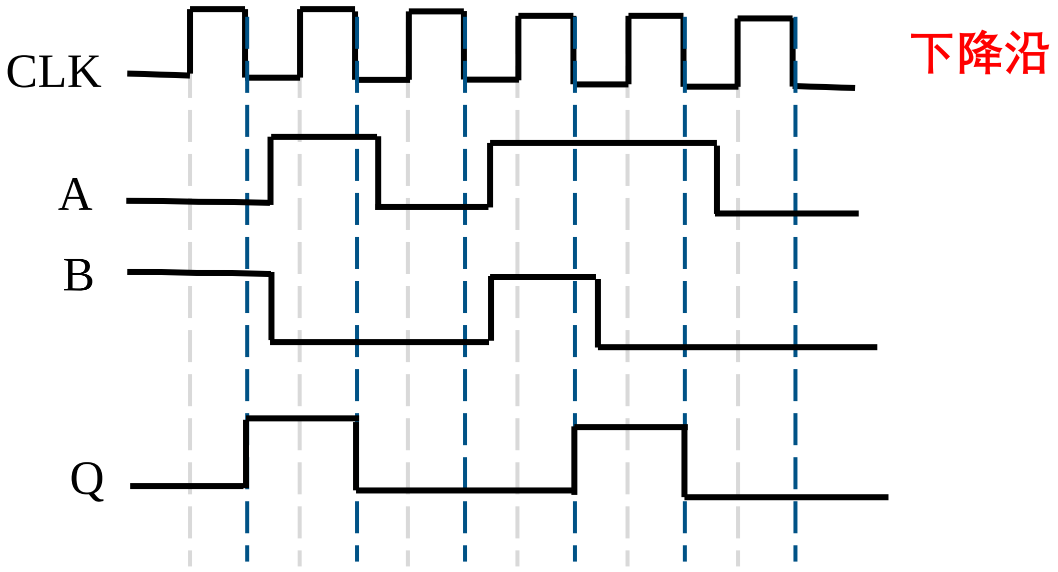

+5V
J
CP
C1
K
Q4
+5V
J
CP
C1
K
Q5
J
CP
C1
K
Q6
J
CP
C1
+5V
K
Q7
CP
下降沿
Q4
Q5
Q6
Q7



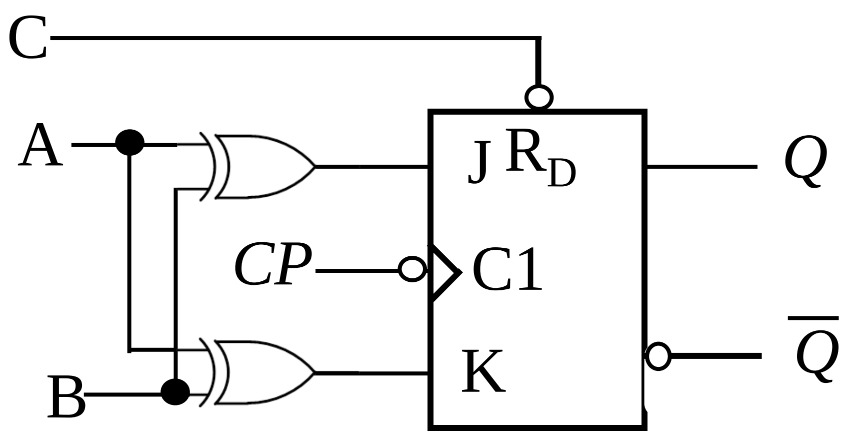


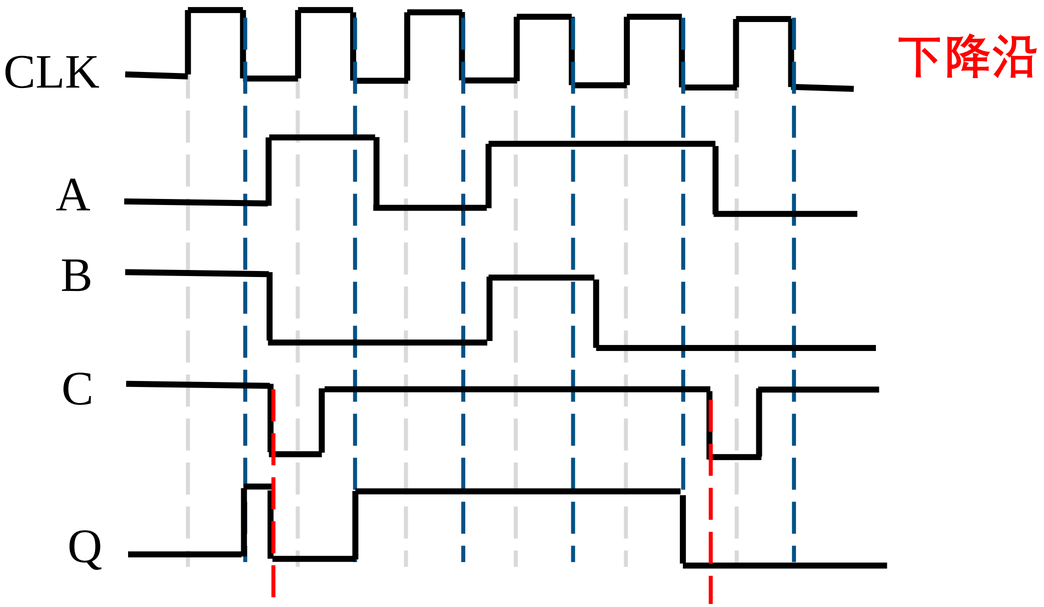
5-5　如图 5-44 所示电路，已知 CLK 波形，画出 Q 端的波形图（设触发器初态为 0，且不考虑器件的传输延迟时间）。



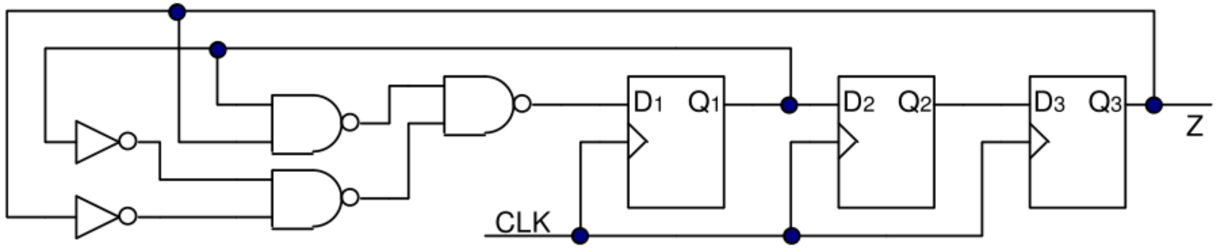


5-6　如图 5-45 所示电路，已知 CLK 波形，画出 Q 端的波形（设触发器初态为 0，不考虑器件的传输延迟）。





7-3. 分析图所示电路。写出驱动方程、输出方程、状态方程、状态转换表，画出状态转换图。



解：根据逻辑电路得驱动方程为： $D_3 = Q_2$ $D_2 = Q_1$ $D_1 = \overline{\overline{\bar{Q}_1\bar{Q}_3}\cdot\overline{Q_1Q_3}} = Q_1 \odot Q_3$

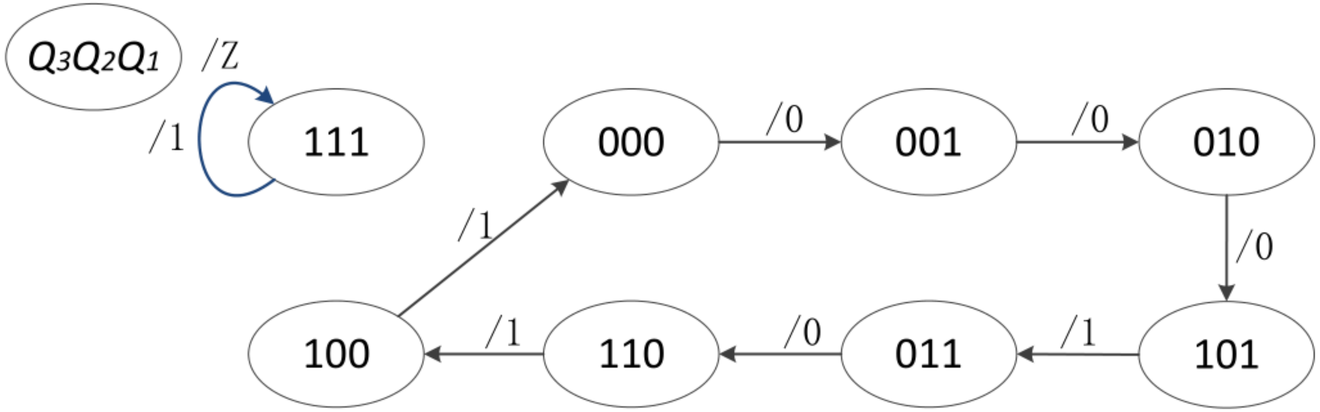
输出方程为： $Z = Q_3$

状态方程为： $Q_3^{n+1} = Q_2$ $Q_2^{n+1} = Q_1$ $Q_1^{n+1} = \overline{\overline{\bar{Q}_1\bar{Q}_3}\cdot\overline{Q_1Q_3}} = Q_1 \odot Q_3$

状态转换表如表所示：

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	1	0	1	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	1	0	1	1	1
1	1	0	1	0	0	1
1	1	1	1	1	1	1

状态转换图如图所示：



根据状态转换图得到此电路存在无效循环，不能自启动。

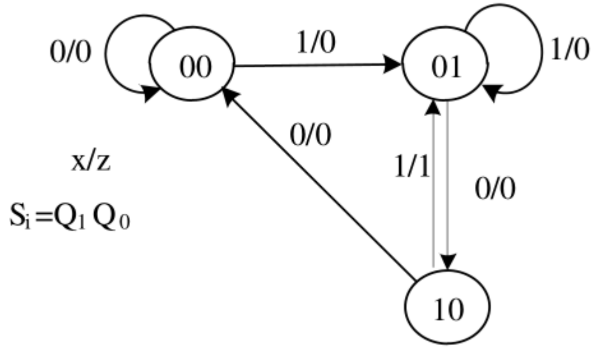
7-7. 试用 D 触发器设计一个“101”序列检测器，用于检测串行二进制序列，要求每当出现“101”时，检测器输出为 1，否则输出为 0，画出逻辑电路图。其典型输入输出序列如下：

输入 X：0101010001011；输出 Z：0001010000010

解：分析典型输入输出的序列，得到此检测器可重入，假设各状态如下；

S0=00 表示没有接收到 1 的状态；S1=01 表示收到一个 1 以后的状态；S2=10 表示收到 10 以后的状态；

根据题意得到状态转换图如图所示：



根据状态转换图得到状态转换表：

Q_1^n	Q_0^n	X	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	0	0	0
1	0	1	0	1	1

根据状态转换表，得到状态方程和输出方程并化简：

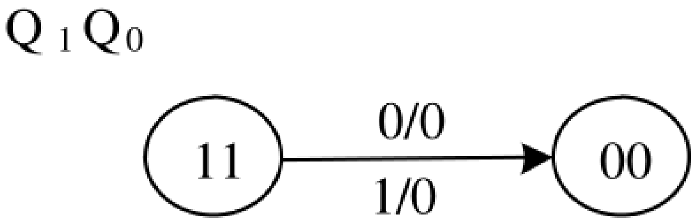
$$Q_1^{n+1} = \overline{Q_1^n} \bullet Q_0^n \bullet \overline{X}$$

$$\begin{aligned} Q_0^{n+1} &= \overline{Q_1^n} \bullet \overline{Q_0^n} \bullet X + \overline{Q_1^n} \bullet Q_0^n \bullet X + Q_1^n \bullet \overline{Q_0^n} \bullet X = (\overline{Q_1^n} + Q_0^n) \bullet X + \overline{Q_1^n} \bullet X \bullet Q_0^n \\ &= X \bullet \overline{Q_0^n} + \overline{Q_1^n} \bullet X \bullet Q_0^n = X \bullet (\overline{Q_0^n} + \overline{Q_1^n} \bullet Q_0^n = X \bullet (\overline{Q_0^n} + \overline{Q_1^n}) \\ &= X \bullet (\overline{Q_1^n Q_0^n}) \end{aligned}$$

$$Z = Q_1^n \bullet \overline{Q_0^n} \bullet X$$

根据状态方程，检测自启动功能：

将 $Q_1^n Q_0^n$=11 带入求得 $Q_1^{n+1} Q_0^{n+1}$=00，如图所示：



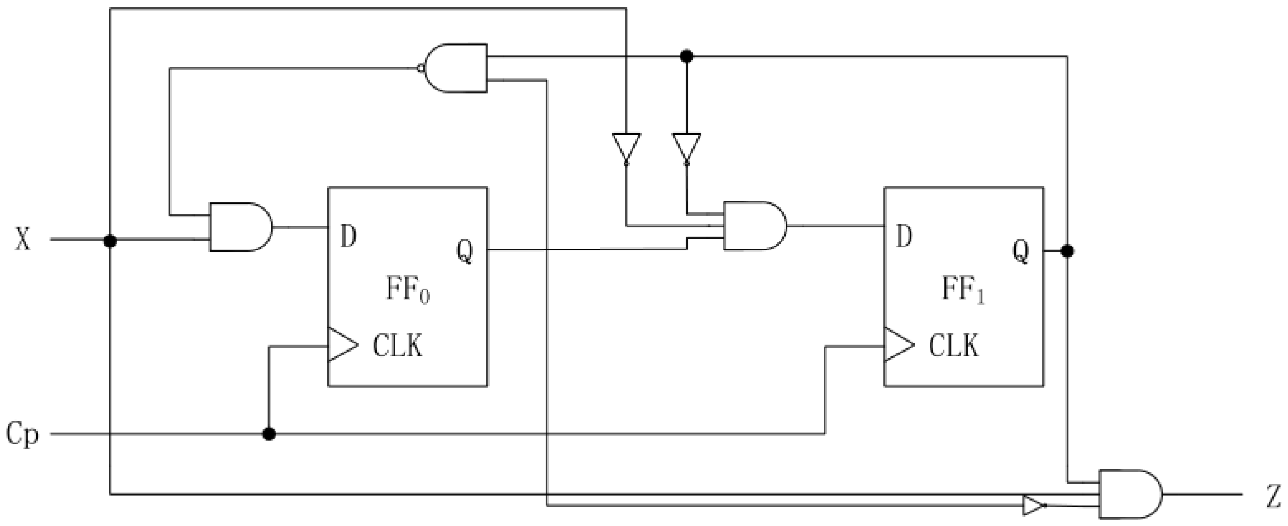
得到结果：可以自启动。

将 D 触发器的特性方程 $Q_1^{n+1} = \mathrm{D}$

比对状态方程得到驱动方程为：

$$\begin{cases} \mathrm{D}_0 = X \bullet \overline{Q_1^n Q_0^n} \\ \mathrm{D}_1 = \overline{Q_1^n} \bullet Q_0^n \bullet \overline{X} \end{cases}$$

根据驱动方程得到逻辑电路如图 7-3-21 所示：



7-12. 使用 JK 触发器，设计一个变模计数器。画出逻辑电路图，给出时序波形图。

要求：（1）控制端 X=0 时，计数器的模 M=3，计数规律为：

00→01→10

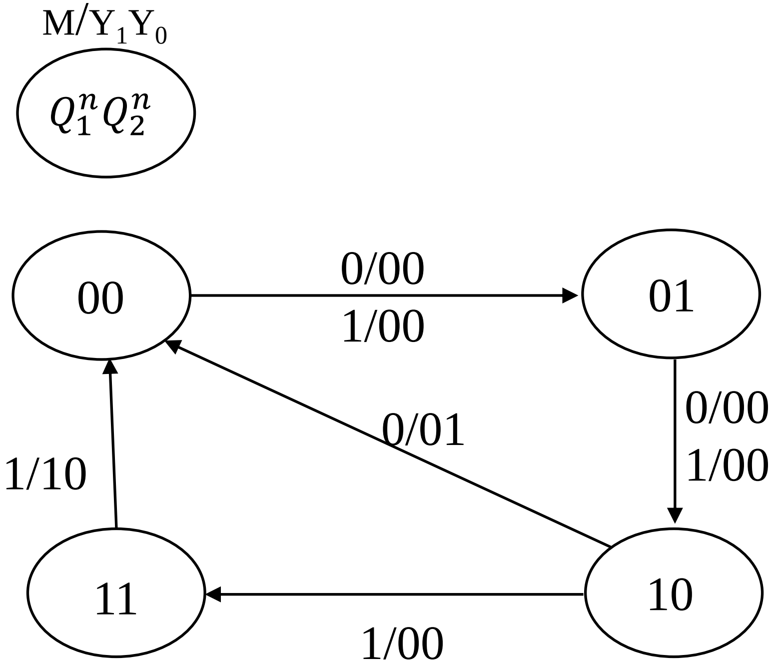
（2）控制端 X=1 时，计数器的模 M=4，计数规律为：

00→01→10→11

解：根据题意，X=0 时，计数器的模 M=3；X=1 时，计数器的模 M=4。

Y_0、Y_1 分别对应这两种模式输出的进位信号。

状态转换图如图。



X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y_0	$Y1$
0	0	0	0	1	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	0
0	1	1	X	X	X	X
1	0	0	0	1	0	0
1	0	1	1	0	0	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

状态方程

$$Q_1^{n+1} = XQ_1\overline{Q_0} + \overline{Q_1}Q_0$$

$$Q_0^{n+1} = X\overline{Q_0} + \overline{Q_1}\,\overline{Q_0}$$

得到输出方程：

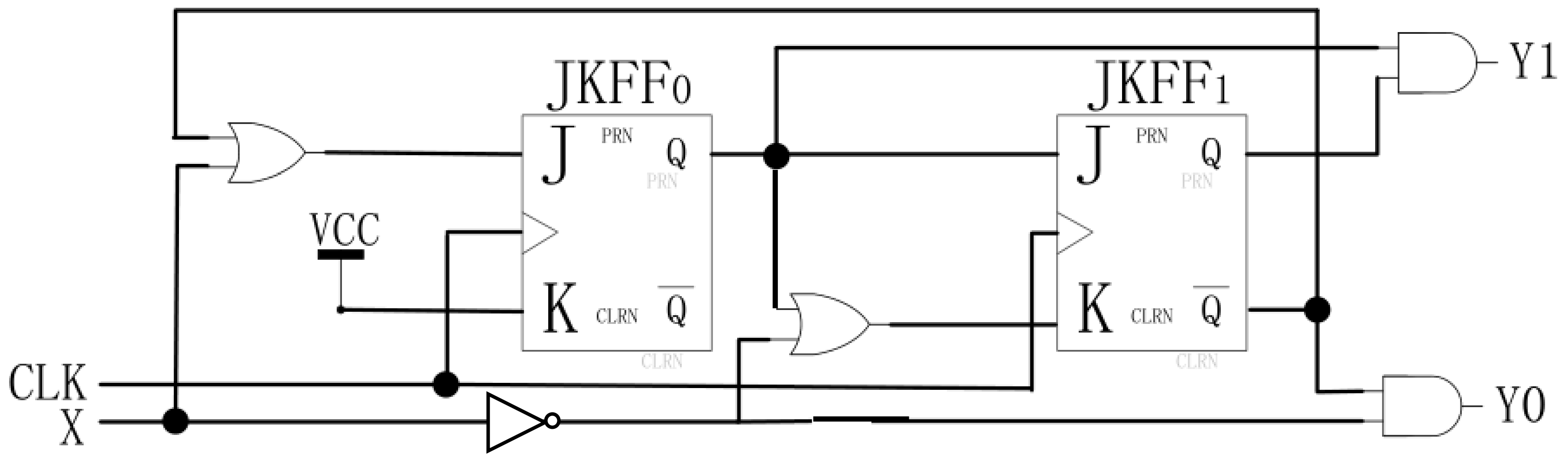
$$\begin{cases} Y_0 = \overline{X}Q_1 \\ Y_1 = Q_1Q_0 \end{cases}$$

特性方程

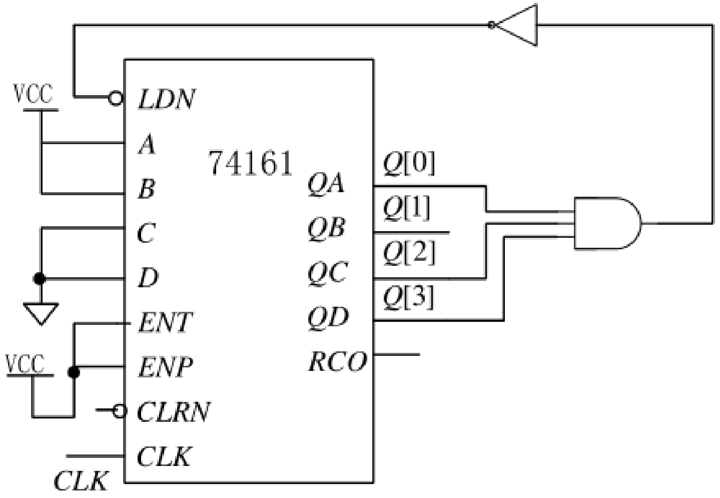
$$J_1 = Q_0 \quad \boldsymbol{K_1 = \overline{x} + Q_0}$$

$$J_0 = x + \overline{Q_1} \quad K_0 = 1$$

根据驱动方程和输出方程画逻辑图如图所示：



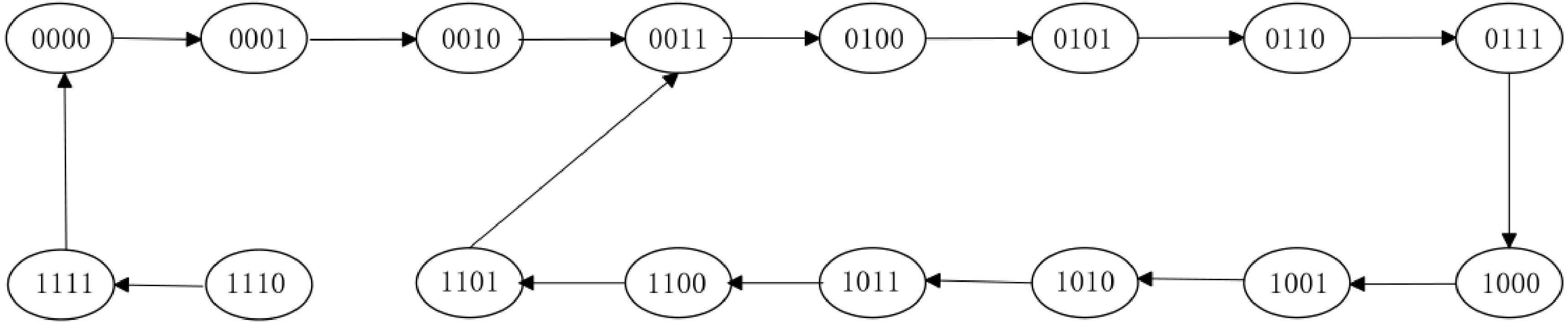
7-14. 分析图所示计数器电路，指出计数器的模值，并画出其状态转换图，并指出 QD 信号的占空比。



解：根据分析逻辑电路，得到状态转换表：

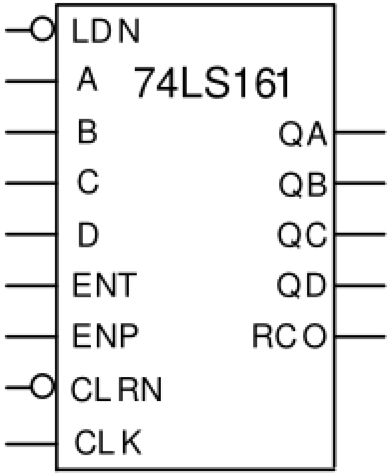
Q_3	Q_2	Q_1	Q_0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1

根据状态转换表得到状态转换图：

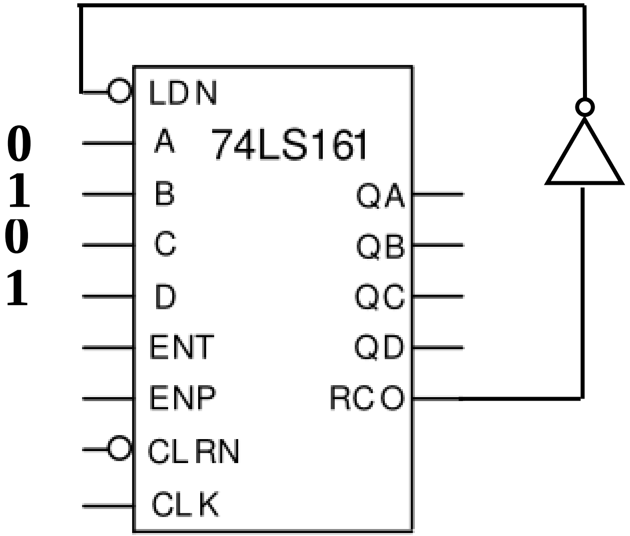


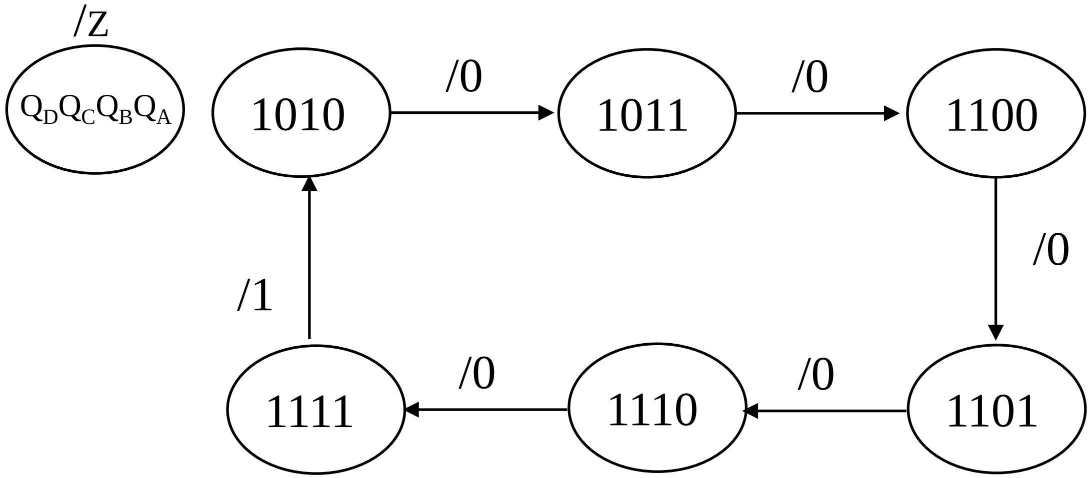
Q3 的信号输出的占空比为 6/(5+6)=6/11

7-16. 试用 74LS161 实现模 6 计数器。要求使用 RCO进位置数法，画出逻辑电路图，状态转换图，CLK、Q1、Q2、Q3 及 C 的时序图。



预置数：1010





计数顺序	计数器状态			
	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

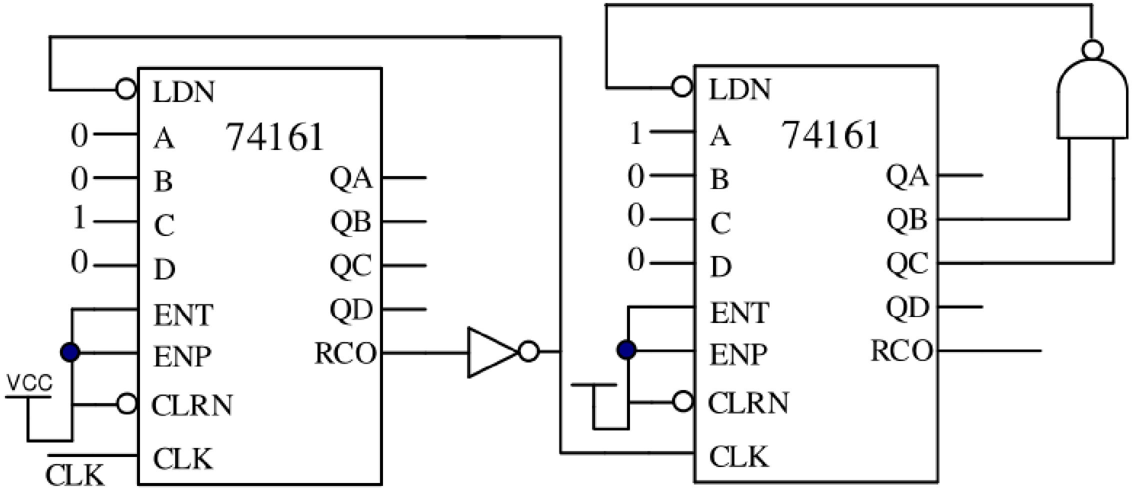
7-17.请用两片 74LS161 设计一个 72 分频电路，并使占空比为 50%。

解：①级联法。

72 = 6×12，故高位片做六进制，低位片 12 进制，其状态转移表如表所示，连接图如图

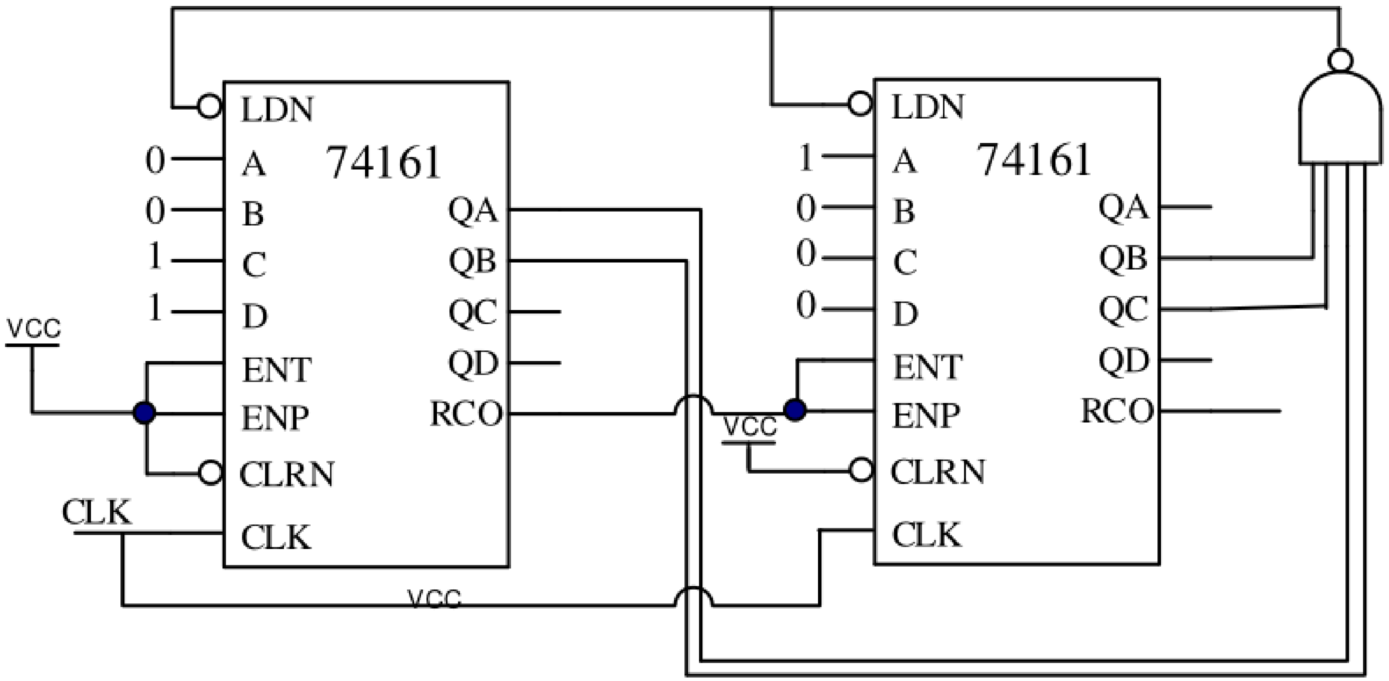
Q_C	Q_B	Q_A
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
0	0	1

Q_D	Q_C	Q_B	Q_A
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1
0	1	0	0

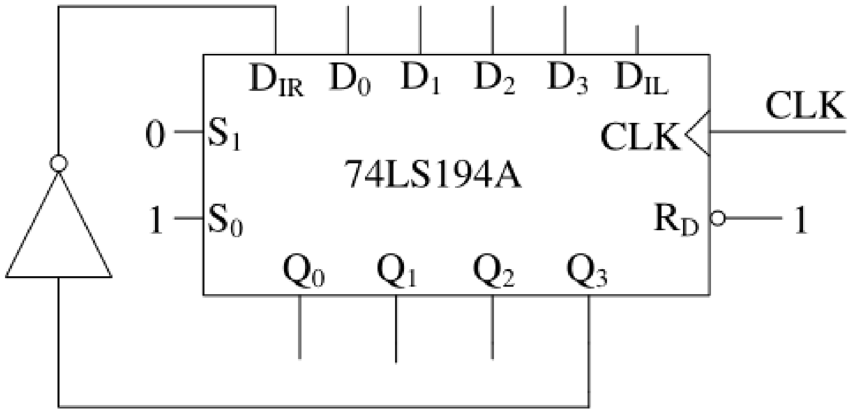


② 整体反馈法

Q_{C2}	Q_{B2}	Q_{A2}	Q_{D1}	Q_{C1}	Q_{B1}	Q_{A1}
0	0	1	1	1	0	0
·	·	·	·	·	·	·
·	·	·	·	·	·	·
·	·	·	·	·	·	·
0	1	1	1	1	1	1
1	0	0	0	0	0	0
·	·	·	·	·	·	·
·	·	·	·	·	·	·
·	·	·	·	·	·	·
1	1	0	0	0	1	1

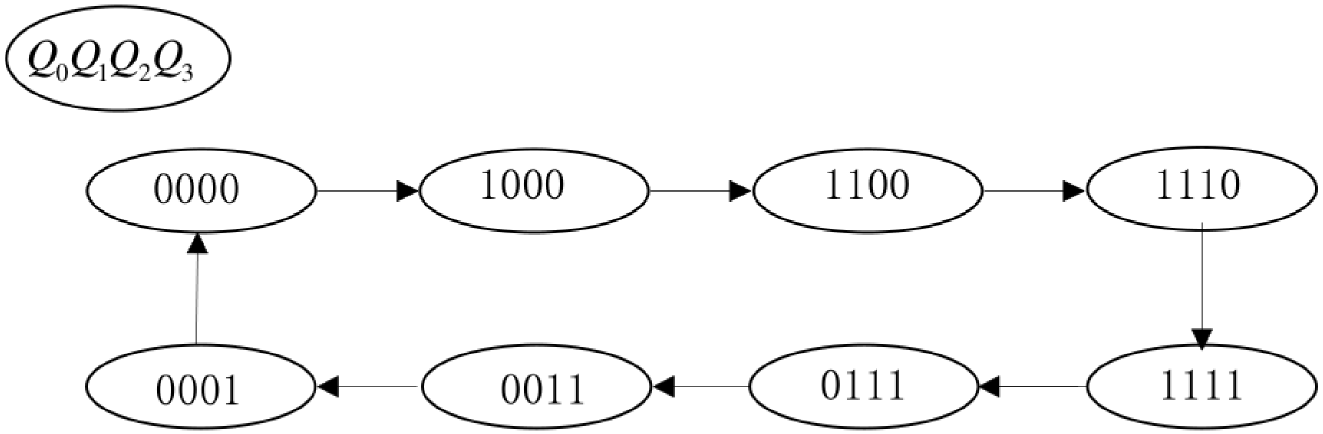


7-20. 已知 74LS194A 的功能表如下表所示。分析逻辑电路图，试画出其状态转移图（按 $Q_0Q_1Q_2Q_3$排列），并指出该电路的计数模值。



R_D	S_1	S_0	工 作 状 态
0	×	×	置 零
1	0	0	保 持
1	0	1	右 移
1	1	0	左 移
1	1	1	并 行 输 入

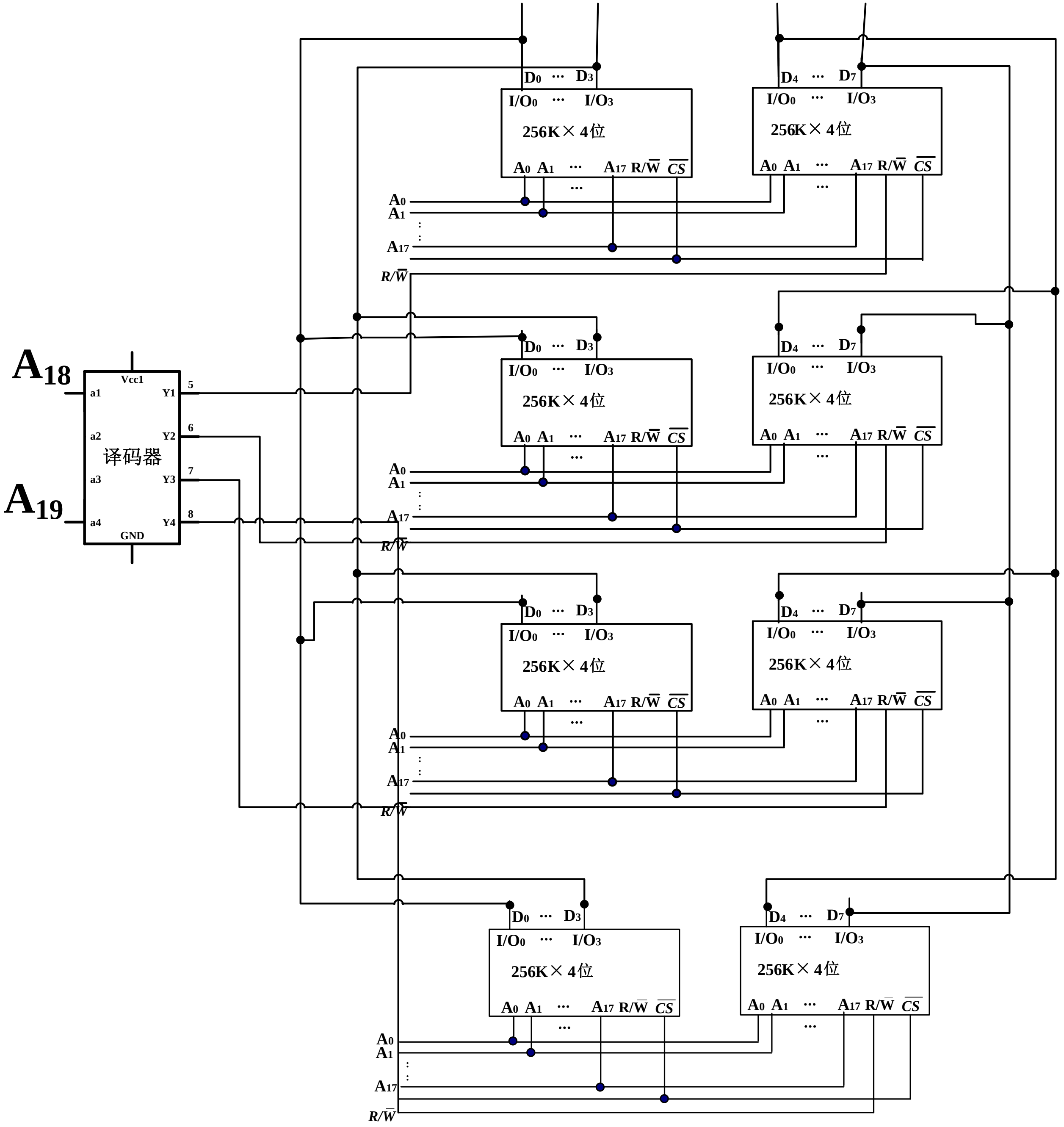
解：根据逻辑电路及 74LS194 的功能表，状态转移图：



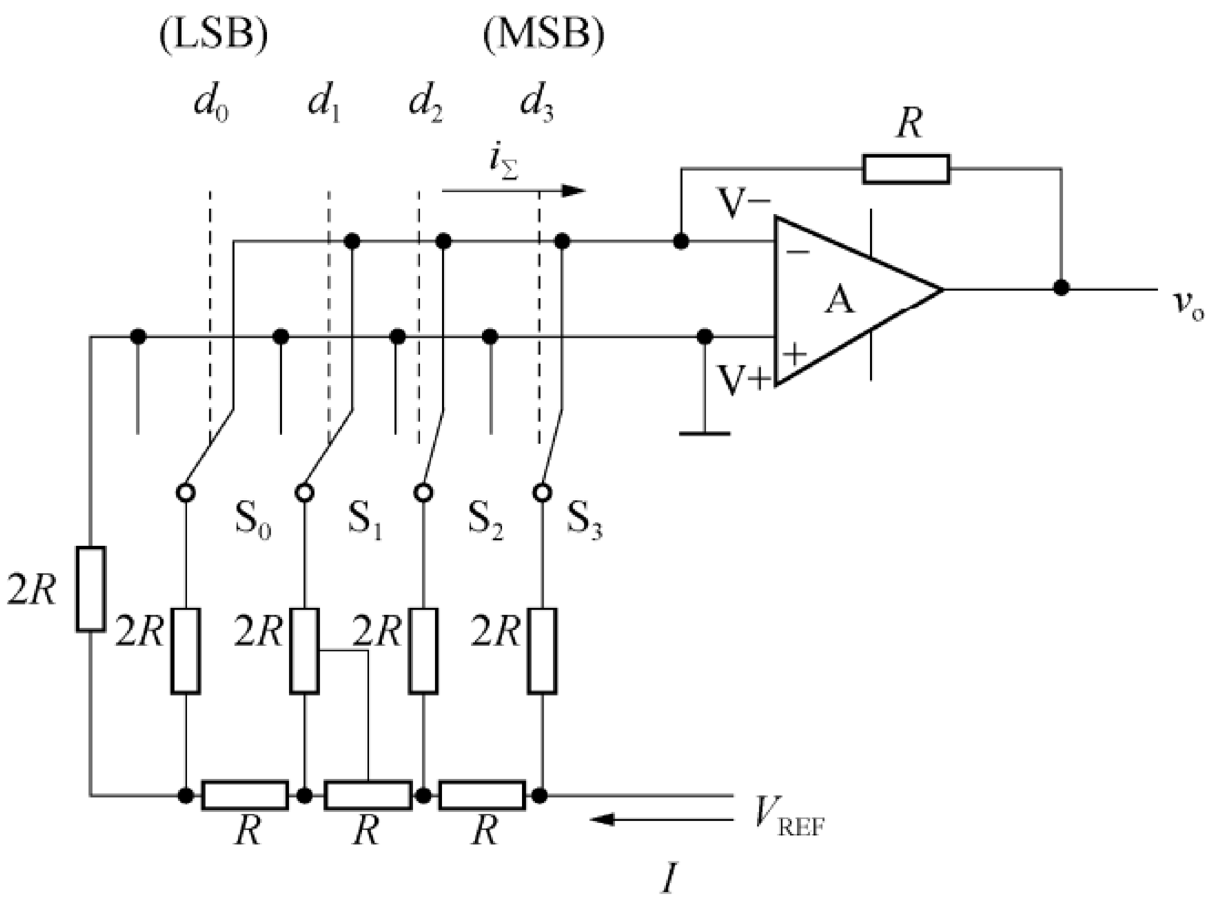
模值为 8.

9-3　若扩展成 1024×8 位 RAM 需要多少块 256×4 位 RAM？画出连接图。

需要8片



10-7　4 位 R-2R 倒 T 型电阻网络 DAC 如图 10-36 所示，设基准电压 V_{REF}=−8V，试求输出电压 v_o 的表达式，当输入为 $d_3d_2d_1d_0$=1011 时，求 v_o 的值。



$$\boxed{V_0=-\frac{V_{REF}R_F}{2^nR}\left(\sum_{i=0}^{n-1}2^id_i\right)=-\frac{8}{2^4}(2^0\cdot1+2^1\cdot1+2^2\cdot0+2^3\cdot1)=5.5\,V}$$