

南京大学《数字电路基础实验》（实验二）实验报告

实验日期: 2022 年 12 月 7 日至 2022 年 12 月 8 日

实验项目: 南京大学《数字电路基础实验》实验二

实验操作系统: Ubuntu Linux 22.04.1 LTS (GUI) amd64

实验操作人: 烟雨松 (一生一芯学号: ysyx_22041384)

实验内容: 使用 Verilog HDL 编写通过不同方式进行建模的译码器和编码器, 同时使用编码器的思路来实现一个驱动七段数码管的逻辑电路模块。

实验第一部分: 使用 Verilog HDL 编写译码器

实验一共分为以下两个模块: 1) 使用 case 语句进行编写 2) 使用 for 循环编写; 在每个模块中, 分别实现了 1-2、2-4、3-8、4-16、5-32 的译码器, 相当于完成了 10 个实验。

实验一: 使用 case 语句编写译码器

实验环境:

- 1) 操作系统 Ubuntu Linux 22.04.1 LTS (Jammy)
- 2) 工作目录"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02"
- 3) 编辑软件: Visual Studio Code
- 4) 软件环境: Verilator (5.003), g++ (11.2.0-1ubuntu1)

实验目的: 继续熟悉 Verilog HDL 相关语句的用法, 了解译码器的工作原理, 熟悉激励文件的写法, 使用 Verilator 和 GTKWave 对仿真结果进行查看和分析。

实验基础: 译码器的原理: 将某一输入信息转换为某一特定输出的逻辑电路, 通常是 n 位输入并给出 2^n 位输出。任何时刻中, 只有一个输出是 1 位有效, 其余各位都是 0, 这样的二进制编码器也叫独热编码。Verilog 中可以通过 case 语句来实现编码器的功能。

第一轮实验: 编写设计 1-2 独热译码器

实验过程 1: 通过枚举 case 情况, 依据 Verilog HDL 语法, 写出 1-2 独热编码器的硬件描述代码:

```
module decode_1to2_case (x, en, y);
    input [0:0] x;
    input en;
    output reg [1:0] y;

    always @ (x or en)
        if (en)
            begin
                case(x)
                    1'd0 : y = 2'b01;
                    1'd1 : y = 2'b10;
                endcase
            end
        else y = 2'b00;
endmodule
```

实验过程 2: 给 1-2 独热译码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_1to2_case/obj_dir/Vdecode_1to2_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vdecode_1to2_case* top;

void step_and_dump_wave()
```

```

{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_1to2_case;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a Decoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b0;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b1;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b0;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b1;
    step_and_dump_wave();

    sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_1to2_case”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

```

total 1936
-rwxrwxr-x 1 yanyusong yanyusong 221448 12 月 8 13:08 Vdecode_1to2_case
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 13:08 Vdecode_1to2_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 13:08 Vdecode_1to2_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 13:08 Vdecode_1to2_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 32203 12 月 8 13:08 Vdecode_1to2_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 3847 12 月 8 13:08 Vdecode_1to2_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 4075 12 月 8 13:08 Vdecode_1to2_case_006_linkjump.tree

```

-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 4056 12 月 8 13:08 Vdecode_1to2_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 4099 12 月 8 13:08 Vdecode_1to2_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 4002 12 月 8 13:08 Vdecode_1to2_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 5465 12 月 8 13:08 Vdecode_1to2_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 5370 12 月 8 13:08 Vdecode_1to2_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 5417 12 月 8 13:08 Vdecode_1to2_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 5766 12 月 8 13:08 Vdecode_1to2_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 5831 12 月 8 13:08 Vdecode_1to2_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 5758 12 月 8 13:08 Vdecode_1to2_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 5473 12 月 8 13:08 Vdecode_1to2_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8542 12 月 8 13:08 Vdecode_1to2_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 8407 12 月 8 13:08 Vdecode_1to2_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 10397 12 月 8 13:08 Vdecode_1to2_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 10362 12 月 8 13:08 Vdecode_1to2_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 8679 12 月 8 13:08 Vdecode_1to2_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 8177 12 月 8 13:08 Vdecode_1to2_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 8130 12 月 8 13:08 Vdecode_1to2_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 11261 12 月 8 13:08 Vdecode_1to2_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 8951 12 月 8 13:08 Vdecode_1to2_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 7894 12 月 8 13:08 Vdecode_1to2_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:08 Vdecode_1to2_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 7886 12 月 8 13:08 Vdecode_1to2_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 51136 12 月 8 13:08 Vdecode_1to2_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 48479 12 月 8 13:08 Vdecode_1to2_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 48846 12 月 8 13:08 Vdecode_1to2_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:08 Vdecode_1to2_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:08 Vdecode_1to2_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 49423 12 月 8 13:08 Vdecode_1to2_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:08 Vdecode_1to2_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 55723 12 月 8 13:08 Vdecode_1to2_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 43012 12 月 8 13:08 Vdecode_1to2_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 41087 12 月 8 13:08 Vdecode_1to2_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 40949 12 月 8 13:08 Vdecode_1to2_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 40146 12 月 8 13:08 Vdecode_1to2_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 41821 12 月 8 13:08 Vdecode_1to2_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 44093 12 月 8 13:08 Vdecode_1to2_case_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:08 Vdecode_1to2_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:08 Vdecode_1to2_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 42118 12 月 8 13:08 Vdecode_1to2_case_076_subst.tree

```

-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:08 Vdecode_1to2_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 41702 12月 8 13:08 Vdecode_1to2_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 42444 12月 8 13:08 Vdecode_1to2_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 45521 12月 8 13:08 Vdecode_1to2_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 45595 12月 8 13:08 Vdecode_1to2_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:08 Vdecode_1to2_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 46912 12月 8 13:08 Vdecode_1to2_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24570 12月 8 13:08 Vdecode_1to2_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 573 12月 8 13:08 Vdecode_1to2_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1029 12月 8 13:08 Vdecode_1to2_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 20832 12月 8 13:08 Vdecode_1to2_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 842 12月 8 13:08 Vdecode_1to2_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12月 8 13:08 Vdecode_1to2_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1935 12月 8 13:08 Vdecode_1to2_case__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3477 12月 8 13:08 Vdecode_1to2_case__Trace_0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1136 12月 8 13:08 Vdecode_1to2_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 5777 12月 8 13:08
Vdecode_1to2_case__024root_DepSet_h032a46f2_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6083 12月 8 13:08
Vdecode_1to2_case__024root_DepSet_h032a46f2_0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1578 12月 8 13:08
Vdecode_1to2_case__024root_DepSet_h68038233_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12月 8 13:08
Vdecode_1to2_case__024root_DepSet_h68038233_0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12月 8 13:08 Vdecode_1to2_case__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 56061 12月 8 13:08 Vdecode_1to2_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3773 12月 8 13:08 Vdecode_1to2_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10265 12月 8 13:08 Vdecode_1to2_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1812 12月 8 13:08 Vdecode_1to2_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 423 12月 8 13:08 Vdecode_1to2_case_decode_1to2_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 661 12月 8 13:08 decode_1to2_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 8568 12月 8 13:08 decode_1to2_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 400 12月 8 13:09 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 8 13:08 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 8 13:08 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 8 13:08 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 8 13:08 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 8 13:08 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 8 13:08 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第二轮实验: 编写设计 2-4 独热译码器

实验过程 1: 通过枚举 case 情况，依据 Verilog HDL 语法，写出 2-4 独热译码器的硬件描述代码:

```

module decode_2to4_case (x, en, y);
    input [1:0] x;
    input en;
    output reg [3:0] y;

    always @ (x or en)
    if (en)
    begin
        case(x)
            2'd0 : y = 4'b0001;
            2'd1 : y = 4'b0010;
            2'd2 : y = 4'b0100;

```

```

        2'd3 : y = 4'b1000;
    endcase
end
else y =4'b0000;
endmodule

```

实验过程 2: 给 2-4 独热译码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_2to4_case/obj_dir/Vdecode_2to
4_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vdecode_2to4_case* top;

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_2to4_case;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 2 to 4 Decoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b00;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b01;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b10;

```

```

step_and_dump_wave();

top -> en = 0b0;
top -> x = 0b11;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b00;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b01;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b10;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b11;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_2to4_case”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

total 2072

```

-rwxrwxr-x 1 yanyusong yanyusong 221520 12 月 8 13:53 Vdecode_2to4_case
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 13:53 Vdecode_2to4_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 13:53 Vdecode_2to4_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 13:53 Vdecode_2to4_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 33341 12 月 8 13:53 Vdecode_2to4_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 4871 12 月 8 13:53 Vdecode_2to4_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 5201 12 月 8 13:53 Vdecode_2to4_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 5178 12 月 8 13:53 Vdecode_2to4_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 5523 12 月 8 13:53 Vdecode_2to4_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 5183 12 月 8 13:53 Vdecode_2to4_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 6640 12 月 8 13:53 Vdecode_2to4_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 6525 12 月 8 13:53 Vdecode_2to4_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 6586 12 月 8 13:53 Vdecode_2to4_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 6939 12 月 8 13:53 Vdecode_2to4_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 7018 12 月 8 13:53 Vdecode_2to4_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 6931 12 月 8 13:53 Vdecode_2to4_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 6460 12 月 8 13:53 Vdecode_2to4_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9777 12 月 8 13:53 Vdecode_2to4_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 9640 12 月 8 13:53 Vdecode_2to4_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 11471 12 月 8 13:53 Vdecode_2to4_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_040_task.tree

```

```

-rw-rw-r-- 1 yanyusong yanyusong 11442 12 月 8 13:53 Vdecode_2to4_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 9623 12 月 8 13:53 Vdecode_2to4_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:53 Vdecode_2to4_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 13310 12 月 8 13:53 Vdecode_2to4_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 11407 12 月 8 13:53 Vdecode_2to4_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 10941 12 月 8 13:53 Vdecode_2to4_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 14045 12 月 8 13:53 Vdecode_2to4_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 11731 12 月 8 13:53 Vdecode_2to4_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10356 12 月 8 13:53 Vdecode_2to4_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 10348 12 月 8 13:53 Vdecode_2to4_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 52950 12 月 8 13:53 Vdecode_2to4_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 50286 12 月 8 13:53 Vdecode_2to4_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 50651 12 月 8 13:53 Vdecode_2to4_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 51242 12 月 8 13:53 Vdecode_2to4_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 57529 12 月 8 13:53 Vdecode_2to4_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 44545 12 月 8 13:53 Vdecode_2to4_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 42834 12 月 8 13:53 Vdecode_2to4_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 42696 12 月 8 13:53 Vdecode_2to4_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 41801 12 月 8 13:53 Vdecode_2to4_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 43929 12 月 8 13:53 Vdecode_2to4_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 46195 12 月 8 13:53 Vdecode_2to4_case_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 46332 12 月 8 13:53 Vdecode_2to4_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 44384 12 月 8 13:53 Vdecode_2to4_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 43751 12 月 8 13:53 Vdecode_2to4_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 44675 12 月 8 13:53 Vdecode_2to4_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 47739 12 月 8 13:53 Vdecode_2to4_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 47794 12 月 8 13:53 Vdecode_2to4_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:53 Vdecode_2to4_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 49286 12 月 8 13:53 Vdecode_2to4_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24854 12 月 8 13:53 Vdecode_2to4_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 619 12 月 8 13:53 Vdecode_2to4_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1067 12 月 8 13:53 Vdecode_2to4_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21064 12 月 8 13:53 Vdecode_2to4_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 258 12 月 8 13:53 Vdecode_2to4_case__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 13:53 Vdecode_2to4_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 13:53 Vdecode_2to4_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1939 12 月 8 13:53 Vdecode_2to4_case__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3481 12 月 8 13:53 Vdecode_2to4_case__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1136 12 月 8 13:53 Vdecode_2to4_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 13:53
Vdecode_2to4_case__024root__DepSet_h2989a3bb_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12 月 8 13:53
Vdecode_2to4_case__024root__DepSet_h2989a3bb_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 5850 12 月 8 13:53
Vdecode_2to4_case__024root__DepSet_h3b7a69db_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6083 12 月 8 13:53
Vdecode_2to4_case__024root__DepSet_h3b7a69db_0_Slow.cpp

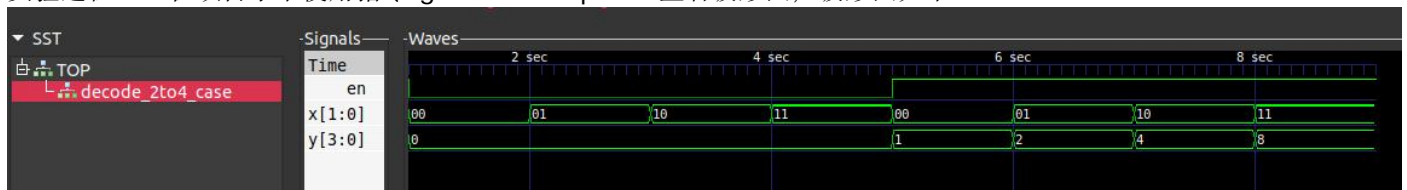
```

```

-rw-rw-r-- 1 yanyusong yanyusong 764 12月 8 13:53 Vdecode_2to4_case__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57507 12月 8 13:53 Vdecode_2to4_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3816 12月 8 13:53 Vdecode_2to4_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10379 12月 8 13:53 Vdecode_2to4_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1846 12月 8 13:53 Vdecode_2to4_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 501 12月 8 13:53 Vdecode_2to4_case_decode_2to4_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 661 12月 8 13:53 decode_2to4_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 8872 12月 8 13:53 decode_2to4_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 470 12月 8 13:53 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 8 13:53 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 8 13:53 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 8 13:53 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 8 13:53 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 8 13:53 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 8 13:53 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第三轮实验: 编写设计 3-8 独热译码器

实验过程 1: 通过枚举 case 情况, 依据 Verilog HDL 语法, 写出 3-8 独热译码器的硬件描述代码:

```

module decode_3to8_case (x, en, y);
/* verilator lint_off WIDTH */
    input [2:0] x;
    input en;
    output reg [7:0] y;

    always @ (x or en)

        if (en)
            begin
                case (x)
                    3'b000 : y = 8'b00000001;
                    3'b001 : y = 8'b00000010;
                    3'b010 : y = 8'b00000100;
                    3'b011 : y = 8'b00001000;
                    3'b100 : y = 8'b00010000;
                    3'b101 : y = 8'b00100000;
                    3'b110 : y = 8'b01000000;
                    3'b111 : y = 8'b10000000;
                endcase
            end
        else y = 8'b00000000;
/* verilator lint_on WIDTH */
endmodule

```

实验过程 2: 给 3-8 独热译码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_3to8_case/obj_dir/Vdecode_3to8_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

```



```

static Vdecode_3to8_case* top;

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_3to8_case;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 3 to 8 Decoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b0000;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0001;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0010;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0011;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0100;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0101;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0110;
    step_and_dump_wave();
}

```

```

top -> en = 0b0;
top -> x = 0b111;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b000;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b001;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b010;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b011;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b100;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b101;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b110;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b111;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_3to8_case”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

```

-rwxrwxr-x 1 yanyusong yanyusong 221520 12 月 8 14:31 Vdecode_3to8_case
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 14:31 Vdecode_3to8_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 14:31 Vdecode_3to8_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 14:31 Vdecode_3to8_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 33786 12 月 8 14:31 Vdecode_3to8_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 6653 12 月 8 14:31 Vdecode_3to8_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 7189 12 月 8 14:31 Vdecode_3to8_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 7158 12 月 8 14:31 Vdecode_3to8_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 7719 12 月 8 14:31 Vdecode_3to8_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 7268 12 月 8 14:31 Vdecode_3to8_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 8717 12 月 8 14:31 Vdecode_3to8_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8561 12 月 8 14:31 Vdecode_3to8_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 8650 12 月 8 14:31 Vdecode_3to8_case_026_dfg-optimize.tree

```

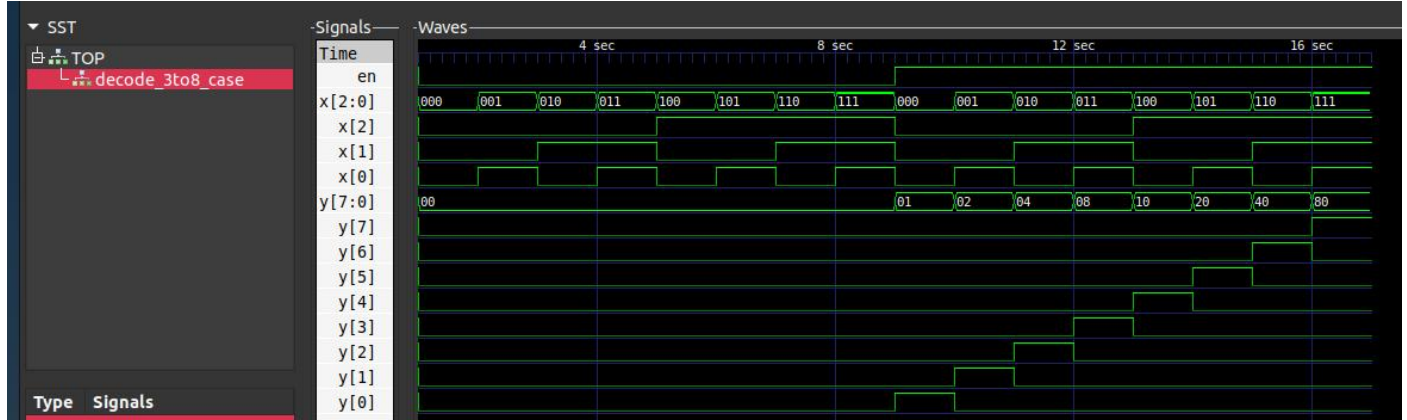
-rw-rw-r-- 1 yanyusong yanyusong 9011 12 月 8 14:31 Vdecode_3to8_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 9118 12 月 8 14:31 Vdecode_3to8_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9003 12 月 8 14:31 Vdecode_3to8_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8438 12 月 8 14:31 Vdecode_3to8_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12251 12 月 8 14:31 Vdecode_3to8_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12110 12 月 8 14:31 Vdecode_3to8_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 16710 12 月 8 14:31 Vdecode_3to8_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 16625 12 月 8 14:31 Vdecode_3to8_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:31 Vdecode_3to8_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 12719 12 月 8 14:31 Vdecode_3to8_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 15104 12 月 8 14:31 Vdecode_3to8_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12049 12 月 8 14:31 Vdecode_3to8_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 11583 12 月 8 14:31 Vdecode_3to8_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 14687 12 月 8 14:31 Vdecode_3to8_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 12373 12 月 8 14:31 Vdecode_3to8_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10992 12 月 8 14:31 Vdecode_3to8_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 10984 12 月 8 14:31 Vdecode_3to8_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 53593 12 月 8 14:31 Vdecode_3to8_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 50929 12 月 8 14:31 Vdecode_3to8_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 51294 12 月 8 14:31 Vdecode_3to8_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 51885 12 月 8 14:31 Vdecode_3to8_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 58172 12 月 8 14:31 Vdecode_3to8_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 45174 12 月 8 14:31 Vdecode_3to8_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 43461 12 月 8 14:31 Vdecode_3to8_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 43323 12 月 8 14:31 Vdecode_3to8_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 42427 12 月 8 14:31 Vdecode_3to8_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 44572 12 月 8 14:31 Vdecode_3to8_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 46834 12 月 8 14:31 Vdecode_3to8_case_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 46971 12 月 8 14:31 Vdecode_3to8_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 45023 12 月 8 14:31 Vdecode_3to8_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 44390 12 月 8 14:31 Vdecode_3to8_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 45314 12 月 8 14:31 Vdecode_3to8_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 48159 12 月 8 14:31 Vdecode_3to8_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 48216 12 月 8 14:31 Vdecode_3to8_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:31 Vdecode_3to8_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 49692 12 月 8 14:31 Vdecode_3to8_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24854 12 月 8 14:31 Vdecode_3to8_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 619 12 月 8 14:31 Vdecode_3to8_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1067 12 月 8 14:31 Vdecode_3to8_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21064 12 月 8 14:31 Vdecode_3to8_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 319 12 月 8 14:31 Vdecode_3to8_case__ConstPool_0.cpp

```

-rw-rw-r-- 1 yanyusong yanyusong 842 12月 8 14:31 Vdecode_3to8_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12月 8 14:31 Vdecode_3to8_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1939 12月 8 14:31 Vdecode_3to8_case__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3481 12月 8 14:31 Vdecode_3to8_case__Trace__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1136 12月 8 14:31 Vdecode_3to8_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 5851 12月 8 14:31
Vdecode_3to8_case__024root__DepSet_h86d99c18__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6083 12月 8 14:31
Vdecode_3to8_case__024root__DepSet_h86d99c18__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1578 12月 8 14:31
Vdecode_3to8_case__024root__DepSet_hdc395ac7__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12月 8 14:31
Vdecode_3to8_case__024root__DepSet_hdc395ac7__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12月 8 14:31 Vdecode_3to8_case__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57507 12月 8 14:31 Vdecode_3to8_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3816 12月 8 14:31 Vdecode_3to8_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10379 12月 8 14:31 Vdecode_3to8_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1846 12月 8 14:31 Vdecode_3to8_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 762 12月 8 14:31 Vdecode_3to8_case_decode_3to8_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 661 12月 8 14:31 decode_3to8_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9464 12月 8 14:31 decode_3to8_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 634 12月 8 14:31 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 8 14:31 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 8 14:31 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 8 14:31 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 8 14:31 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 8 14:31 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 8 14:31 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



第四轮实验: 编写设计 4-16 独热译码器

实验过程 1: 通过枚举 case 情况，依据 Verilog HDL 语法，写出 4-16 独热译码器的硬件描述代码:

```

module decode_4to16_case (x, en, y);
/* verilator lint_off WIDTH */
    input [3:0] x;
    input en;
    output reg [15:0] y;

    always @ (x or en)
    if (en)
    begin
        case (x)
            4'b0000 : y = 16'b0000000000000001;
            4'b0001 : y = 16'b0000000000000010;
            4'b0010 : y = 16'b0000000000000100;
            4'b0011 : y = 16'b0000000000001000;

```

```

        4'b0100 : y = 16'b00000000000010000;
        4'b0101 : y = 16'b00000000000010000;
        4'b0110 : y = 16'b00000000000010000;
        4'b0111 : y = 16'b00000000000010000;
        4'b1000 : y = 16'b00000000000010000;
        4'b1001 : y = 16'b00000000100000000;
        4'b1010 : y = 16'b00000001000000000;
        4'b1011 : y = 16'b00000100000000000;
        4'b1100 : y = 16'b00010000000000000;
        4'b1101 : y = 16'b00100000000000000;
        4'b1110 : y = 16'b01000000000000000;
        4'b1111 : y = 16'b10000000000000000;
    endcase
end
else y = 16'b00000000000000000;
/* verilator lint_on WIDTH */
endmodule

```

实验过程 2: 给 4-16 独热译码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_4to16_case/obj_dir/Vdecode_4t
o16_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vdecode_4to16_case* top;

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_4to16_case;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp->close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 4 to 16 Decoder modeled by case");
    printf("\n");

    // Simulator Main Parts

```

```
sim_init();
```

```
top -> en = 0b0;  
top -> x = 0b0000;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0001;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0010;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0011;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0100;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0101;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0110;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0111;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1000;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1001;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1010;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1011;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1100;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1101;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1110;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1111;
```

```
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0000;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0001;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0010;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0011;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0100;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0101;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0110;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0111;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1000;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1001;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1010;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1011;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1100;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1101;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1110;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1111;
```

```

step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vdecode_4to16_case”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

```

-rwxrwxr-x 1 yanyusong yanyusong 221592 12 月 8 15:02 Vdecode_4to16_case
-rw-rw-r-- 1 yanyusong yanyusong 5366 12 月 8 15:02 Vdecode_4to16_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3087 12 月 8 15:02 Vdecode_4to16_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1946 12 月 8 15:02 Vdecode_4to16_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 34960 12 月 8 15:02 Vdecode_4to16_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 9808 12 月 8 15:02 Vdecode_4to16_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 10760 12 月 8 15:02 Vdecode_4to16_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 10713 12 月 8 15:02 Vdecode_4to16_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 11760 12 月 8 15:02 Vdecode_4to16_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 11349 12 月 8 15:02 Vdecode_4to16_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 12788 12 月 8 15:02 Vdecode_4to16_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12552 12 月 8 15:02 Vdecode_4to16_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 12697 12 月 8 15:02 Vdecode_4to16_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 13081 12 月 8 15:02 Vdecode_4to16_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 13244 12 月 8 15:02 Vdecode_4to16_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 13073 12 月 8 15:02 Vdecode_4to16_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12506 12 月 8 15:02 Vdecode_4to16_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 17343 12 月 8 15:02 Vdecode_4to16_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 17192 12 月 8 15:02 Vdecode_4to16_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:02 Vdecode_4to16_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 27533 12 月 8 15:02 Vdecode_4to16_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 27342 12 月 8 15:02 Vdecode_4to16_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 19116 12 月 8 15:02 Vdecode_4to16_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 18599 12 月 8 15:02 Vdecode_4to16_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 13272 12 月 8 15:02 Vdecode_4to16_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 12806 12 月 8 15:02 Vdecode_4to16_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 15927 12 月 8 15:02 Vdecode_4to16_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 13588 12 月 8 15:02 Vdecode_4to16_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12194 12 月 8 15:02 Vdecode_4to16_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 12186 12 月 8 15:02 Vdecode_4to16_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 54807 12 月 8 15:02 Vdecode_4to16_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 52143 12 月 8 15:02 Vdecode_4to16_case_060_clock.tree

```



```

-rw-rw-r-- 1 yanyusong yanyusong 52508 12 月 8 15:02 Vdecode_4to16_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 53099 12 月 8 15:02 Vdecode_4to16_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 59399 12 月 8 15:02 Vdecode_4to16_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 46391 12 月 8 15:02 Vdecode_4to16_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 44672 12 月 8 15:02 Vdecode_4to16_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 44534 12 月 8 15:02 Vdecode_4to16_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 43638 12 月 8 15:02 Vdecode_4to16_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 45825 12 月 8 15:02 Vdecode_4to16_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 48079 12 月 8 15:02 Vdecode_4to16_case_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 48216 12 月 8 15:02 Vdecode_4to16_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 46268 12 月 8 15:02 Vdecode_4to16_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 45635 12 月 8 15:02 Vdecode_4to16_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 46559 12 月 8 15:02 Vdecode_4to16_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 49625 12 月 8 15:02 Vdecode_4to16_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 49680 12 月 8 15:02 Vdecode_4to16_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:02 Vdecode_4to16_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 51185 12 月 8 15:02 Vdecode_4to16_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25132 12 月 8 15:02 Vdecode_4to16_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 629 12 月 8 15:02 Vdecode_4to16_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1082 12 月 8 15:02 Vdecode_4to16_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21264 12 月 8 15:02 Vdecode_4to16_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 505 12 月 8 15:02 Vdecode_4to16_case__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 850 12 月 8 15:02 Vdecode_4to16_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1199 12 月 8 15:02 Vdecode_4to16_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1958 12 月 8 15:02 Vdecode_4to16_case__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3517 12 月 8 15:02 Vdecode_4to16_case__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1148 12 月 8 15:02 Vdecode_4to16_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1595 12 月 8 15:02
Vdecode_4to16_case__024root_DepSet_h1dc45cf3_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 973 12 月 8 15:02
Vdecode_4to16_case__024root_DepSet_h1dc45cf3_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 5902 12 月 8 15:02
Vdecode_4to16_case__024root_DepSet_h9db35390_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6139 12 月 8 15:02
Vdecode_4to16_case__024root_DepSet_h9db35390_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 776 12 月 8 15:02 Vdecode_4to16_case__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57509 12 月 8 15:02 Vdecode_4to16_case_stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3905 12 月 8 15:02 Vdecode_4to16_case_ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10471 12 月 8 15:02 Vdecode_4to16_case_verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1857 12 月 8 15:02 Vdecode_4to16_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 1272 12 月 8 15:02 Vdecode_4to16_case_decode_4to16_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 665 12 月 8 15:02 decode_4to16_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 10656 12 月 8 15:02 decode_4to16_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 1077 12 月 8 15:02 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 15:02 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 15:02 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 15:02 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 15:02 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 15:02 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 15:02 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：


```

        5'b11110 : y = 32'b01000000000000000000000000000000;
        5'b11111 : y = 32'b10000000000000000000000000000000;
    endcase
end
else y = 32'b00000000000000000000000000000000;
/* verilator lint_on WIDTH */
endmodule

```

实验过程 2: 给 5-32 独热译码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_5to32_case/obj_dir/Vdecode_5to32_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vdecode_5to32_case* top;

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_5to32_case;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp->close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 5 to 32 Decoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top->en = 0b0;
    top->x = 0b00000;
    step_and_dump_wave();
    top->en = 0b0;
    top->x = 0b00001;
    step_and_dump_wave();
    top->en = 0b0;
    top->x = 0b00010;

```

```
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00011;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00100;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00101;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00110;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00111;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01000;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01001;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01010;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01011;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01100;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01101;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01110;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01111;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10000;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10001;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10010;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10011;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10100;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10101;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10110;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10111;
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b11000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b11001;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b11010;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b11011;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b11100;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b11101;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b11110;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b11111;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b00000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00001;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00010;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00011;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00100;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00101;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00110;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00111;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b01000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b01001;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b01010;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b01011;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b01100;  
step_and_dump_wave();
```

```

top -> en = 0b1;
top -> x = 0b01101;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01110;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01111;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10001;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10010;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10011;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10100;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10101;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10110;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10111;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11001;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11010;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11011;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11100;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11101;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11110;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11111;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3：使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_5to32_case”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

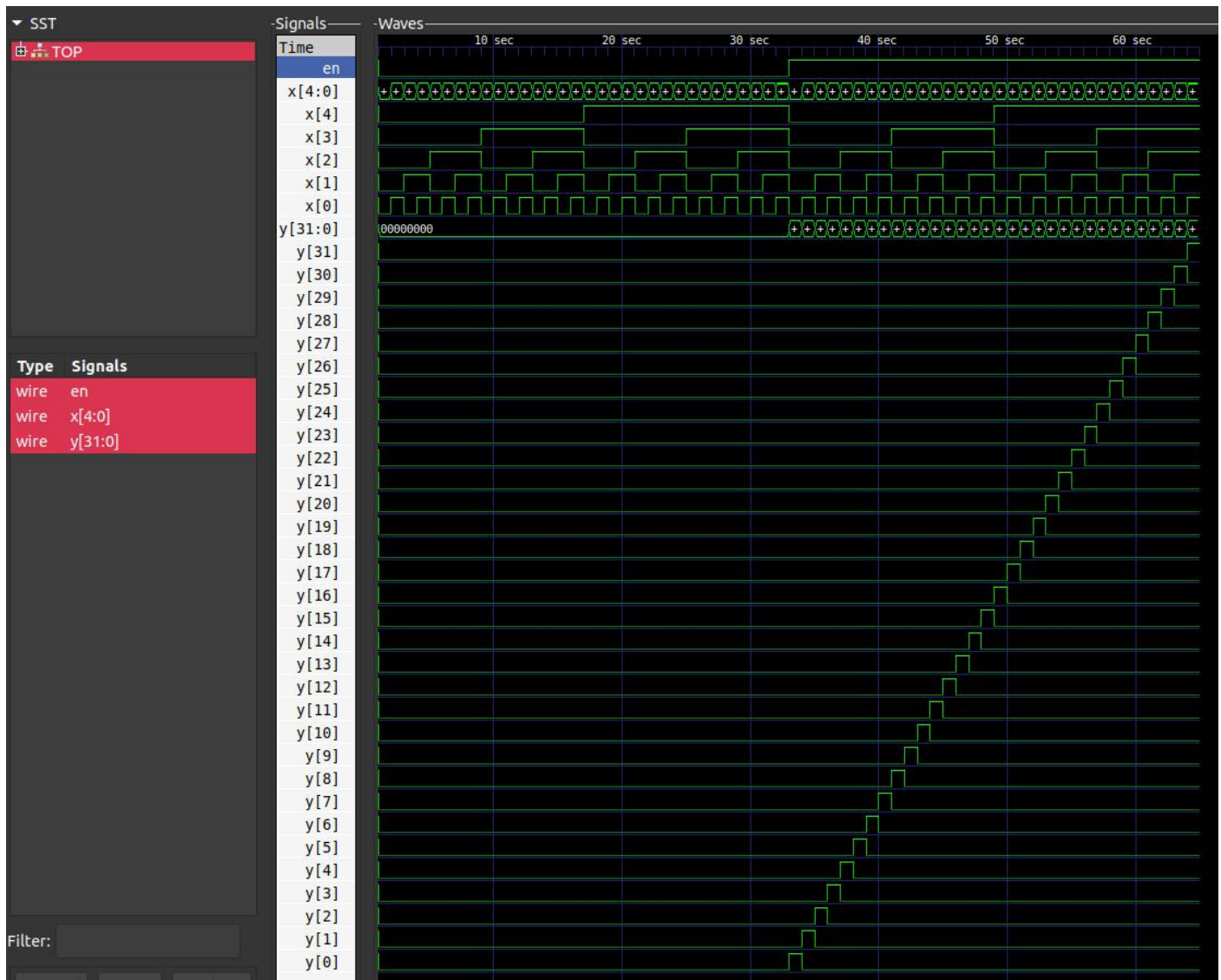
-rwxrwxr-x 1 yanyusong yanyusong 221592 12 月 8 15:38 Vdecode_5to32_case
-rw-rw-r-- 1 yanyusong yanyusong 5366 12 月 8 15:38 Vdecode_5to32_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3085 12 月 8 15:38 Vdecode_5to32_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1946 12 月 8 15:38 Vdecode_5to32_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 36826 12 月 8 15:38 Vdecode_5to32_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 16137 12 月 8 15:38 Vdecode_5to32_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 17921 12 月 8 15:38 Vdecode_5to32_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:38 Vdecode_5to32_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 17842 12 月 8 15:38 Vdecode_5to32_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 19800 12 月 8 15:38 Vdecode_5to32_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 19518 12 月 8 15:38 Vdecode_5to32_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 20942 12 月 8 15:38 Vdecode_5to32_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 20547 12 月 8 15:38 Vdecode_5to32_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 20804 12 月 8 15:38 Vdecode_5to32_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 21260 12 月 8 15:38 Vdecode_5to32_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 21535 12 月 8 15:38 Vdecode_5to32_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 21254 12 月 8 15:38 Vdecode_5to32_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 20687 12 月 8 15:38 Vdecode_5to32_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 27580 12 月 8 15:38 Vdecode_5to32_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 27412 12 月 8 15:38 Vdecode_5to32_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 49314 12 月 8 15:38 Vdecode_5to32_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 48899 12 月 8 15:38 Vdecode_5to32_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 31868 12 月 8 15:38 Vdecode_5to32_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 25314 12 月 8 15:38 Vdecode_5to32_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 15443 12 月 8 15:38 Vdecode_5to32_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 14967 12 月 8 15:38 Vdecode_5to32_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 18098 12 月 8 15:38 Vdecode_5to32_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 15745 12 月 8 15:38 Vdecode_5to32_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 14346 12 月 8 15:38 Vdecode_5to32_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 14338 12 月 8 15:38 Vdecode_5to32_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 56750 12 月 8 15:38 Vdecode_5to32_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 54088 12 月 8 15:38 Vdecode_5to32_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 54453 12 月 8 15:38 Vdecode_5to32_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 55044 12 月 8 15:38 Vdecode_5to32_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 61344 12 月 8 15:38 Vdecode_5to32_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 48318 12 月 8 15:38 Vdecode_5to32_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 46596 12 月 8 15:38 Vdecode_5to32_case_069_combine.tree

```

-rw-rw-r-- 1 yanyusong yanyusong 46458 12 月 8 15:38 Vdecode_5to32_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 45562 12 月 8 15:38 Vdecode_5to32_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 47408 12 月 8 15:38 Vdecode_5to32_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 49686 12 月 8 15:38 Vdecode_5to32_case_073_premitt.tree
-rw-rw-r-- 1 yanyusong yanyusong 49823 12 月 8 15:38 Vdecode_5to32_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 47875 12 月 8 15:38 Vdecode_5to32_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 47242 12 月 8 15:38 Vdecode_5to32_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 48166 12 月 8 15:38 Vdecode_5to32_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 51237 12 月 8 15:38 Vdecode_5to32_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 51274 12 月 8 15:38 Vdecode_5to32_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:38 Vdecode_5to32_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 52732 12 月 8 15:38 Vdecode_5to32_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25324 12 月 8 15:38 Vdecode_5to32_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 629 12 月 8 15:38 Vdecode_5to32_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1082 12 月 8 15:38 Vdecode_5to32_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21456 12 月 8 15:38 Vdecode_5to32_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 1097 12 月 8 15:38 Vdecode_5to32_case__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 850 12 月 8 15:38 Vdecode_5to32_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1199 12 月 8 15:38 Vdecode_5to32_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1958 12 月 8 15:38 Vdecode_5to32_case__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3517 12 月 8 15:38 Vdecode_5to32_case__Trace__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1146 12 月 8 15:38 Vdecode_5to32_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1595 12 月 8 15:38
Vdecode_5to32_case__024root_DepSet_h30d20a4a__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 973 12 月 8 15:38
Vdecode_5to32_case__024root_DepSet_h30d20a4a__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 5902 12 月 8 15:38
Vdecode_5to32_case__024root_DepSet_h9a703825__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6139 12 月 8 15:38
Vdecode_5to32_case__024root_DepSet_h9a703825__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 776 12 月 8 15:38 Vdecode_5to32_case__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57428 12 月 8 15:38 Vdecode_5to32_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3905 12 月 8 15:38 Vdecode_5to32_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10471 12 月 8 15:38 Vdecode_5to32_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1857 12 月 8 15:38 Vdecode_5to32_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 2664 12 月 8 15:38 Vdecode_5to32_case_decode_5to32_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 665 12 月 8 15:38 decode_5to32_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 13024 12 月 8 15:38 decode_5to32_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 2373 12 月 8 15:38 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 15:38 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 15:38 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 15:38 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 15:38 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 15:38 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 15:38 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



实验二：使用 for 语句编写译码器

实验环境：

- 5) 操作系统 Ubuntu Linux 22.04.1 LTS (Jammy)
- 6) 工作目录“/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02”
- 7) 编辑软件： Visual Studio Code
- 8) 软件环境： Verilator (5.003), g++ (11.2.0-1ubuntu1)

实验目的：继续熟悉 Verilog HDL 相关语句的用法，了解译码器的工作原理，熟悉激励文件的写法，使用 Verilator 和 GTKWave 对仿真结果进行查看和分析。

实验基础：译码器的原理：将某一输入信息转换为某一特定输出的逻辑电路，通常是 n 位输入并给出 2^n 位输出。任何时刻中，只有一个输出是 1 位有效，其余各位都是 0，这样的二进制编码器也叫独热编码。Verilog 中可以通过 for 循环语句来实现编码器的功能，对于 y 的每一位（记作 i ）当且仅当 $x=i$ 时， $y[i]$ 才会等于 1，因此可以使用 if else 语句来给 $y[i]$ 赋值。

第一轮实验：编写设计 1-2 独热译码器

实验过程 1：通过得出的译码器工作原理，依据 Verilog HDL 语法，写出带有 for 循环的 1-2 独热译码器的硬件描述代码：

```
module decode_1to2_for (x, en, y);
    input [0:0] x;
    input en;
    output reg [1:0] y;
    integer i;

    always @(x or en)
    begin
```

```

if (en)
begin
    /* verilator lint_off WIDTH */
    for (i=0; i <= 1; i = i + 1)
        if (x == i)
            y[i] = 1;
        else
            y[i] = 0;
    /* verilator lint_on WIDTH */
end
else
    y = 2'b00;
end
endmodule

```

实验过程 2: 给 1-2 独热译码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_1to2_for/obj_dir/Vdecode_1to2_for.h"

```

```

#include <iostream>

```

```

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

```

```

static Vdecode_1to2_for* top;

```

```

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

```

```

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_1to2_for;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}

```

```

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp->close();
}

```

```

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a Decoder modeled by for");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top->en = 0b0;
}

```

```

top -> x = 0b0;
step_and_dump_wave();

top -> en = 0b0;
top -> x = 0b1;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b0;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b1;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_1to2_for”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

total 2112

```

-rwxrwxr-x 1 yanyusong yanyusong 221368 12 月 8 13:26 Vdecode_1to2_for
-rw-rw-r-- 1 yanyusong yanyusong 5266 12 月 8 13:26 Vdecode_1to2_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3063 12 月 8 13:26 Vdecode_1to2_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1928 12 月 8 13:26 Vdecode_1to2_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 33174 12 月 8 13:26 Vdecode_1to2_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5496 12 月 8 13:26 Vdecode_1to2_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 6590 12 月 8 13:26 Vdecode_1to2_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 6561 12 月 8 13:26 Vdecode_1to2_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8211 12 月 8 13:26 Vdecode_1to2_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8181 12 月 8 13:26 Vdecode_1to2_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 8544 12 月 8 13:26 Vdecode_1to2_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8181 12 月 8 13:26 Vdecode_1to2_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 8178 12 月 8 13:26 Vdecode_1to2_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 8269 12 月 8 13:26 Vdecode_1to2_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 8848 12 月 8 13:26 Vdecode_1to2_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 8955 12 月 8 13:26 Vdecode_1to2_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 8840 12 月 8 13:26 Vdecode_1to2_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8264 12 月 8 13:26 Vdecode_1to2_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12285 12 月 8 13:26 Vdecode_1to2_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12146 12 月 8 13:26 Vdecode_1to2_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 13:26 Vdecode_1to2_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 12472 12 月 8 13:26 Vdecode_1to2_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:26 Vdecode_1to2_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 11452 12 月 8 13:26 Vdecode_1to2_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10918 12 月 8 13:26 Vdecode_1to2_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 13:26 Vdecode_1to2_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 9837 12 月 8 13:26 Vdecode_1to2_for_047_const.tree

```

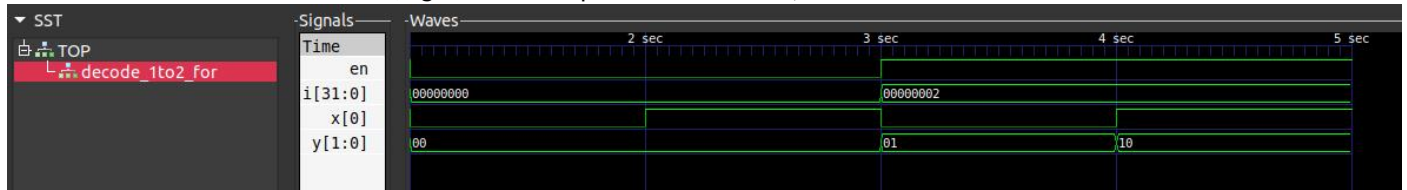
```

-rw-rw-r-- 1 yanyusong yanyusong 9192 12月 8 13:26 Vdecode_1to2_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 8740 12月 8 13:26 Vdecode_1to2_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 9095 12月 8 13:26 Vdecode_1to2_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 12668 12月 8 13:26 Vdecode_1to2_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 10371 12月 8 13:26 Vdecode_1to2_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 10027 12月 8 13:26 Vdecode_1to2_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8978 12月 8 13:26 Vdecode_1to2_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 8970 12月 8 13:26 Vdecode_1to2_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 52247 12月 8 13:26 Vdecode_1to2_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 49579 12月 8 13:26 Vdecode_1to2_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 49944 12月 8 13:26 Vdecode_1to2_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 50535 12月 8 13:26 Vdecode_1to2_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 57510 12月 8 13:26 Vdecode_1to2_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 44211 12月 8 13:26 Vdecode_1to2_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 42294 12月 8 13:26 Vdecode_1to2_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 42152 12月 8 13:26 Vdecode_1to2_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 41348 12月 8 13:26 Vdecode_1to2_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 43175 12月 8 13:26 Vdecode_1to2_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 45447 12月 8 13:26 Vdecode_1to2_for_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 45590 12月 8 13:26 Vdecode_1to2_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 43642 12月 8 13:26 Vdecode_1to2_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 43226 12月 8 13:26 Vdecode_1to2_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 44167 12月 8 13:26 Vdecode_1to2_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 47493 12月 8 13:26 Vdecode_1to2_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 47560 12月 8 13:26 Vdecode_1to2_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 13:26 Vdecode_1to2_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 48877 12月 8 13:26 Vdecode_1to2_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24784 12月 8 13:26 Vdecode_1to2_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 564 12月 8 13:26 Vdecode_1to2_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1012 12月 8 13:26 Vdecode_1to2_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21120 12月 8 13:26 Vdecode_1to2_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 834 12月 8 13:26 Vdecode_1to2_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1181 12月 8 13:26 Vdecode_1to2_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1982 12月 8 13:26 Vdecode_1to2_for__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3556 12月 8 13:26 Vdecode_1to2_for__Trace__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1169 12月 8 13:26 Vdecode_1to2_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 5754 12月 8 13:26 Vdecode_1to2_for__024root__DepSet_hfd523695__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6087 12月 8 13:26
Vdecode_1to2_for__024root__DepSet_hfd523695__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1561 12月 8 13:26 Vdecode_1to2_for__024root__DepSet_hfde3958c__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 953 12月 8 13:26
Vdecode_1to2_for__024root__DepSet_hfde3958c__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 752 12月 8 13:26 Vdecode_1to2_for__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57824 12月 8 13:26 Vdecode_1to2_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3685 12月 8 13:26 Vdecode_1to2_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10174 12月 8 13:26 Vdecode_1to2_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1802 12月 8 13:26 Vdecode_1to2_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 590 12月 8 13:26 Vdecode_1to2_for_decode_1to2_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 657 12月 8 13:26 decode_1to2_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 8568 12月 8 13:26 decode_1to2_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 503 12月 8 13:26 dump.vcd

```

```
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 8 13:26 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 8 13:26 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 8 13:26 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 8 13:26 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 8 13:26 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 8 13:26 verilated_vcd_c.o
```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第二轮实验: 编写设计 2-4 独热译码器

实验过程 1: 通过得出的译码器工作原理，依据 Verilog HDL 语法，写出带有 for 循环的 2-4 独热译码器的硬件描述代码:

```
module decode_2to4_for (x, en, y);
    input [1:0] x;
    input en;
    output reg [3:0] y;
    integer i;

    always @(x or en)
    begin
        if (en)
        begin
            /* verilator lint_off WIDTH */
            for (i=0; i <= 3; i = i + 1)
            if (x == i)
                y[i] = 1;
            else
                y[i] = 0;
            /* verilator lint_on WIDTH */
        end
        else
            y = 4'b0000;
        end
    end
endmodule
```

实验过程 2: 给 2-4 独热编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_2to4_for/obj_dir/Vdecode_2to4_for.h"
```

```
#include <iostream>
```

```
VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;
```

```
static Vdecode_2to4_for* top;
```

```
void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}
```

```
void sim_init() // Initilize the simulator
{
```

```

contextp = new VerilatedContext;
tfp = new VerilatedVcdC;
top = new Vdecode_2to4_for;
contextp -> traceEverOn(true);
top -> trace (tfp, 0);
tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 2 to 4 Decoder modeled by for");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b00;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b01;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b10;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b11;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b00;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b01;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b10;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b11;
    step_and_dump_wave();

    sim_exit();
}

```

实验过程 3：使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_2to4_for”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

total 2200

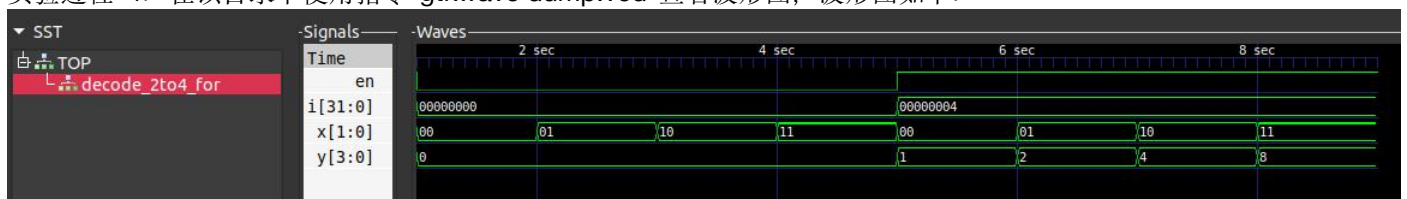
-rwxrwxr-x 1 yanyusong yanyusong 221368 12 月 8 14:01 Vdecode_2to4_for
-rw-rw-r-- 1 yanyusong yanyusong 5266 12 月 8 14:01 Vdecode_2to4_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3063 12 月 8 14:01 Vdecode_2to4_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1928 12 月 8 14:01 Vdecode_2to4_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 35396 12 月 8 14:01 Vdecode_2to4_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5723 12 月 8 14:01 Vdecode_2to4_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 6815 12 月 8 14:01 Vdecode_2to4_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 6786 12 月 8 14:01 Vdecode_2to4_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8679 12 月 8 14:01 Vdecode_2to4_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8392 12 月 8 14:01 Vdecode_2to4_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 8755 12 月 8 14:01 Vdecode_2to4_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8392 12 月 8 14:01 Vdecode_2to4_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 8389 12 月 8 14:01 Vdecode_2to4_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 8480 12 月 8 14:01 Vdecode_2to4_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9059 12 月 8 14:01 Vdecode_2to4_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 9166 12 月 8 14:01 Vdecode_2to4_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9051 12 月 8 14:01 Vdecode_2to4_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8288 12 月 8 14:01 Vdecode_2to4_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12309 12 月 8 14:01 Vdecode_2to4_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12170 12 月 8 14:01 Vdecode_2to4_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:01 Vdecode_2to4_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 16848 12 月 8 14:01 Vdecode_2to4_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 14760 12 月 8 14:01 Vdecode_2to4_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 13166 12 月 8 14:01 Vdecode_2to4_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 12301 12 月 8 14:01 Vdecode_2to4_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12066 12 月 8 14:01 Vdecode_2to4_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 11662 12 月 8 14:01 Vdecode_2to4_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 12004 12 月 8 14:01 Vdecode_2to4_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 15576 12 月 8 14:01 Vdecode_2to4_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 13279 12 月 8 14:01 Vdecode_2to4_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12231 12 月 8 14:01 Vdecode_2to4_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 12223 12 月 8 14:01 Vdecode_2to4_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 57791 12 月 8 14:01 Vdecode_2to4_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 55125 12 月 8 14:01 Vdecode_2to4_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 55490 12 月 8 14:01 Vdecode_2to4_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 56137 12 月 8 14:01 Vdecode_2to4_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 63056 12 月 8 14:01 Vdecode_2to4_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 48773 12 月 8 14:01 Vdecode_2to4_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 44794 12 月 8 14:01 Vdecode_2to4_for_069_combine.tree

```

-rw-rw-r-- 1 yanyusong yanyusong 44652 12 月 8 14:01 Vdecode_2to4_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 43848 12 月 8 14:01 Vdecode_2to4_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 46277 12 月 8 14:01 Vdecode_2to4_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 48529 12 月 8 14:01 Vdecode_2to4_for_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 49421 12 月 8 14:01 Vdecode_2to4_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 47454 12 月 8 14:01 Vdecode_2to4_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 46140 12 月 8 14:01 Vdecode_2to4_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 47237 12 月 8 14:01 Vdecode_2to4_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 50557 12 月 8 14:01 Vdecode_2to4_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 50634 12 月 8 14:01 Vdecode_2to4_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:01 Vdecode_2to4_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 51961 12 月 8 14:01 Vdecode_2to4_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24816 12 月 8 14:01 Vdecode_2to4_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 564 12 月 8 14:01 Vdecode_2to4_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1012 12 月 8 14:01 Vdecode_2to4_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21152 12 月 8 14:01 Vdecode_2to4_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 834 12 月 8 14:01 Vdecode_2to4_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1181 12 月 8 14:01 Vdecode_2to4_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1986 12 月 8 14:01 Vdecode_2to4_for__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3560 12 月 8 14:01 Vdecode_2to4_for__Trace__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1169 12 月 8 14:01 Vdecode_2to4_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 6395 12 月 8 14:01 Vdecode_2to4_for__024root_DepSet_h1251a6ac__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6087 12 月 8 14:01
Vdecode_2to4_for__024root_DepSet_h1251a6ac__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1561 12 月 8 14:01 Vdecode_2to4_for__024root_DepSet_hc21d96b4__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 953 12 月 8 14:01
Vdecode_2to4_for__024root_DepSet_hc21d96b4__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 752 12 月 8 14:01 Vdecode_2to4_for__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 58144 12 月 8 14:01 Vdecode_2to4_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3685 12 月 8 14:01 Vdecode_2to4_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10174 12 月 8 14:01 Vdecode_2to4_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1802 12 月 8 14:01 Vdecode_2to4_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 592 12 月 8 14:01 Vdecode_2to4_for_decode_2to4_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 657 12 月 8 14:01 decode_2to4_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 8872 12 月 8 14:01 decode_2to4_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 573 12 月 8 14:02 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 14:01 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 14:01 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 14:01 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 14:01 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 14:01 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 14:01 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第三轮实验: 编写设计 3-8 独热译码器

实验过程 1: 通过得出的译码器工作原理，依据 Verilog HDL 语法，写出带有 for 循环的 3-8 独热译码器的硬件描述代码:

```

module decode_3to8_for (x, en, y);
    input [2:0] x;
    input en;
    output reg [7:0] y;
    integer i;

```



```

always @(x or en)
begin
    if (en)
    begin
        /* verilator lint_off WIDTH */
        for (i=0; i <= 7; i = i + 1)
            if (x == i)
                y[i] = 1;
            else
                y[i] = 0;
        /* verilator lint_on WIDTH */
    end
    else
        y = 8'b00000000;
    end
endmodule

```

实验过程 2: 给 3-8 独热译码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_3to8_for/obj_dir/Vdecode_3to8_for.h"

```

```

#include <iostream>

```

```

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

```

```

static Vdecode_3to8_for* top;

```

```

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

```

```

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_3to8_for;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}

```

```

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp->close();
}

```

```

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 3 to 8 Decoder modeled by for");
    printf("\n");

    // Simulator Main Parts

```

```
sim_init();
```

```
top -> en = 0b0;  
top -> x = 0b0000;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b001;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b010;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b011;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b100;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b101;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b110;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b111;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b000;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b001;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b010;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b011;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b100;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b101;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b110;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b111;
```

```
step_and_dump_wave();

sim_exit();
}
```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vdecode_3to8_for”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

total 2316

```
-rwxrwxr-x 1 yanyusong yanyusong 221368 12 月 8 14:40 Vdecode_3to8_for
-rw-rw-r-- 1 yanyusong yanyusong 5266 12 月 8 14:40 Vdecode_3to8_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3063 12 月 8 14:40 Vdecode_3to8_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1928 12 月 8 14:40 Vdecode_3to8_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 38256 12 月 8 14:40 Vdecode_3to8_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5950 12 月 8 14:40 Vdecode_3to8_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 7040 12 月 8 14:40 Vdecode_3to8_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 7011 12 月 8 14:40 Vdecode_3to8_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8904 12 月 8 14:40 Vdecode_3to8_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8486 12 月 8 14:40 Vdecode_3to8_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 8849 12 月 8 14:40 Vdecode_3to8_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8486 12 月 8 14:40 Vdecode_3to8_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 8483 12 月 8 14:40 Vdecode_3to8_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 8574 12 月 8 14:40 Vdecode_3to8_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9153 12 月 8 14:40 Vdecode_3to8_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 9260 12 月 8 14:40 Vdecode_3to8_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9145 12 月 8 14:40 Vdecode_3to8_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8288 12 月 8 14:40 Vdecode_3to8_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12309 12 月 8 14:40 Vdecode_3to8_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12170 12 月 8 14:40 Vdecode_3to8_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 14:40 Vdecode_3to8_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 25552 12 月 8 14:40 Vdecode_3to8_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 21328 12 月 8 14:40 Vdecode_3to8_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 17614 12 月 8 14:40 Vdecode_3to8_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 15116 12 月 8 14:40 Vdecode_3to8_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 14644 12 月 8 14:40 Vdecode_3to8_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 14304 12 月 8 14:40 Vdecode_3to8_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 14619 12 月 8 14:40 Vdecode_3to8_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 18190 12 月 8 14:40 Vdecode_3to8_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 15893 12 月 8 14:40 Vdecode_3to8_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 14845 12 月 8 14:40 Vdecode_3to8_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 14837 12 月 8 14:40 Vdecode_3to8_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 63158 12 月 8 14:40 Vdecode_3to8_for_059_sched.tree
```

```

-rw-rw-r-- 1 yanyusong yanyusong 60492 12 月 8 14:40 Vdecode_3to8_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 60857 12 月 8 14:40 Vdecode_3to8_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 61574 12 月 8 14:40 Vdecode_3to8_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 68423 12 月 8 14:40 Vdecode_3to8_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 52950 12 月 8 14:40 Vdecode_3to8_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 46773 12 月 8 14:40 Vdecode_3to8_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 46631 12 月 8 14:40 Vdecode_3to8_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 45827 12 月 8 14:40 Vdecode_3to8_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 48105 12 月 8 14:40 Vdecode_3to8_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 50342 12 月 8 14:40 Vdecode_3to8_for_073_premit.tree
-rw-rw-r-- 1 yanyusong yanyusong 52198 12 月 8 14:40 Vdecode_3to8_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 50210 12 月 8 14:40 Vdecode_3to8_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 49575 12 月 8 14:40 Vdecode_3to8_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 51169 12 月 8 14:40 Vdecode_3to8_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 54260 12 月 8 14:40 Vdecode_3to8_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 54351 12 月 8 14:40 Vdecode_3to8_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 14:40 Vdecode_3to8_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 55672 12 月 8 14:40 Vdecode_3to8_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24944 12 月 8 14:40 Vdecode_3to8_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 564 12 月 8 14:40 Vdecode_3to8_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1012 12 月 8 14:40 Vdecode_3to8_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21280 12 月 8 14:40 Vdecode_3to8_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 834 12 月 8 14:40 Vdecode_3to8_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1181 12 月 8 14:40 Vdecode_3to8_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1986 12 月 8 14:40 Vdecode_3to8_for__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3560 12 月 8 14:40 Vdecode_3to8_for__Trace__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1169 12 月 8 14:40 Vdecode_3to8_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 6326 12 月 8 14:40 Vdecode_3to8_for__024root__DepSet_h5e71904b__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6087 12 月 8 14:40
Vdecode_3to8_for__024root__DepSet_h5e71904b__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1561 12 月 8 14:40 Vdecode_3to8_for__024root__DepSet_ha78f3b1c__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 953 12 月 8 14:40
Vdecode_3to8_for__024root__DepSet_ha78f3b1c__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 752 12 月 8 14:40 Vdecode_3to8_for__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 58144 12 月 8 14:40 Vdecode_3to8_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3685 12 月 8 14:40 Vdecode_3to8_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10174 12 月 8 14:40 Vdecode_3to8_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1802 12 月 8 14:40 Vdecode_3to8_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 596 12 月 8 14:40 Vdecode_3to8_for_decode_3to8_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 657 12 月 8 14:40 decode_3to8_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9464 12 月 8 14:40 decode_3to8_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 737 12 月 8 14:41 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 14:40 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 14:40 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 14:40 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 14:40 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 14:40 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 14:40 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



第四轮实验：编写设计 4-16 独热译码器

实验过程 1：通过得出的译码器工作原理，依据 Verilog HDL 语法，写出带有 for 循环的 4-16 独热译码器的硬件描述代码：

```
module decode_4to16_for (x, en, y);
    input [3:0] x;
    input en;
    output reg [15:0] y;
    integer i;

    always @(x or en)
    begin
        if (en)
        begin
            /* verilator lint_off WIDTH */
            for (i=0; i <= 15; i = i + 1)
                if (x == i)
                    y[i] = 1;
                else
                    y[i] = 0;
            /* verilator lint_on WIDTH */
        end
        else
            y = 16'b0000000000000000;
        end
    end
endmodule
```

实验过程 2：给 4-16 独热译码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_4to16_for/obj_dir/Vdecode_4to16_for.h"
```

```
#include <iostream>
```

```
VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;
```

```
static Vdecode_4to16_for* top;
```

```
void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}
```

```
void sim_init() // Initialize the simulator
{
```

```

contextp = new VerilatedContext;
tftp = new VerilatedVcdC;
top = new Vdecode_4to16_for;
contextp -> traceEverOn(true);
top -> trace (tftp, 0);
tftp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tftp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 4 to 16 Decoder modeled by for");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b0000;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0001;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0010;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0011;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0100;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0101;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0110;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b0111;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b1000;
    step_and_dump_wave();

    top -> en = 0b0;
    top -> x = 0b1001;
    step_and_dump_wave();

```

```
top -> en = 0b0;  
top -> x = 0b1010;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1011;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1100;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1101;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1110;  
step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b1111;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0000;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0001;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0010;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0011;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0100;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0101;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0110;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0111;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1000;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b1001;  
step_and_dump_wave();
```

```

top -> en = 0b1;
top -> x = 0b1010;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b1011;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b1100;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b1101;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b1110;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b1111;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_4to16_for”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

total 2568

```

-rwxrwxr-x 1 yanyusong yanyusong 221448 12 月 8 15:11 Vdecode_4to16_for
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 15:11 Vdecode_4to16_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3076 12 月 8 15:11 Vdecode_4to16_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 15:11 Vdecode_4to16_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 44531 12 月 8 15:11 Vdecode_4to16_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5957 12 月 8 15:11 Vdecode_4to16_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 7047 12 月 8 15:11 Vdecode_4to16_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 7018 12 月 8 15:11 Vdecode_4to16_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8923 12 月 8 15:11 Vdecode_4to16_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8505 12 月 8 15:11 Vdecode_4to16_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 8871 12 月 8 15:11 Vdecode_4to16_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8508 12 月 8 15:11 Vdecode_4to16_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 8505 12 月 8 15:11 Vdecode_4to16_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 8596 12 月 8 15:11 Vdecode_4to16_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9195 12 月 8 15:11 Vdecode_4to16_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 9302 12 月 8 15:11 Vdecode_4to16_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9187 12 月 8 15:11 Vdecode_4to16_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8328 12 月 8 15:11 Vdecode_4to16_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12374 12 月 8 15:11 Vdecode_4to16_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12233 12 月 8 15:11 Vdecode_4to16_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_037_const.tree

```



```

-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:11 Vdecode_4to16_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 43116 12 月 8 15:11 Vdecode_4to16_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 34621 12 月 8 15:11 Vdecode_4to16_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 26622 12 月 8 15:11 Vdecode_4to16_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 21589 12 月 8 15:11 Vdecode_4to16_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 21312 12 月 8 15:11 Vdecode_4to16_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 21108 12 月 8 15:11 Vdecode_4to16_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 21370 12 月 8 15:11 Vdecode_4to16_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 24958 12 月 8 15:11 Vdecode_4to16_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 22636 12 月 8 15:11 Vdecode_4to16_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 21576 12 月 8 15:11 Vdecode_4to16_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 21568 12 月 8 15:11 Vdecode_4to16_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 75989 12 月 8 15:11 Vdecode_4to16_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 73323 12 月 8 15:11 Vdecode_4to16_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 73688 12 月 8 15:11 Vdecode_4to16_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 74559 12 月 8 15:11 Vdecode_4to16_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 81270 12 月 8 15:11 Vdecode_4to16_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 63155 12 月 8 15:11 Vdecode_4to16_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 52111 12 月 8 15:11 Vdecode_4to16_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 51969 12 月 8 15:11 Vdecode_4to16_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 51165 12 月 8 15:11 Vdecode_4to16_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 54107 12 月 8 15:11 Vdecode_4to16_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 56301 12 月 8 15:11 Vdecode_4to16_for_073_premit.tree
-rw-rw-r-- 1 yanyusong yanyusong 60280 12 月 8 15:11 Vdecode_4to16_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 58245 12 月 8 15:11 Vdecode_4to16_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 56712 12 月 8 15:11 Vdecode_4to16_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 59399 12 月 8 15:11 Vdecode_4to16_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 62691 12 月 8 15:11 Vdecode_4to16_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 62808 12 月 8 15:11 Vdecode_4to16_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:11 Vdecode_4to16_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 64143 12 月 8 15:11 Vdecode_4to16_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25314 12 月 8 15:11 Vdecode_4to16_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 573 12 月 8 15:11 Vdecode_4to16_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1029 12 月 8 15:11 Vdecode_4to16_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21576 12 月 8 15:11 Vdecode_4to16_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 15:11 Vdecode_4to16_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 15:11 Vdecode_4to16_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 2006 12 月 8 15:11 Vdecode_4to16_for__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3597 12 月 8 15:11 Vdecode_4to16_for__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1182 12 月 8 15:11 Vdecode_4to16_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 7400 12 月 8 15:11 Vdecode_4to16_for__024root_DepSet_h345f46be_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6144 12 月 8 15:11
Vdecode_4to16_for__024root_DepSet_h345f46be_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 15:11
Vdecode_4to16_for__024root_DepSet_hb039bebf_0.cpp

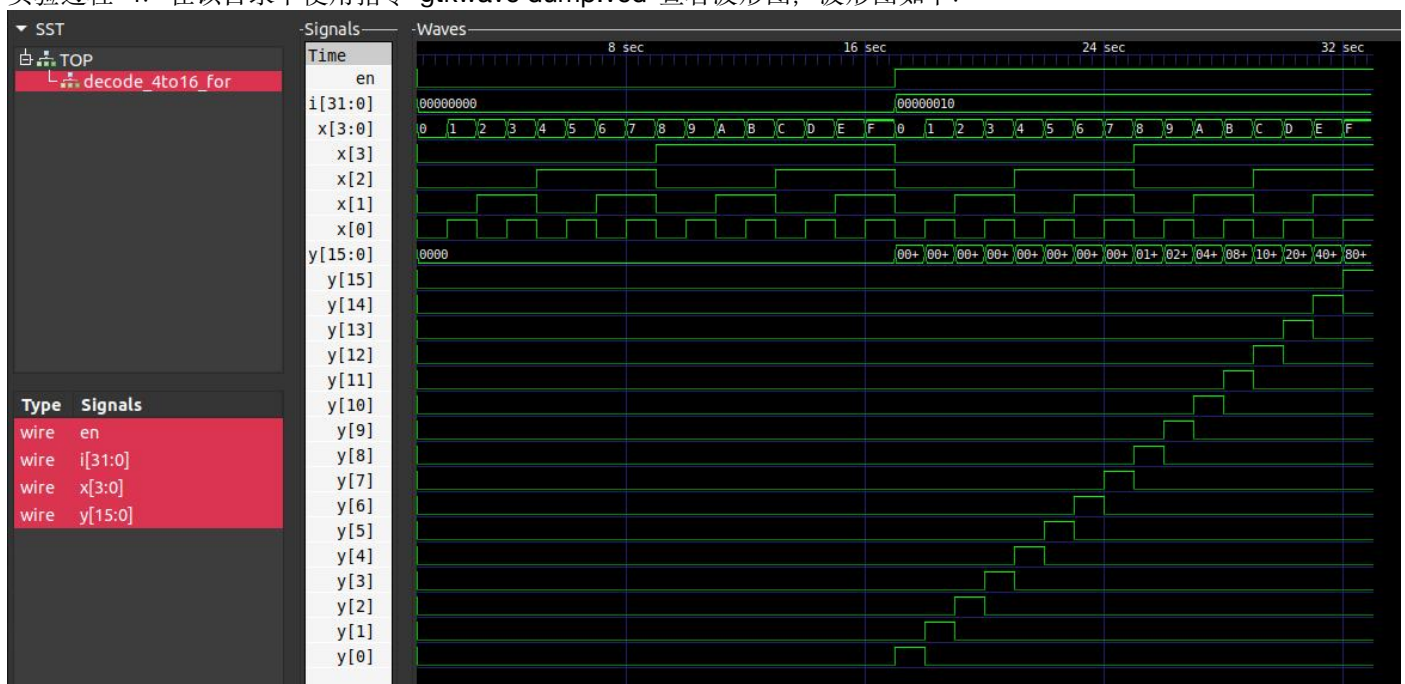
```

```

-rw-rw-r-- 1 yanyusong yanyusong 963 12月 8 15:11
Vdecode_4to16_for__024root_DepSet_hb039bebf_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12月 8 15:11 Vdecode_4to16_for__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 58146 12月 8 15:11 Vdecode_4to16_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3773 12月 8 15:11 Vdecode_4to16_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10265 12月 8 15:11 Vdecode_4to16_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1812 12月 8 15:11 Vdecode_4to16_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 611 12月 8 15:11 Vdecode_4to16_for_decode_4to16_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 661 12月 8 15:11 decode_4to16_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 10648 12月 8 15:11 decode_4to16_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 1180 12月 8 15:11 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 8 15:11 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 8 15:11 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 8 15:11 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 8 15:11 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 8 15:11 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 8 15:11 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第五轮实验: 编写设计 5-32 独热译码器

实验过程 1: 通过得出的译码器工作原理，依据 Verilog HDL 语法，写出带有 for 循环的 5-32 独热译码器的硬件描述代码:

```

module decode_5to32_for (x, en, y);
    input [4:0] x;
    input en;
    output reg [31:0] y;
    integer i;
    always @(x or en)
    begin
        if (en)
        begin
            /* verilator lint_off WIDTH */
            for (i=0; i <= 31; i = i + 1)
            if (x == i)
                y[i] = 1;
            else
                y[i] = 0;
            /* verilator lint_on WIDTH */
        end
        else
            y = 32'b00000000000000000000000000000000;
    end
end

```

```
end
endmodule
```

实验过程 2: 给 5-32 独热译码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/decode_5to32_for/obj_dir/Vdecode_5to32_for.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vdecode_5to32_for* top;

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vdecode_5to32_for;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp->close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 5 to 32 Decoder modeled by for");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top->en = 0b0;
    top->x = 0b000000;
    step_and_dump_wave();
    top->en = 0b0;
    top->x = 0b000001;
    step_and_dump_wave();
    top->en = 0b0;
    top->x = 0b000010;
    step_and_dump_wave();
    top->en = 0b0;
    top->x = 0b000011;
    step_and_dump_wave();
    top->en = 0b0;
```

```
top -> x = 0b00100;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00101;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00110;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b00111;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01000;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01001;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01010;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01011;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01100;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01101;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01110;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01111;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10000;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10001;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10010;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10011;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10100;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10101;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10110;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10111;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11000;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11001;
```

```
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11010;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11011;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11100;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11101;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11110;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b11111;
step_and_dump_wave();
```

```
top -> en = 0b1;
top -> x = 0b00000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00001;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00010;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00011;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00100;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00101;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00110;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00111;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01001;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01010;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01011;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01100;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01101;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01110;
```

```

step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01111;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10001;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10010;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10011;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10100;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10101;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10110;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10111;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11001;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11010;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11011;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11100;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11101;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11110;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b11111;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vdecode_5to32_for”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

total 3024

```

-rwxrwxr-x 1 yanyusong yanyusong 225544 12 月 8 15:52 Vdecode_5to32_for
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 15:52 Vdecode_5to32_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 15:52 Vdecode_5to32_for.h

```

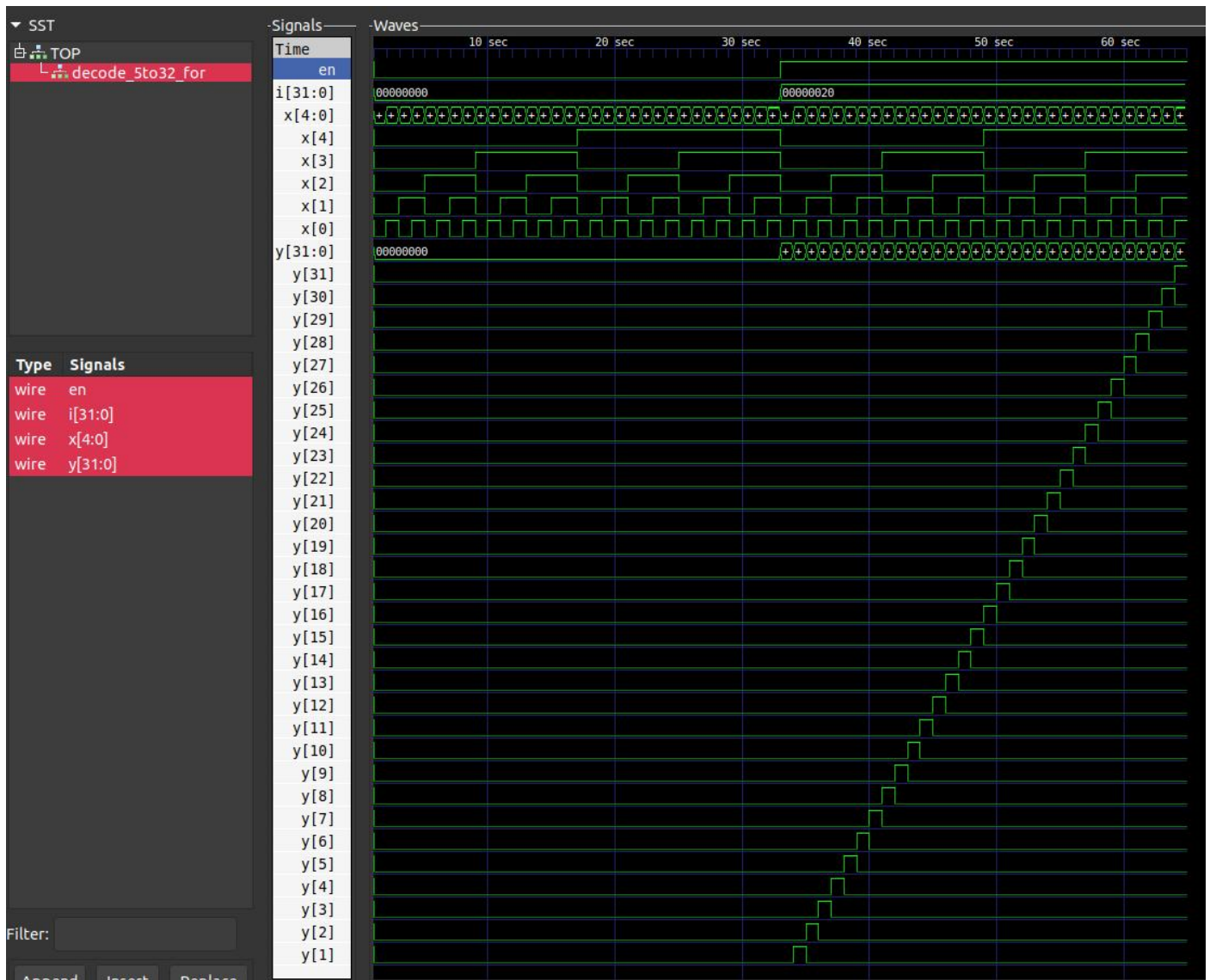
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 15:52 Vdecode_5to32_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 55198 12 月 8 15:52 Vdecode_5to32_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5958 12 月 8 15:52 Vdecode_5to32_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 7048 12 月 8 15:52 Vdecode_5to32_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 7019 12 月 8 15:52 Vdecode_5to32_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8700 12 月 8 15:52 Vdecode_5to32_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8289 12 月 8 15:52 Vdecode_5to32_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 8650 12 月 8 15:52 Vdecode_5to32_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8288 12 月 8 15:52 Vdecode_5to32_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 8285 12 月 8 15:52 Vdecode_5to32_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 8376 12 月 8 15:52 Vdecode_5to32_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 8975 12 月 8 15:52 Vdecode_5to32_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 9082 12 月 8 15:52 Vdecode_5to32_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 8967 12 月 8 15:52 Vdecode_5to32_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8108 12 月 8 15:52 Vdecode_5to32_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12154 12 月 8 15:52 Vdecode_5to32_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12013 12 月 8 15:52 Vdecode_5to32_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 15:52 Vdecode_5to32_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 77871 12 月 8 15:52 Vdecode_5to32_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:52 Vdecode_5to32_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 60832 12 月 8 15:52 Vdecode_5to32_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 44289 12 月 8 15:52 Vdecode_5to32_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 15:52 Vdecode_5to32_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 33218 12 月 8 15:52 Vdecode_5to32_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 32664 12 月 8 15:52 Vdecode_5to32_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 32724 12 月 8 15:52 Vdecode_5to32_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 32880 12 月 8 15:52 Vdecode_5to32_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 36488 12 月 8 15:52 Vdecode_5to32_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 34166 12 月 8 15:52 Vdecode_5to32_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 33106 12 月 8 15:52 Vdecode_5to32_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 33098 12 月 8 15:52 Vdecode_5to32_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 99577 12 月 8 15:52 Vdecode_5to32_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 96884 12 月 8 15:52 Vdecode_5to32_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 97253 12 月 8 15:52 Vdecode_5to32_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 98418 12 月 8 15:52 Vdecode_5to32_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 104917 12 月 8 15:52 Vdecode_5to32_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 81717 12 月 8 15:52 Vdecode_5to32_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 61398 12 月 8 15:52 Vdecode_5to32_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 61254 12 月 8 15:52 Vdecode_5to32_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 60443 12 月 8 15:52 Vdecode_5to32_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 63356 12 月 8 15:52 Vdecode_5to32_for_072_clean.tree

```

-rw-rw-r-- 1 yanyusong yanyusong 65521 12 月 8 15:52 Vdecode_5to32_for_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 73613 12 月 8 15:52 Vdecode_5to32_for_074_expandtree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 71469 12 月 8 15:52 Vdecode_5to32_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 70380 12 月 8 15:52 Vdecode_5to32_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 74137 12 月 8 15:52 Vdecode_5to32_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 77445 12 月 8 15:52 Vdecode_5to32_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 77690 12 月 8 15:52 Vdecode_5to32_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 15:52 Vdecode_5to32_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 78980 12 月 8 15:52 Vdecode_5to32_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25514 12 月 8 15:52 Vdecode_5to32_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 573 12 月 8 15:52 Vdecode_5to32_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1029 12 月 8 15:52 Vdecode_5to32_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21776 12 月 8 15:52 Vdecode_5to32_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 15:52 Vdecode_5to32_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 15:52 Vdecode_5to32_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 2006 12 月 8 15:52 Vdecode_5to32_for__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3597 12 月 8 15:52 Vdecode_5to32_for__Trace__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1180 12 月 8 15:52 Vdecode_5to32_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 12688 12 月 8 15:52
Vdecode_5to32_for__024root__DepSet_h2cfca0b8__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6144 12 月 8 15:52
Vdecode_5to32_for__024root__DepSet_h2cfca0b8__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 15:52 Vdecode_5to32_for__024root__DepSet_h918af516__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12 月 8 15:52
Vdecode_5to32_for__024root__DepSet_h918af516__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12 月 8 15:52 Vdecode_5to32_for__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57984 12 月 8 15:52 Vdecode_5to32_for_stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3773 12 月 8 15:52 Vdecode_5to32_for_ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10265 12 月 8 15:52 Vdecode_5to32_for_verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1812 12 月 8 15:52 Vdecode_5to32_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 595 12 月 8 15:52 Vdecode_5to32_for_decode_5to32_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 595 12 月 8 15:49 Vdecode_5to32_for_decode_5to32_for.vpp
-rw-rw-r-- 1 yanyusong yanyusong 661 12 月 8 15:52 decode_5to32_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 13016 12 月 8 15:52 decode_5to32_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 2476 12 月 8 15:52 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 15:52 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 15:52 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 15:52 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 15:52 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 15:52 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 15:52 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



实验第二部分：使用 Verilog HDL 编写编码器

实验一共分为以下两个模块：1) 使用 case 语句进行编写 2) 使用 for 循环编写（优先编码器）；在每个模块中，分别实现了 1-2、2-4、3-8、4-16、5-32 的译码器，相当于完成了 10 个实验。

实验一：使用 case 语句编写编码器

实验环境：

- 1) 操作系统 Ubuntu Linux 22.04.1 LTS (Jammy)
- 2) 工作目录“/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02”
- 3) 编辑软件：Visual Studio Code
- 4) 软件环境：Verilator (5.003), g++ (11.2.0-1ubuntu1)

实验目的：继续熟悉 Verilog HDL 相关语句的用法，了解编码器的工作原理，熟悉激励文件的写法，使用 Verilator 和 GTKWave 对仿真结果进行查看和分析。

实验基础：编码器的原理：编码器是译码器的逆向应用，互为功能相反的逻辑电路，编码器输入为 2^n ，输出 n 。对于输入的 2^n 条中，只有一位有 1，其余为 0（独热编码器），编码器的输出端是一个二进制数，用来指示对应的哪一个位输入为 1。

第一轮实验：编写设计 2-1 独热编码器

实验过程 1：通过枚举 case 情况，依据 Verilog HDL 语法，写出 2-1 独热编码器的硬件描述代码：

```
module encode_2to1_case (x, en, y);
    input [1:0] x;
    input en;
    output reg [0:0] y;
```

```

always @(x or en)
begin
    if (en)
    begin
        case (x)
            2'b01 : y = 1'b0;
            2'b10 : y = 1'b1;
            default : y = 1'b0;
        endcase
    end
    else y = 1'b0;
end
endmodule

```

实验过程 2: 给 2-1 独热编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_2to1_case/obj_dir/Vencode_2to1_case.h"

```

```

#include <iostream>

```

```

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

```

```

static Vencode_2to1_case* top;

```

```

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

```

```

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_2to1_case;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

```

```

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

```

```

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 2 to 1 Encoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b00;
}

```

```

step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b00;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vencode_2to1_case”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

total 2016

```

-rwxrwxr-x 1 yanyusong yanyusong 221448 12 月 8 16:38 Vencode_2to1_case
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 16:38 Vencode_2to1_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 16:38 Vencode_2to1_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 16:38 Vencode_2to1_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 31943 12 月 8 16:38 Vencode_2to1_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 4248 12 月 8 16:38 Vencode_2to1_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 4529 12 月 8 16:38 Vencode_2to1_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 4508 12 月 8 16:38 Vencode_2to1_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 4605 12 月 8 16:38 Vencode_2to1_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 4510 12 月 8 16:38 Vencode_2to1_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 5974 12 月 8 16:38 Vencode_2to1_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 5772 12 月 8 16:38 Vencode_2to1_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 5825 12 月 8 16:38 Vencode_2to1_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 6176 12 月 8 16:38 Vencode_2to1_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 6248 12 月 8 16:38 Vencode_2to1_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 6168 12 月 8 16:38 Vencode_2to1_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 5883 12 月 8 16:38 Vencode_2to1_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9072 12 月 8 16:38 Vencode_2to1_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 8936 12 月 8 16:38 Vencode_2to1_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 10886 12 月 8 16:38 Vencode_2to1_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 10850 12 月 8 16:38 Vencode_2to1_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 8021 12 月 8 16:38 Vencode_2to1_case_044_const.tree

```

```

-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_048_deadDTypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 7446 12 月 8 16:38 Vencode_2to1_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_051_splits.tree
-rw-rw-r-- 1 yanyusong yanyusong 10521 12 月 8 16:38 Vencode_2to1_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 8210 12 月 8 16:38 Vencode_2to1_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 7153 12 月 8 16:38 Vencode_2to1_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 16:38 Vencode_2to1_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 7145 12 月 8 16:38 Vencode_2to1_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 49691 12 月 8 16:38 Vencode_2to1_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 47032 12 月 8 16:38 Vencode_2to1_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 47399 12 月 8 16:38 Vencode_2to1_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 16:38 Vencode_2to1_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 16:38 Vencode_2to1_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 47948 12 月 8 16:38 Vencode_2to1_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 16:38 Vencode_2to1_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 54276 12 月 8 16:38 Vencode_2to1_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 42029 12 月 8 16:38 Vencode_2to1_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 40574 12 月 8 16:38 Vencode_2to1_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 40436 12 月 8 16:38 Vencode_2to1_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 39634 12 月 8 16:38 Vencode_2to1_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 41313 12 月 8 16:38 Vencode_2to1_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 43586 12 月 8 16:38 Vencode_2to1_case_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 16:38 Vencode_2to1_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 43652 12 月 8 16:38 Vencode_2to1_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 41709 12 月 8 16:38 Vencode_2to1_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 41705 12 月 8 16:38 Vencode_2to1_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 41195 12 月 8 16:38 Vencode_2to1_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 42217 12 月 8 16:38 Vencode_2to1_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 45278 12 月 8 16:38 Vencode_2to1_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 45348 12 月 8 16:38 Vencode_2to1_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 16:38 Vencode_2to1_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 46667 12 月 8 16:38 Vencode_2to1_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24570 12 月 8 16:38 Vencode_2to1_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 573 12 月 8 16:38 Vencode_2to1_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1029 12 月 8 16:38 Vencode_2to1_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 20832 12 月 8 16:38 Vencode_2to1_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 16:38 Vencode_2to1_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 16:38 Vencode_2to1_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1935 12 月 8 16:38 Vencode_2to1_case__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3477 12 月 8 16:38 Vencode_2to1_case__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1136 12 月 8 16:38 Vencode_2to1_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 16:38
Vencode_2to1_case__024root_DepSet_h7283cc66_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12 月 8 16:38
Vencode_2to1_case__024root_DepSet_h7283cc66_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 5697 12 月 8 16:38
Vencode_2to1_case__024root_DepSet_h851f2d58_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6083 12 月 8 16:38
Vencode_2to1_case__024root_DepSet_h851f2d58_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12 月 8 16:38 Vencode_2to1_case__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 56907 12 月 8 16:38 Vencode_2to1_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3773 12 月 8 16:38 Vencode_2to1_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10265 12 月 8 16:38 Vencode_2to1_case__verFiles.dat

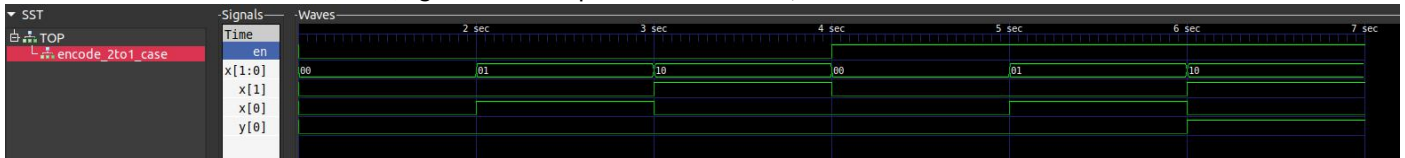
```

```

-rw-rw-r-- 1 yanyusong yanyusong 1812 12 月 8 16:38 Vencode_2to1_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 479 12 月 8 16:38 Vencode_2to1_case_encode_2to1_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 418 12 月 8 16:38 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 661 12 月 8 16:38 encode_2to1_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 8728 12 月 8 16:38 encode_2to1_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 16:38 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 16:38 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 16:38 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 16:38 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 16:38 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 16:38 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



第二轮实验: 编写设计 4-2 独热编码器

实验过程 1: 通过枚举 case 情况，依据 Verilog HDL 语法，写出 4-2 独热编码器的硬件描述代码：

```

module encode_4to2_case (x, en, y);
    input [3:0] x;
    input en;
    output reg [1:0] y;

    always @(x or en)
    begin
        if (en)
            begin
                case (x)
                    4'b0001 : y = 2'b00;
                    4'b0010 : y = 2'b01;
                    4'b0100 : y = 2'b10;
                    4'b1000 : y = 2'b11;
                    default : y = 2'b00;
                endcase
            end
        else y = 2'b00;
    end
endmodule

```

实验过程 2: 给 4-2 独热编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_4to2_case/obj_dir/Vencode_4to2_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vencode_4to2_case* top;

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

```

```

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_4to2_case;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 4 to 2 Encoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b0000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0001;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0010;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0100;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b1000;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b0000;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b0001;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b0010;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b0100;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b1000;
    step_and_dump_wave();

    sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vencode_4to2_case”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

total 2100

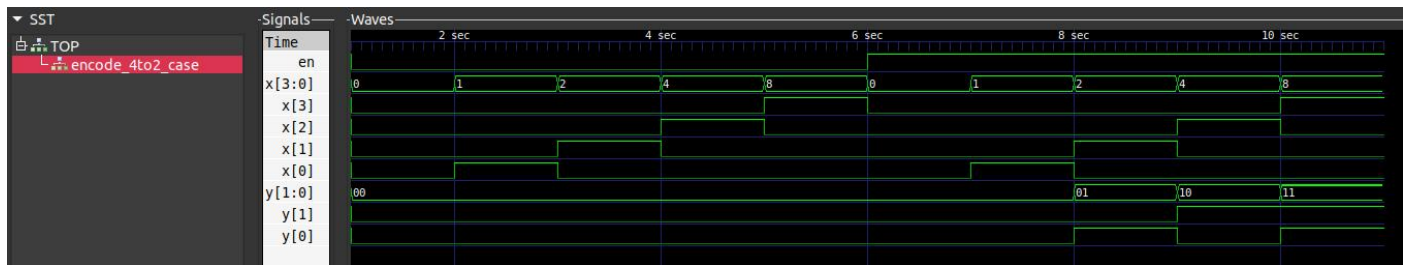
```
-rwxrwxr-x 1 yanyusong yanyusong 221520 12 月 8 17:01 Vencode_4to2_case
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 17:01 Vencode_4to2_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 17:01 Vencode_4to2_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 17:01 Vencode_4to2_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 33216 12 月 8 17:01 Vencode_4to2_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 5293 12 月 8 17:01 Vencode_4to2_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 5676 12 月 8 17:01 Vencode_4to2_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 5651 12 月 8 17:01 Vencode_4to2_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 6050 12 月 8 17:01 Vencode_4to2_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 5713 12 月 8 17:01 Vencode_4to2_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 7169 12 月 8 17:01 Vencode_4to2_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 6927 12 月 8 17:01 Vencode_4to2_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 6994 12 月 8 17:01 Vencode_4to2_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 7349 12 月 8 17:01 Vencode_4to2_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 7435 12 月 8 17:01 Vencode_4to2_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 7341 12 月 8 17:01 Vencode_4to2_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 6870 12 月 8 17:01 Vencode_4to2_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10307 12 月 8 17:01 Vencode_4to2_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 10169 12 月 8 17:01 Vencode_4to2_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 20695 12 月 8 17:01 Vencode_4to2_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 20568 12 月 8 17:01 Vencode_4to2_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:01 Vencode_4to2_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 14284 12 月 8 17:01 Vencode_4to2_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 16592 12 月 8 17:01 Vencode_4to2_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 11291 12 月 8 17:01 Vencode_4to2_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 10825 12 月 8 17:01 Vencode_4to2_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 13929 12 月 8 17:01 Vencode_4to2_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 11615 12 月 8 17:01 Vencode_4to2_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10233 12 月 8 17:01 Vencode_4to2_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 10225 12 月 8 17:01 Vencode_4to2_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 52834 12 月 8 17:01 Vencode_4to2_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 50170 12 月 8 17:01 Vencode_4to2_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 50535 12 月 8 17:01 Vencode_4to2_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 51126 12 月 8 17:01 Vencode_4to2_case_064_const.tree
```

```

-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 57413 12 月 8 17:01 Vencode_4to2_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 44415 12 月 8 17:01 Vencode_4to2_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 42702 12 月 8 17:01 Vencode_4to2_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 42564 12 月 8 17:01 Vencode_4to2_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 41668 12 月 8 17:01 Vencode_4to2_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 43788 12 月 8 17:01 Vencode_4to2_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 46055 12 月 8 17:01 Vencode_4to2_case_073_premitt.tree
-rw-rw-r-- 1 yanyusong yanyusong 46192 12 月 8 17:01 Vencode_4to2_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 44244 12 月 8 17:01 Vencode_4to2_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 43611 12 月 8 17:01 Vencode_4to2_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 44535 12 月 8 17:01 Vencode_4to2_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 47599 12 月 8 17:01 Vencode_4to2_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 47654 12 月 8 17:01 Vencode_4to2_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:01 Vencode_4to2_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 49146 12 月 8 17:01 Vencode_4to2_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 24854 12 月 8 17:01 Vencode_4to2_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 619 12 月 8 17:01 Vencode_4to2_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1067 12 月 8 17:01 Vencode_4to2_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21064 12 月 8 17:01 Vencode_4to2_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 439 12 月 8 17:01 Vencode_4to2_case__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 17:01 Vencode_4to2_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 17:01 Vencode_4to2_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1939 12 月 8 17:01 Vencode_4to2_case__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3481 12 月 8 17:01 Vencode_4to2_case__Trace_0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1136 12 月 8 17:01 Vencode_4to2_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 5851 12 月 8 17:01
Vencode_4to2_case__024root__DepSet_h2401317f__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6083 12 月 8 17:01
Vencode_4to2_case__024root__DepSet_h2401317f__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 17:01
Vencode_4to2_case__024root__DepSet_h3f5a12c2__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12 月 8 17:01
Vencode_4to2_case__024root__DepSet_h3f5a12c2__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12 月 8 17:01 Vencode_4to2_case__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57555 12 月 8 17:01 Vencode_4to2_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3816 12 月 8 17:01 Vencode_4to2_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10379 12 月 8 17:01 Vencode_4to2_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1846 12 月 8 17:01 Vencode_4to2_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 561 12 月 8 17:01 Vencode_4to2_case_encode_4to2_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 494 12 月 8 17:02 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 661 12 月 8 17:01 encode_4to2_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9016 12 月 8 17:01 encode_4to2_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 17:01 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 17:01 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 17:01 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 17:01 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 17:01 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 17:01 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



第三轮实验：编写设计 8-3 独热编码器

实验过程 1：通过枚举 case 情况，依据 Verilog HDL 语法，写出 8-3 独热编码器的硬件描述代码：

```
module encode_8to3_case (x, en, y);
    input [7:0] x;
    input en;
    output reg [2:0] y;

    always @(x or en)
    begin
        if (en)
        begin
            case (x)
                8'b00000001 : y = 3'b000;
                8'b00000010 : y = 3'b001;
                8'b00000100 : y = 3'b010;
                8'b00001000 : y = 3'b011;
                8'b00010000 : y = 3'b100;
                8'b00100000 : y = 3'b101;
                8'b01000000 : y = 3'b110;
                8'b10000000 : y = 3'b111;
                default : y = 3'b000;
            endcase
        end
        else y = 3'b000;
    end
endmodule
```

实验过程 2：给 8-3 独热编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_8to3_case/obj_dir/Vencode_8to3_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vencode_8to3_case* top;

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_8to3_case;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}
```

```

}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 8 to 3 Encoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b00000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00000001;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00000010;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00000100;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00001000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00010000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00100000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b01000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b10000000;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b00000000;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00000001;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00000010;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00000100;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00001000;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00010000;

```

```

step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00100000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10000000;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vencode_8to3_case”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

total 2224

```

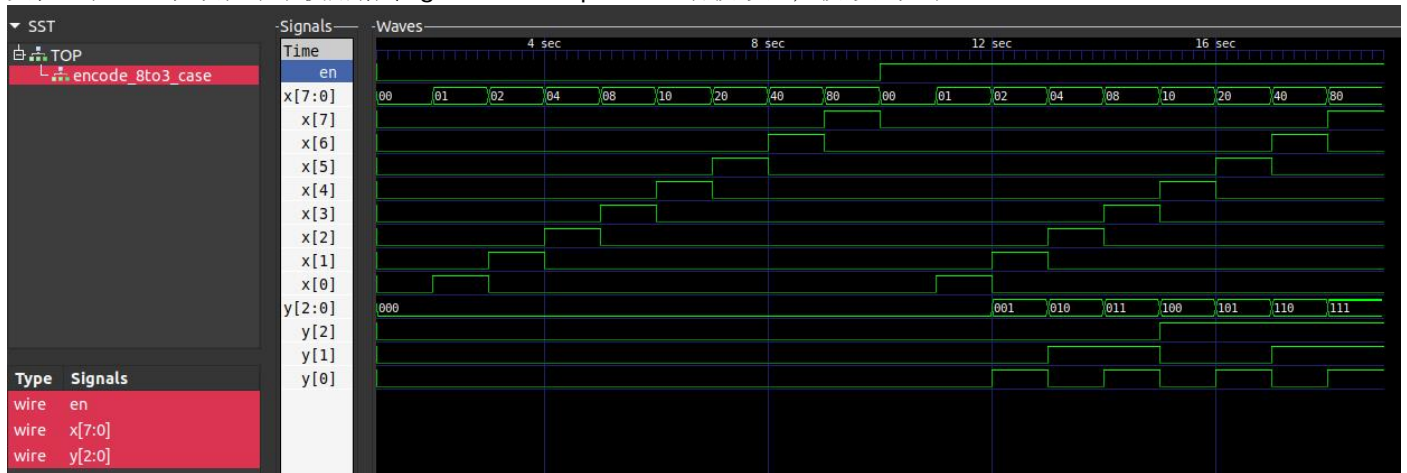
-rwxrwxr-x 1 yanyusong yanyusong 221520 12 月 8 17:17 Vencode_8to3_case
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 17:17 Vencode_8to3_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 17:17 Vencode_8to3_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 17:17 Vencode_8to3_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 33279 12 月 8 17:17 Vencode_8to3_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 7111 12 月 8 17:17 Vencode_8to3_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 7700 12 月 8 17:17 Vencode_8to3_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 7667 12 月 8 17:17 Vencode_8to3_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8282 12 月 8 17:17 Vencode_8to3_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 7835 12 月 8 17:17 Vencode_8to3_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 9283 12 月 8 17:17 Vencode_8to3_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8961 12 月 8 17:17 Vencode_8to3_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 9056 12 月 8 17:17 Vencode_8to3_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9419 12 月 8 17:17 Vencode_8to3_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 9533 12 月 8 17:17 Vencode_8to3_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9411 12 月 8 17:17 Vencode_8to3_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8846 12 月 8 17:17 Vencode_8to3_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12779 12 月 8 17:17 Vencode_8to3_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12637 12 月 8 17:17 Vencode_8to3_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 20314 12 月 8 17:17 Vencode_8to3_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 20149 12 月 8 17:17 Vencode_8to3_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:17 Vencode_8to3_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 16764 12 月 8 17:17 Vencode_8to3_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:17 Vencode_8to3_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 85157 12 月 8 17:17 Vencode_8to3_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 11945 12 月 8 17:17 Vencode_8to3_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 11487 12 月 8 17:17 Vencode_8to3_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_051_splitas.tree

```

-rw-rw-r-- 1 yanyusong yanyusong 14613 12 月 8 17:17 Vencode_8to3_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 12296 12 月 8 17:17 Vencode_8to3_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10911 12 月 8 17:17 Vencode_8to3_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 10903 12 月 8 17:17 Vencode_8to3_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 53968 12 月 8 17:17 Vencode_8to3_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 51275 12 月 8 17:17 Vencode_8to3_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 51644 12 月 8 17:17 Vencode_8to3_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 52235 12 月 8 17:17 Vencode_8to3_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 58599 12 月 8 17:17 Vencode_8to3_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 45522 12 月 8 17:17 Vencode_8to3_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 43792 12 月 8 17:17 Vencode_8to3_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 43652 12 月 8 17:17 Vencode_8to3_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 42749 12 月 8 17:17 Vencode_8to3_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 44913 12 月 8 17:17 Vencode_8to3_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 47200 12 月 8 17:17 Vencode_8to3_case_073_premitt.tree
-rw-rw-r-- 1 yanyusong yanyusong 47339 12 月 8 17:17 Vencode_8to3_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 45371 12 月 8 17:17 Vencode_8to3_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 44732 12 月 8 17:17 Vencode_8to3_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 45666 12 月 8 17:17 Vencode_8to3_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 48009 12 月 8 17:17 Vencode_8to3_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 48087 12 月 8 17:17 Vencode_8to3_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 17:17 Vencode_8to3_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 49577 12 月 8 17:17 Vencode_8to3_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25334 12 月 8 17:17 Vencode_8to3_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 619 12 月 8 17:17 Vencode_8to3_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1067 12 月 8 17:17 Vencode_8to3_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21544 12 月 8 17:17 Vencode_8to3_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 4040 12 月 8 17:17 Vencode_8to3_case__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 17:17 Vencode_8to3_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 17:17 Vencode_8to3_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1939 12 月 8 17:17 Vencode_8to3_case__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3481 12 月 8 17:17 Vencode_8to3_case__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1136 12 月 8 17:17 Vencode_8to3_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 17:17
Vencode_8to3_case__024root_DepSet_h20ef0e5a_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12 月 8 17:17
Vencode_8to3_case__024root_DepSet_h20ef0e5a_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 5767 12 月 8 17:17
Vencode_8to3_case__024root_DepSet_h8bcab9ca_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6083 12 月 8 17:17
Vencode_8to3_case__024root_DepSet_h8bcab9ca_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12 月 8 17:17 Vencode_8to3_case__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57555 12 月 8 17:17 Vencode_8to3_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3816 12 月 8 17:17 Vencode_8to3_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10379 12 月 8 17:17 Vencode_8to3_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1846 12 月 8 17:17 Vencode_8to3_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 751 12 月 8 17:17 Vencode_8to3_case_encode_8to3_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 694 12 月 8 17:18 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 661 12 月 8 17:17 encode_8to3_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9608 12 月 8 17:17 encode_8to3_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 17:17 verilated.d

```
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 17:17 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 17:17 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 17:17 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 17:17 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 17:17 verilated_vcd_c.o
```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第四轮实验: 编写设计 16-4 独热编码器

实验过程 1: 通过枚举 case 情况，依据 Verilog HDL 语法，写出 16-4 独热编码器的硬件描述代码:

```
module encode_16to4_case (x, en, y);
    input [15:0] x;
    input en;
    output reg [3:0] y;

    always @(x or en)
    begin
        if (en)
        begin
            case (x)
                16'b0000000000000001 : y = 4'b0000;
                16'b0000000000000010 : y = 4'b0001;
                16'b0000000000000100 : y = 4'b0010;
                16'b0000000000001000 : y = 4'b0011;
                16'b0000000000010000 : y = 4'b0100;
                16'b0000000000100000 : y = 4'b0101;
                16'b0000000001000000 : y = 4'b0110;
                16'b0000000010000000 : y = 4'b0111;
                16'b0000000100000000 : y = 4'b1000;
                16'b0000001000000000 : y = 4'b1001;
                16'b0000010000000000 : y = 4'b1010;
                16'b0000100000000000 : y = 4'b1011;
                16'b0001000000000000 : y = 4'b1100;
                16'b0010000000000000 : y = 4'b1101;
                16'b0100000000000000 : y = 4'b1110;
                16'b1000000000000000 : y = 4'b1111;
                default : y = 4'b000;
            endcase
        end
        else y = 4'b000;
    end
endmodule
```

实验过程 2: 给 16-4 独热编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
```

```

#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_16to4_case/obj_dir/Vencode_16
to4_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vencode_16to4_case* top;

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_16to4_case;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 16 to 4 Encoder modeled by case");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b0000000000000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000000001;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000000010;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000000100;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000001000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000010000;
    step_and_dump_wave();
    top -> en = 0b0;

```

```
top -> x = 0b0000000000100000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0000000001000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0000000010000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0000000100000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0000001000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0000010000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0000100000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0001000000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0010000000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0100000000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b1000000000000000;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0000000000000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000001;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000010;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000100;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000001000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000100000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000001000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000010000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000100000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000100000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000100000000;  
step_and_dump_wave();  
top -> en = 0b1;
```

```

top -> x = 0b0000001000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b0000010000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b0000100000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b0001000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b0010000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b0100000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b1000000000000000;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vencode_16to4_case”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

total 2600

```

-rwxrwxr-x 1 yanyusong yanyusong 221520 12 月 8 17:38 Vencode_16to4_case
-rw-rw-r-- 1 yanyusong yanyusong 5366 12 月 8 17:38 Vencode_16to4_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3087 12 月 8 17:38 Vencode_16to4_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1946 12 月 8 17:38 Vencode_16to4_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 45968 12 月 8 17:38 Vencode_16to4_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 10344 12 月 8 17:37 Vencode_16to4_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 11349 12 月 8 17:37 Vencode_16to4_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:37 Vencode_16to4_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 11300 12 月 8 17:37 Vencode_16to4_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 12354 12 月 8 17:37 Vencode_16to4_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 11947 12 月 8 17:37 Vencode_16to4_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:37 Vencode_16to4_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:37 Vencode_16to4_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 13385 12 月 8 17:37 Vencode_16to4_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12903 12 月 8 17:37 Vencode_16to4_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:37 Vencode_16to4_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:37 Vencode_16to4_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:37 Vencode_16to4_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 13054 12 月 8 17:37 Vencode_16to4_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 13440 12 月 8 17:38 Vencode_16to4_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 13610 12 月 8 17:38 Vencode_16to4_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 13432 12 月 8 17:38 Vencode_16to4_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12865 12 月 8 17:38 Vencode_16to4_case_031_deadDTypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:38 Vencode_16to4_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:38 Vencode_16to4_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 17807 12 月 8 17:38 Vencode_16to4_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 17655 12 月 8 17:38 Vencode_16to4_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:38 Vencode_16to4_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:38 Vencode_16to4_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:38 Vencode_16to4_case_038_deadDTypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 33366 12 月 8 17:38 Vencode_16to4_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 33032 12 月 8 17:38 Vencode_16to4_case_042_unroll.tree

```



```

-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 26840 12 月 8 17:38 Vencode_16to4_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 26597 12 月 8 17:38 Vencode_16to4_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 29515 12 月 8 17:38 Vencode_16to4_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 27176 12 月 8 17:38 Vencode_16to4_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 26107 12 月 8 17:38 Vencode_16to4_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 26099 12 月 8 17:38 Vencode_16to4_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 87127 12 月 8 17:38 Vencode_16to4_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 84459 12 月 8 17:38 Vencode_16to4_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 84824 12 月 8 17:38 Vencode_16to4_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 85765 12 月 8 17:38 Vencode_16to4_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 91715 12 月 8 17:38 Vencode_16to4_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 72548 12 月 8 17:38 Vencode_16to4_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 55885 12 月 8 17:38 Vencode_16to4_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 55747 12 月 8 17:38 Vencode_16to4_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 54944 12 月 8 17:38 Vencode_16to4_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 57487 12 月 8 17:38 Vencode_16to4_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 59627 12 月 8 17:38 Vencode_16to4_case_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 57652 12 月 8 17:38 Vencode_16to4_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 57236 12 月 8 17:38 Vencode_16to4_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 61230 12 月 8 17:38 Vencode_16to4_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 63710 12 月 8 17:38 Vencode_16to4_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 63827 12 月 8 17:38 Vencode_16to4_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:38 Vencode_16to4_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 65147 12 月 8 17:38 Vencode_16to4_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25102 12 月 8 17:38 Vencode_16to4_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 582 12 月 8 17:38 Vencode_16to4_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1043 12 月 8 17:38 Vencode_16to4_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21288 12 月 8 17:38 Vencode_16to4_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 850 12 月 8 17:38 Vencode_16to4_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1199 12 月 8 17:38 Vencode_16to4_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1958 12 月 8 17:38 Vencode_16to4_case__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3517 12 月 8 17:38 Vencode_16to4_case__Trace__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1148 12 月 8 17:38 Vencode_16to4_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1595 12 月 8 17:38
Vencode_16to4_case__024root__DepSet_h19c5cdbd__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 973 12 月 8 17:38
Vencode_16to4_case__024root__DepSet_h19c5cdbd__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 10810 12 月 8 17:38
Vencode_16to4_case__024root__DepSet_h76f3be2c__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6139 12 月 8 17:38
Vencode_16to4_case__024root__DepSet_h76f3be2c__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 776 12 月 8 17:38 Vencode_16to4_case__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57174 12 月 8 17:38 Vencode_16to4_case__stats.txt

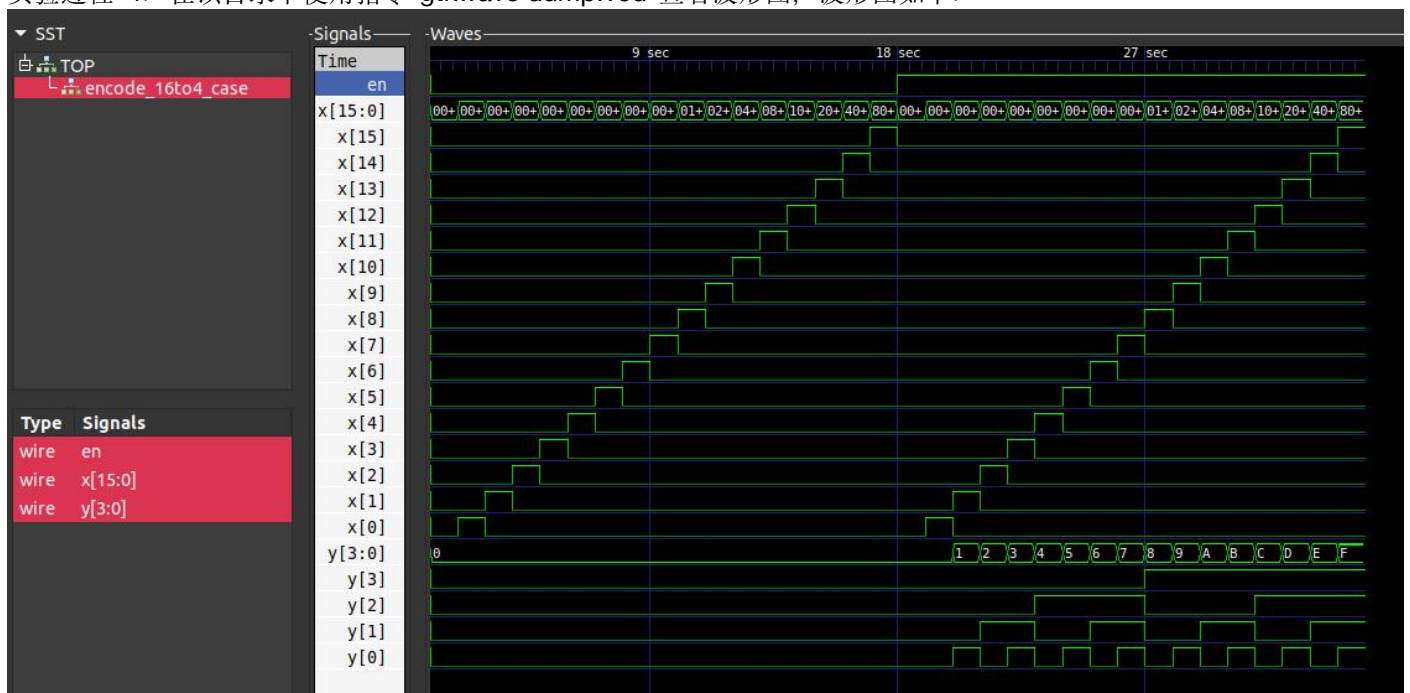
```

```

-rw-rw-r-- 1 yanyusong yanyusong 3861 12月 8 17:38 Vencode_16to4_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10356 12月 8 17:38 Vencode_16to4_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1822 12月 8 17:38 Vencode_16to4_case_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 1252 12月 8 17:37 Vencode_16to4_case_encode_16to4_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 1297 12月 8 17:38 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 665 12月 8 17:38 encode_16to4_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 10880 12月 8 17:38 encode_16to4_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 8 17:38 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 8 17:38 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 8 17:38 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 8 17:38 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 8 17:38 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 8 17:38 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第五轮实验: 编写设计 32-5 独热编码器

实验过程 1: 通过枚举 case 情况, 依据 Verilog HDL 语法, 写出 32-5 独热编码器的硬件描述代码:

```

module encode_32to5_case (x, en, y);
    input [31:0] x;
    input en;
    output reg [4:0] y;

    always @(x or en)
    begin
        if (en)
        begin
            case (x)
                32'b00000000000000000000000000000001 : y = 5'b00000;
                32'b00000000000000000000000000000010 : y = 5'b00001;
                32'b000000000000000000000000000000100 : y = 5'b00010;
                32'b0000000000000000000000000000001000 : y = 5'b00011;
                32'b00000000000000000000000000000010000 : y = 5'b00100;
                32'b000000000000000000000000000000100000 : y = 5'b00101;
                32'b0000000000000000000000000000001000000 : y = 5'b00110;
                32'b00000000000000000000000000000010000000 : y = 5'b00111;
                32'b000000000000000000000000000000100000000 : y = 5'b01000;
                32'b0000000000000000000000000000001000000000 : y = 5'b01001;
                32'b00000000000000000000000000000010000000000 : y = 5'b01010;
                32'b000000000000000000000000000000100000000000 : y = 5'b01011;
                32'b0000000000000000000000000000001000000000000 : y = 5'b01100;
                32'b00000000000000000000000000000010000000000000 : y = 5'b01101;
            endcase
        end
    end

```

```

32'b00000000000000000000000000000000 : y = 5'b01110;
32'b00000000000000000000000000000000 : y = 5'b01111;
32'b00000000000000000000000000000000 : y = 5'b10000;
32'b00000000000000000000000000000000 : y = 5'b10001;
32'b00000000000000000000000000000000 : y = 5'b10010;
32'b00000000000000000000000000000000 : y = 5'b10011;
32'b00000000000000000000000000000000 : y = 5'b10100;
32'b00000000000000000000000000000000 : y = 5'b10101;
32'b00000000000000000000000000000000 : y = 5'b10110;
32'b00000000000000000000000000000000 : y = 5'b10111;
32'b00000000000000000000000000000000 : y = 5'b11000;
32'b00000000000000000000000000000000 : y = 5'b11001;
32'b00000000000000000000000000000000 : y = 5'b11010;
32'b00000000000000000000000000000000 : y = 5'b11011;
32'b00000000000000000000000000000000 : y = 5'b11100;
32'b00000000000000000000000000000000 : y = 5'b11101;
32'b00000000000000000000000000000000 : y = 5'b11110;
32'b00000000000000000000000000000000 : y = 5'b11111;
default : y = 5'b00000;
endcase
end
else y = 5'b00000;
end
endmodule

```

实验过程 2: 给 32-5 独热编码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_32to5_case/obj_dir/Vencode_32
to5_case.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vencode_32to5_case* top;

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_32to5_case;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp->close();
}

int main()
{

```

[illegible]

[illegible]

```

step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00001000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00010000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00100000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01000000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10000000000000000000000000000000;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vencode_32to5_case”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

total 3300

```

-rwxrwxr-x 1 yanyusong yanyusong 225616 12 月 8 17:51 Vencode_32to5_case
-rw-rw-r-- 1 yanyusong yanyusong 5366 12 月 8 17:50 Vencode_32to5_case.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3085 12 月 8 17:50 Vencode_32to5_case.h
-rw-rw-r-- 1 yanyusong yanyusong 1946 12 月 8 17:50 Vencode_32to5_case.mk
-rw-rw-r-- 1 yanyusong yanyusong 55180 12 月 8 17:50 Vencode_32to5_case.xml
-rw-rw-r-- 1 yanyusong yanyusong 16833 12 月 8 17:50 Vencode_32to5_case_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 18670 12 月 8 17:50 Vencode_32to5_case_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 17:50 Vencode_32to5_case_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 18589 12 月 8 17:50 Vencode_32to5_case_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 20507 12 月 8 17:50 Vencode_32to5_case_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 20247 12 月 8 17:50 Vencode_32to5_case_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 21669 12 月 8 17:50 Vencode_32to5_case_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 20869 12 月 8 17:50 Vencode_32to5_case_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 21132 12 月 8 17:50 Vencode_32to5_case_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 21591 12 月 8 17:50 Vencode_32to5_case_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 21873 12 月 8 17:50 Vencode_32to5_case_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 21585 12 月 8 17:50 Vencode_32to5_case_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 21018 12 月 8 17:50 Vencode_32to5_case_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 28001 12 月 8 17:50 Vencode_32to5_case_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 27832 12 月 8 17:50 Vencode_32to5_case_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 60163 12 月 8 17:50 Vencode_32to5_case_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 59477 12 月 8 17:50 Vencode_32to5_case_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 47310 12 月 8 17:50 Vencode_32to5_case_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_045_life.tree

```

```

-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 47401 12 月 8 17:50 Vencode_32to5_case_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 50119 12 月 8 17:50 Vencode_32to5_case_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 47766 12 月 8 17:50 Vencode_32to5_case_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 46692 12 月 8 17:50 Vencode_32to5_case_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 46684 12 月 8 17:50 Vencode_32to5_case_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 127507 12 月 8 17:50 Vencode_32to5_case_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 124841 12 月 8 17:50 Vencode_32to5_case_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 125206 12 月 8 17:50 Vencode_32to5_case_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 126567 12 月 8 17:50 Vencode_32to5_case_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 132097 12 月 8 17:50 Vencode_32to5_case_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 105466 12 月 8 17:50 Vencode_32to5_case_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 72239 12 月 8 17:50 Vencode_32to5_case_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 72101 12 月 8 17:50 Vencode_32to5_case_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 71298 12 月 8 17:50 Vencode_32to5_case_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 73678 12 月 8 17:50 Vencode_32to5_case_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 75806 12 月 8 17:50 Vencode_32to5_case_073_premitt.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 73831 12 月 8 17:50 Vencode_32to5_case_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 73415 12 月 8 17:50 Vencode_32to5_case_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 74247 12 月 8 17:50 Vencode_32to5_case_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 76791 12 月 8 17:50 Vencode_32to5_case_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 76892 12 月 8 17:50 Vencode_32to5_case_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 17:50 Vencode_32to5_case_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 78151 12 月 8 17:50 Vencode_32to5_case_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25454 12 月 8 17:51 Vencode_32to5_case__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 582 12 月 8 17:51 Vencode_32to5_case__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1043 12 月 8 17:51 Vencode_32to5_case__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21640 12 月 8 17:51 Vencode_32to5_case__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 850 12 月 8 17:50 Vencode_32to5_case__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1199 12 月 8 17:50 Vencode_32to5_case__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1958 12 月 8 17:50 Vencode_32to5_case__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3517 12 月 8 17:50 Vencode_32to5_case__Trace__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1146 12 月 8 17:50 Vencode_32to5_case__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1595 12 月 8 17:50
Vencode_32to5_case__024root__DepSet_h1171ad18__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 973 12 月 8 17:50
Vencode_32to5_case__024root__DepSet_h1171ad18__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 16502 12 月 8 17:50
Vencode_32to5_case__024root__DepSet_h5a8b5a5a__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6139 12 月 8 17:50
Vencode_32to5_case__024root__DepSet_h5a8b5a5a__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 776 12 月 8 17:50 Vencode_32to5_case__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57001 12 月 8 17:50 Vencode_32to5_case__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3861 12 月 8 17:50 Vencode_32to5_case__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10356 12 月 8 17:50 Vencode_32to5_case__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1822 12 月 8 17:50 Vencode_32to5_case_classes.mk

```

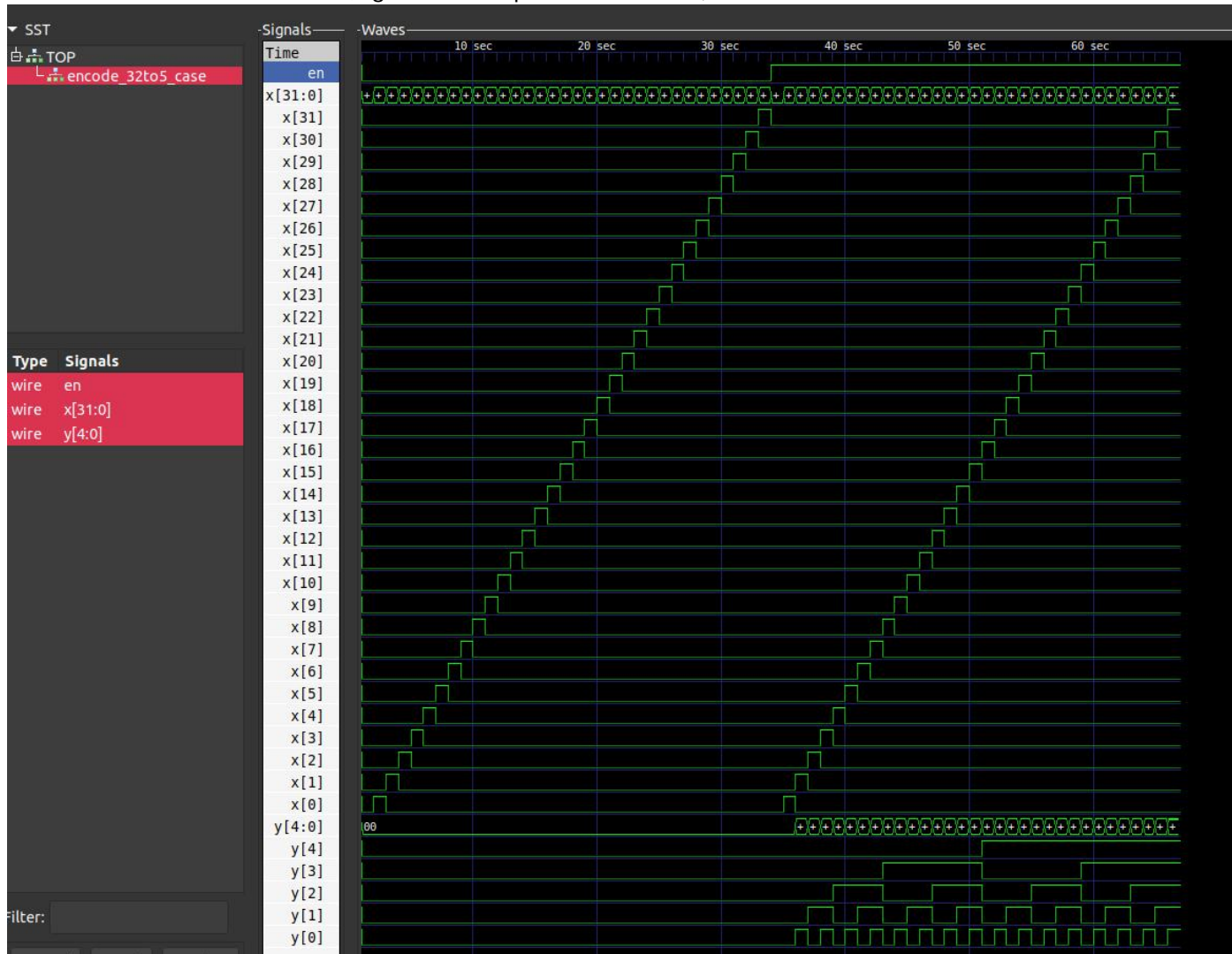


```

-rw-rw-r-- 1 yanyusong yanyusong 2632 12 月 8 17:50 Vencode_32to5_case_encode_32to5_case.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 3281 12 月 8 17:52 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 665 12 月 8 17:51 encode_32to5_case_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 13376 12 月 8 17:51 encode_32to5_case_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 17:51 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 17:51 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 17:51 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 17:51 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 17:51 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 17:51 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



实验二: 使用 for 语句编写优先编码器

实验环境:

- 1) 操作系统 Ubuntu Linux 22.04.1 LTS (Jammy)
- 2) 工作目录“/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02”
- 3) 编辑软件: Visual Studio Code
- 4) 软件环境: Verilator (5.003), g++ (11.2.0-1ubuntu1)

实验目的: 继续熟悉 Verilog HDL 相关语句的用法, 了解编码器的工作原理, 熟悉激励文件的写法, 使用 Verilator 和 GTKWave 对仿真结果进行查看和分析。

实验基础: 优先编码器的原理: 优先编码器允许同时在几个输入端有输入信号, 输入不止一个 1, 编码器按输入信号排定的有限顺气, 只对同时输入的几个信号中优先权最高的一个进行编码。

第一轮实验: 编写设计 2-1 独热优先编码器

实验过程 1: 通过优先编码器的工作原理, 依据 Verilog HDL 语法, 写出 2-1 独热编码器的硬件描述代码:

```

module encode_2to1_for(x, en, y);
    input [1:0] x;
    input en;
    output reg [0:0] y;
    integer i;
    always @ (x or en)
        begin
            if (en)
                begin
                    y = 0;
                    for (i = 0; i <= 1; i = i + 1)
                        if(x [i] == 1)
                            y = i[0:0];
                end
            else
                y = 0;
        end
    end
endmodule

```

实验过程 2: 给 2-1 独热优先编码器设计激励文件, 激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_2to1_for/obj_dir/Vencode_2to1_for.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vencode_2to1_for* top;

void step_and_dump_wave()
{
    top->eval();
    contextp->timeInc(1);
    tfp->dump(contextp->time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_2to1_for;
    contextp->traceEverOn(true);
    top->trace(tfp, 0);
    tfp->open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp->close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 2 to 1 Encoder modeled by for");
    printf("\n");
}

```

```

// Simulator Main Parts
sim_init();

top -> en = 0b0;
top -> x = 0b00;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b01;
step_and_dump_wave();
top -> en = 0b0;
top -> x = 0b10;
step_and_dump_wave();

top -> en = 0b1;
top -> x = 0b00;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vencode_2to1_for”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

```

total 2308
-rwxrwxr-x 1 yanyusong yanyusong 221584 12 月 8 22:18 Vencode_2to1_for
-rw-rw-r-- 1 yanyusong yanyusong 5266 12 月 8 22:18 Vencode_2to1_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3063 12 月 8 22:18 Vencode_2to1_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1928 12 月 8 22:18 Vencode_2to1_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 36977 12 月 8 22:18 Vencode_2to1_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5396 12 月 8 22:18 Vencode_2to1_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 6422 12 月 8 22:18 Vencode_2to1_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 6395 12 月 8 22:18 Vencode_2to1_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8051 12 月 8 22:18 Vencode_2to1_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8018 12 月 8 22:18 Vencode_2to1_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 9471 12 月 8 22:18 Vencode_2to1_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9074 12 月 8 22:18 Vencode_2to1_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 9289 12 月 8 22:18 Vencode_2to1_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 9385 12 月 8 22:18 Vencode_2to1_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9966 12 月 8 22:18 Vencode_2to1_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 10080 12 月 8 22:18 Vencode_2to1_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9782 12 月 8 22:18 Vencode_2to1_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8987 12 月 8 22:18 Vencode_2to1_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 13133 12 月 8 22:18 Vencode_2to1_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12993 12 月 8 22:18 Vencode_2to1_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_2to1_for_039_case.tree

```

```

-rw-rw-r-- 1 yanyusong yanyusong 87 12月 8 22:18 Vencode_2to1_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 13482 12月 8 22:18 Vencode_2to1_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 12072 12月 8 22:18 Vencode_2to1_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 11540 12月 8 22:18 Vencode_2to1_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 17996 12月 8 22:18 Vencode_2to1_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 17895 12月 8 22:18 Vencode_2to1_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 17257 12月 8 22:18 Vencode_2to1_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 16812 12月 8 22:18 Vencode_2to1_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 20345 12月 8 22:18 Vencode_2to1_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 18047 12月 8 22:18 Vencode_2to1_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 16999 12月 8 22:18 Vencode_2to1_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 16991 12月 8 22:18 Vencode_2to1_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 61469 12月 8 22:18 Vencode_2to1_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 58805 12月 8 22:18 Vencode_2to1_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 59170 12月 8 22:18 Vencode_2to1_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 59859 12月 8 22:18 Vencode_2to1_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 66736 12月 8 22:18 Vencode_2to1_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 51468 12月 8 22:18 Vencode_2to1_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 48279 12月 8 22:18 Vencode_2to1_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 48137 12月 8 22:18 Vencode_2to1_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 47240 12月 8 22:18 Vencode_2to1_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 49196 12月 8 22:18 Vencode_2to1_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 51452 12月 8 22:18 Vencode_2to1_for_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 51589 12月 8 22:18 Vencode_2to1_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 49641 12月 8 22:18 Vencode_2to1_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 49008 12月 8 22:18 Vencode_2to1_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 49932 12月 8 22:18 Vencode_2to1_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 53265 12月 8 22:18 Vencode_2to1_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 53328 12月 8 22:18 Vencode_2to1_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_2to1_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 54818 12月 8 22:18 Vencode_2to1_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25394 12月 8 22:18 Vencode_2to1_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 609 12月 8 22:18 Vencode_2to1_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1049 12月 8 22:18 Vencode_2to1_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21576 12月 8 22:18 Vencode_2to1_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 624 12月 8 22:18 Vencode_2to1_for__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 834 12月 8 22:18 Vencode_2to1_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1181 12月 8 22:18 Vencode_2to1_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1982 12月 8 22:18 Vencode_2to1_for__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3556 12月 8 22:18 Vencode_2to1_for__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1169 12月 8 22:18 Vencode_2to1_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1561 12月 8 22:18 Vencode_2to1_for__024root_DepSet_hba76c326_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 953 12月 8 22:18
Vencode_2to1_for__024root_DepSet_hba76c326_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6191 12月 8 22:18 Vencode_2to1_for__024root_DepSet_hcb3f52a7_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6087 12月 8 22:18
Vencode_2to1_for__024root_DepSet_hcb3f52a7_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 752 12月 8 22:18 Vencode_2to1_for__024root_Slow.cpp

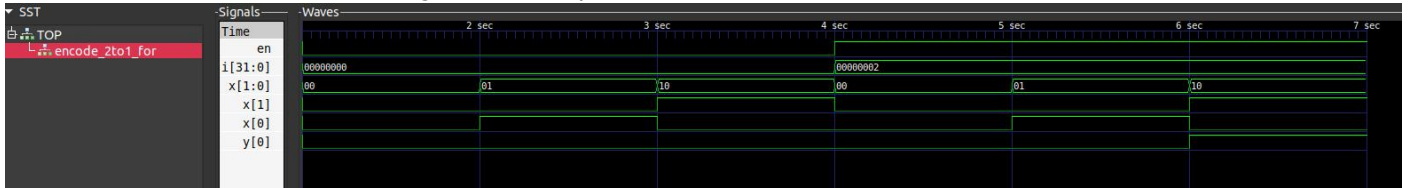
```

```

-rw-rw-r-- 1 yanyusong yanyusong 58092 12 月 8 22:18 Vencode_2to1_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3727 12 月 8 22:18 Vencode_2to1_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10287 12 月 8 22:18 Vencode_2to1_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1835 12 月 8 22:18 Vencode_2to1_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 521 12 月 8 22:18 Vencode_2to1_for_encode_2to1_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 521 12 月 8 22:19 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 657 12 月 8 22:18 encode_2to1_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 8728 12 月 8 22:18 encode_2to1_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 22:18 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 22:18 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 22:18 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 22:18 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 22:18 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 22:18 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第二轮实验: 编写设计 4-2 独热优先编码器

实验过程 1: 通过优先编码器的工作原理，依据 Verilog HDL 语法，写出 4-2 独热编码器的硬件描述代码:

```

module encode_4to2_for(x, en, y);
    input [3:0] x;
    input en;
    output reg [1:0] y;
    integer i;
    always @ (x or en)
    begin
        if (en)
        begin
            y = 0;
            for (i = 0; i <= 3; i = i + 1)
                if(x [i] == 1)
                    y = i[1:0];
        end
        else
            y = 0;
        end
    end
endmodule

```

实验过程 2: 给 4-2 独热优先编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_4to2_for/obj_dir/Vencode_4to2_for.h"

```

```

#include <iostream>

```

```

VerilatedContext* contextp = NULL;

```

```

VerilatedVcdC* tfp = NULL;

```

```

static Vencode_4to2_for* top;

```

```

void step_and_dump_wave()

```

```

{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

```

```

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_4to2_for;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 4 to 2 Encoder modeled by for");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b0000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0001;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0010;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0100;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b1000;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b0000;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b0001;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b0010;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b0100;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b1000;
    step_and_dump_wave();

    sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vencode_4to2_for”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

total 2496

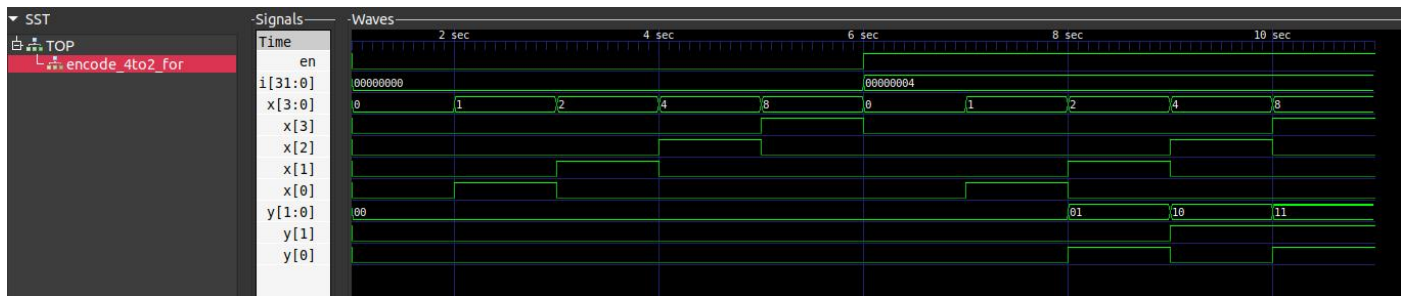
```
-rwxrwxr-x 1 yanyusong yanyusong 221584 12 月 8 22:18 Vencode_4to2_for
-rw-rw-r-- 1 yanyusong yanyusong 5266 12 月 8 22:18 Vencode_4to2_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3063 12 月 8 22:18 Vencode_4to2_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1928 12 月 8 22:18 Vencode_4to2_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 43284 12 月 8 22:18 Vencode_4to2_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5623 12 月 8 22:18 Vencode_4to2_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 6647 12 月 8 22:18 Vencode_4to2_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 6620 12 月 8 22:18 Vencode_4to2_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8748 12 月 8 22:18 Vencode_4to2_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8325 12 月 8 22:18 Vencode_4to2_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 9777 12 月 8 22:18 Vencode_4to2_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9380 12 月 8 22:18 Vencode_4to2_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 9595 12 月 8 22:18 Vencode_4to2_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 9691 12 月 8 22:18 Vencode_4to2_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 10272 12 月 8 22:18 Vencode_4to2_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 10386 12 月 8 22:18 Vencode_4to2_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 10088 12 月 8 22:18 Vencode_4to2_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9011 12 月 8 22:18 Vencode_4to2_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 13157 12 月 8 22:18 Vencode_4to2_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 13017 12 月 8 22:18 Vencode_4to2_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:18 Vencode_4to2_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 18192 12 月 8 22:18 Vencode_4to2_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 15324 12 月 8 22:18 Vencode_4to2_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 13734 12 月 8 22:18 Vencode_4to2_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 24781 12 月 8 22:18 Vencode_4to2_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 24586 12 月 8 22:18 Vencode_4to2_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 23924 12 月 8 22:18 Vencode_4to2_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 23479 12 月 8 22:18 Vencode_4to2_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 27012 12 月 8 22:18 Vencode_4to2_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 24714 12 月 8 22:18 Vencode_4to2_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 23666 12 月 8 22:18 Vencode_4to2_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 23658 12 月 8 22:18 Vencode_4to2_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 68332 12 月 8 22:18 Vencode_4to2_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 65666 12 月 8 22:18 Vencode_4to2_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 66031 12 月 8 22:18 Vencode_4to2_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:18 Vencode_4to2_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 66720 12 月 8 22:18 Vencode_4to2_for_064_const.tree
```

```

-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_4to2_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 73597 12月 8 22:18 Vencode_4to2_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 58317 12月 8 22:18 Vencode_4to2_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 55122 12月 8 22:18 Vencode_4to2_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 54980 12月 8 22:18 Vencode_4to2_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 54083 12月 8 22:18 Vencode_4to2_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 56448 12月 8 22:18 Vencode_4to2_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 58666 12月 8 22:18 Vencode_4to2_for_073_premitt.tree
-rw-rw-r-- 1 yanyusong yanyusong 58803 12月 8 22:18 Vencode_4to2_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_4to2_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 56855 12月 8 22:18 Vencode_4to2_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_4to2_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 56222 12月 8 22:18 Vencode_4to2_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 57146 12月 8 22:18 Vencode_4to2_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 60479 12月 8 22:18 Vencode_4to2_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 60542 12月 8 22:18 Vencode_4to2_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12月 8 22:18 Vencode_4to2_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 62048 12月 8 22:18 Vencode_4to2_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25522 12月 8 22:18 Vencode_4to2_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 609 12月 8 22:18 Vencode_4to2_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1049 12月 8 22:18 Vencode_4to2_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21704 12月 8 22:18 Vencode_4to2_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 1323 12月 8 22:18 Vencode_4to2_for__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 834 12月 8 22:18 Vencode_4to2_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1181 12月 8 22:18 Vencode_4to2_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1986 12月 8 22:18 Vencode_4to2_for__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3560 12月 8 22:18 Vencode_4to2_for__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1169 12月 8 22:18 Vencode_4to2_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 6194 12月 8 22:18 Vencode_4to2_for__024root_DepSet_h6faa1769_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6087 12月 8 22:18
Vencode_4to2_for__024root_DepSet_h6faa1769_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1561 12月 8 22:18 Vencode_4to2_for__024root_DepSet_h9041c7ad_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 953 12月 8 22:18
Vencode_4to2_for__024root_DepSet_h9041c7ad_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 752 12月 8 22:18 Vencode_4to2_for__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 58173 12月 8 22:18 Vencode_4to2_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3727 12月 8 22:18 Vencode_4to2_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10287 12月 8 22:18 Vencode_4to2_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1835 12月 8 22:18 Vencode_4to2_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 521 12月 8 22:18 Vencode_4to2_for_encode_4to2_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 597 12月 8 22:20 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 657 12月 8 22:18 encode_4to2_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9016 12月 8 22:18 encode_4to2_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 8 22:18 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 8 22:18 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 8 22:18 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 8 22:18 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 8 22:18 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 8 22:18 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



第三轮实验：编写设计 8-3 独热优先编码器

实验过程 1：通过优先编码器的工作原理，依据 Verilog HDL 语法，写出 8-3 独热编码器的硬件描述代码：

```
module encode_8to3_for(x, en, y);
    input [7:0] x;
    input en;
    output reg [2:0] y;
    integer i;
    always @ (x or en)
    begin
        if (en)
        begin
            y = 0;
            for (i = 0; i <= 7; i = i + 1)
                if(x [i] == 1)
                    y = i[2:0];
        end
        else
            y = 0;
    end
endmodule
```

实验过程 2：给 8-3 独热优先编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_8to3_for/obj_dir/Vencode_8to3_for.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vencode_8to3_for* top;

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_8to3_for;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
}
```

```

    tftp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 8 to 3 Encoder modeled by for");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b00000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00000001;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00000010;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00000100;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00001000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00010000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b00100000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b01000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b10000000;
    step_and_dump_wave();

    top -> en = 0b1;
    top -> x = 0b00000000;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00000001;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00000010;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00000100;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00001000;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00010000;
    step_and_dump_wave();
    top -> en = 0b1;
    top -> x = 0b00100000;
    step_and_dump_wave();
    top -> en = 0b1;

```

```

top -> x = 0b01000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10000000;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vencode_8to3_for”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

total 6128

```

-rwxrwxr-x 1 yanyusong yanyusong 221584 12 月 8 22:23 Vencode_8to3_for
-rw-rw-r-- 1 yanyusong yanyusong 5266 12 月 8 22:23 Vencode_8to3_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3063 12 月 8 22:23 Vencode_8to3_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1928 12 月 8 22:23 Vencode_8to3_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 168366 12 月 8 22:23 Vencode_8to3_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5850 12 月 8 22:23 Vencode_8to3_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 6872 12 月 8 22:23 Vencode_8to3_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 6845 12 月 8 22:23 Vencode_8to3_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8973 12 月 8 22:23 Vencode_8to3_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8419 12 月 8 22:23 Vencode_8to3_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 9871 12 月 8 22:23 Vencode_8to3_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9474 12 月 8 22:23 Vencode_8to3_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 9689 12 月 8 22:23 Vencode_8to3_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 9785 12 月 8 22:23 Vencode_8to3_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 10366 12 月 8 22:23 Vencode_8to3_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 10480 12 月 8 22:23 Vencode_8to3_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 10182 12 月 8 22:23 Vencode_8to3_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9011 12 月 8 22:23 Vencode_8to3_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 13157 12 月 8 22:23 Vencode_8to3_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 13017 12 月 8 22:23 Vencode_8to3_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:23 Vencode_8to3_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 27564 12 月 8 22:23 Vencode_8to3_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:23 Vencode_8to3_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 21780 12 月 8 22:23 Vencode_8to3_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 18074 12 月 8 22:23 Vencode_8to3_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 162277 12 月 8 22:23 Vencode_8to3_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 160159 12 月 8 22:23 Vencode_8to3_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 159497 12 月 8 22:23 Vencode_8to3_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 159060 12 月 8 22:23 Vencode_8to3_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 162617 12 月 8 22:23 Vencode_8to3_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 160316 12 月 8 22:23 Vencode_8to3_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 159268 12 月 8 22:23 Vencode_8to3_for_055_deadAllScoped.tree

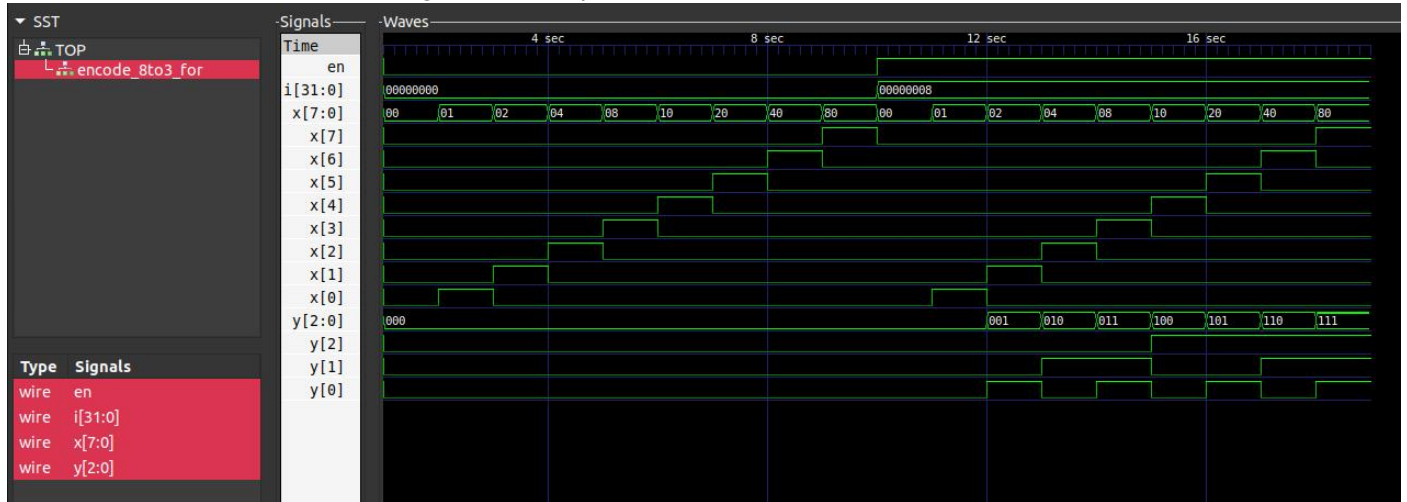
```

```

-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 159260 12 月 8 22:23 Vencode_8to3_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 204411 12 月 8 22:23 Vencode_8to3_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 201716 12 月 8 22:23 Vencode_8to3_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 202085 12 月 8 22:23 Vencode_8to3_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 202774 12 月 8 22:23 Vencode_8to3_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 209733 12 月 8 22:23 Vencode_8to3_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 194362 12 月 8 22:23 Vencode_8to3_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 191131 12 月 8 22:23 Vencode_8to3_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 190987 12 月 8 22:23 Vencode_8to3_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 190083 12 月 8 22:23 Vencode_8to3_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 196630 12 月 8 22:23 Vencode_8to3_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 198150 12 月 8 22:23 Vencode_8to3_for_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 198289 12 月 8 22:23 Vencode_8to3_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 196321 12 月 8 22:23 Vencode_8to3_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 195465 12 月 8 22:23 Vencode_8to3_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 196399 12 月 8 22:23 Vencode_8to3_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 199013 12 月 8 22:23 Vencode_8to3_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 199104 12 月 8 22:23 Vencode_8to3_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:23 Vencode_8to3_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 200640 12 月 8 22:23 Vencode_8to3_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 28402 12 月 8 22:23 Vencode_8to3_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 609 12 月 8 22:23 Vencode_8to3_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1049 12 月 8 22:23 Vencode_8to3_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 24584 12 月 8 22:23 Vencode_8to3_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 15246 12 月 8 22:23 Vencode_8to3_for__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 834 12 月 8 22:23 Vencode_8to3_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1181 12 月 8 22:23 Vencode_8to3_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 1986 12 月 8 22:23 Vencode_8to3_for__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3560 12 月 8 22:23 Vencode_8to3_for__Trace__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1169 12 月 8 22:23 Vencode_8to3_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1561 12 月 8 22:23 Vencode_8to3_for__024root_DepSet_h166be844__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 953 12 月 8 22:23
Vencode_8to3_for__024root_DepSet_h166be844__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6112 12 月 8 22:23 Vencode_8to3_for__024root_DepSet_hf671ec03__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6087 12 月 8 22:23
Vencode_8to3_for__024root_DepSet_hf671ec03__0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 752 12 月 8 22:23 Vencode_8to3_for__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 58254 12 月 8 22:23 Vencode_8to3_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3727 12 月 8 22:23 Vencode_8to3_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10287 12 月 8 22:23 Vencode_8to3_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1835 12 月 8 22:23 Vencode_8to3_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 521 12 月 8 22:23 Vencode_8to3_for_encode_8to3_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 797 12 月 8 22:23 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 657 12 月 8 22:23 encode_8to3_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9608 12 月 8 22:23 encode_8to3_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 22:23 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 22:23 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 22:23 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 22:23 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 22:23 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 22:23 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



第四轮实验: 编写设计 16-4 独热优先编码器

实验过程 1: 通过优先编码器的工作原理，依据 Verilog HDL 语法，写出 16-4 独热编码器的硬件描述代码:

```
module encode_16to4_for(x, en, y);
    input [15:0] x;
    input en;
    output reg [3:0] y;
    integer i;
    always @ (x or en)
        begin
            if (en)
                begin
                    y = 0;
                    for (i = 0; i <= 15; i = i + 1)
                        if(x [i] == 1)
                            y = i[3:0];
                end
            else
                y = 0;
        end
endmodule
```

实验过程 2: 给 16-4 独热优先编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_16to4_for/obj_dir/Vencode_16to4_for.h"
```

```
#include <iostream>
```

```
VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;
```

```
static Vencode_16to4_for* top;
```

```
void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}
```

```
void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vencode_16to4_for;
```

```
contextp -> traceEverOn(true);
top -> trace (tfp, 0);
tfp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a 16 to 4 Encoder modeled by for");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> en = 0b0;
    top -> x = 0b0000000000000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000000001;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000000010;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000000100;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000001000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000010000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000000100000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000001000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000010000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000000100000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000001000000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0000100000000000;
    step_and_dump_wave();
    top -> en = 0b0;
    top -> x = 0b0001000000000000;
    step_and_dump_wave();
```

```
top -> en = 0b0;  
top -> x = 0b0010000000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b0100000000000000;  
step_and_dump_wave();  
top -> en = 0b0;  
top -> x = 0b1000000000000000;  
step_and_dump_wave();
```

```
top -> en = 0b1;  
top -> x = 0b0000000000000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000001;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000010;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000100;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00000000000001000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b000000000000010000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000100000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00000000000001000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b000000000000010000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b0000000000000100000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00000000000001000000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b000000000000010000000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b00010000000000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b001000000000000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b010000000000000000;  
step_and_dump_wave();  
top -> en = 0b1;  
top -> x = 0b100000000000000000;  
step_and_dump_wave();
```

```
sim_exit();
```

```
}
```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件, 让 Verilator 编译项目, 编译后的“obj_dir”需要执行“./Vencode_16to4_for”, 运行 Verilator 生成的可执行文件, 从而生成波形图文件“dump.vcd”, 逐项操作完成后, “obj_dir”的目录结构如下:

```
-rwxrwxr-x 1 yanyusong yanyusong 221448 12 月 8 22:29 Vencode_16to4_for
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 22:29 Vencode_16to4_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3076 12 月 8 22:29 Vencode_16to4_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 22:29 Vencode_16to4_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 42440 12 月 8 22:29 Vencode_16to4_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5851 12 月 8 22:29 Vencode_16to4_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 6873 12 月 8 22:29 Vencode_16to4_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 6846 12 月 8 22:29 Vencode_16to4_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8982 12 月 8 22:29 Vencode_16to4_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 8430 12 月 8 22:29 Vencode_16to4_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 9888 12 月 8 22:29 Vencode_16to4_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9491 12 月 8 22:29 Vencode_16to4_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 9706 12 月 8 22:29 Vencode_16to4_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 9802 12 月 8 22:29 Vencode_16to4_for_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 10403 12 月 8 22:29 Vencode_16to4_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 10517 12 月 8 22:29 Vencode_16to4_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 10219 12 月 8 22:29 Vencode_16to4_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9048 12 月 8 22:29 Vencode_16to4_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 13219 12 月 8 22:29 Vencode_16to4_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 13077 12 月 8 22:29 Vencode_16to4_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:29 Vencode_16to4_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 46461 12 月 8 22:29 Vencode_16to4_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 34846 12 月 8 22:29 Vencode_16to4_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 26863 12 月 8 22:29 Vencode_16to4_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 26421 12 月 8 22:29 Vencode_16to4_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 26300 12 月 8 22:29 Vencode_16to4_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 26638 12 月 8 22:29 Vencode_16to4_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 30183 12 月 8 22:29 Vencode_16to4_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 27861 12 月 8 22:29 Vencode_16to4_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 26801 12 月 8 22:29 Vencode_16to4_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 26793 12 月 8 22:29 Vencode_16to4_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 86705 12 月 8 22:29 Vencode_16to4_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 84039 12 月 8 22:29 Vencode_16to4_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 84404 12 月 8 22:29 Vencode_16to4_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 85429 12 月 8 22:29 Vencode_16to4_for_064_const.tree
```

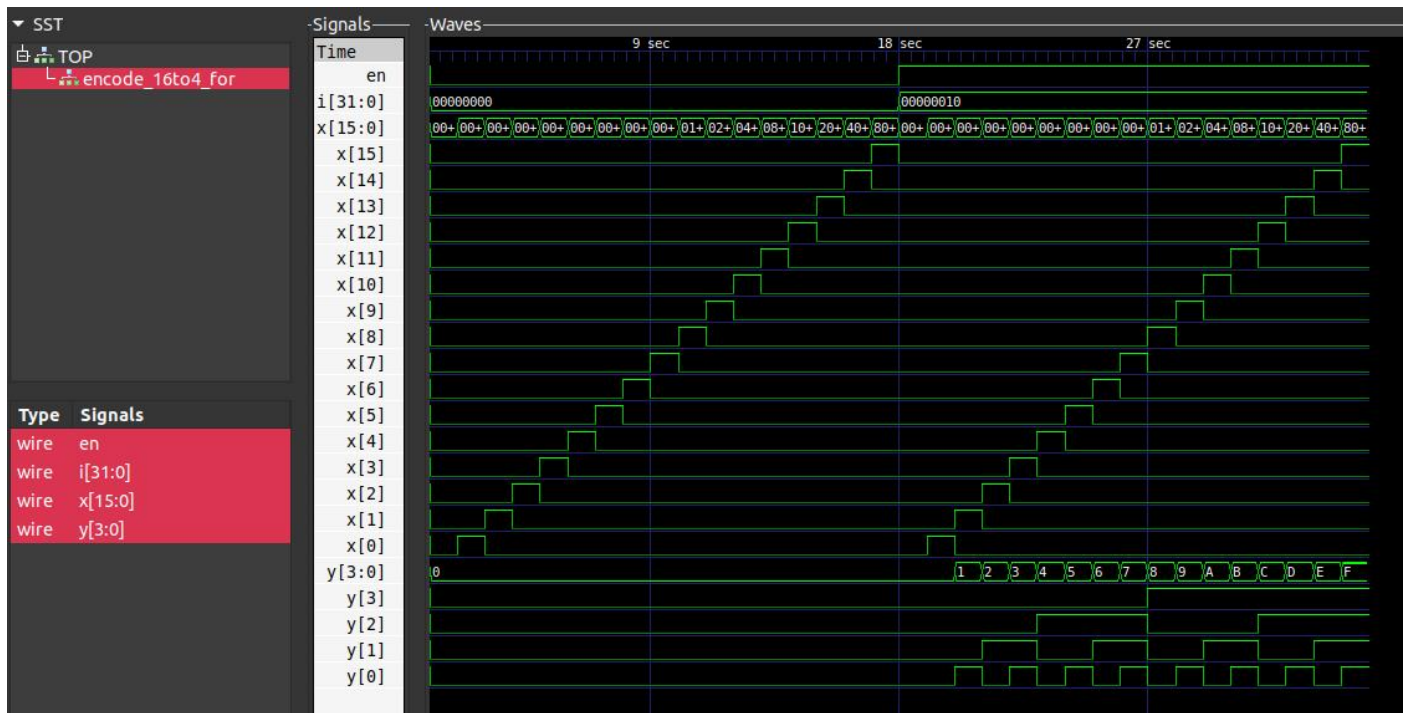


```

-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 91986 12 月 8 22:29 Vencode_16to4_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 71243 12 月 8 22:29 Vencode_16to4_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 55936 12 月 8 22:29 Vencode_16to4_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 55794 12 月 8 22:29 Vencode_16to4_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 54990 12 月 8 22:29 Vencode_16to4_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 60459 12 月 8 22:29 Vencode_16to4_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 62603 12 月 8 22:29 Vencode_16to4_for_073_premitt.tree
-rw-rw-r-- 1 yanyusong yanyusong 61051 12 月 8 22:29 Vencode_16to4_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 58146 12 月 8 22:29 Vencode_16to4_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 56158 12 月 8 22:29 Vencode_16to4_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 55292 12 月 8 22:29 Vencode_16to4_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 57306 12 月 8 22:29 Vencode_16to4_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 60082 12 月 8 22:29 Vencode_16to4_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 60213 12 月 8 22:29 Vencode_16to4_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:29 Vencode_16to4_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 61528 12 月 8 22:29 Vencode_16to4_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25186 12 月 8 22:29 Vencode_16to4_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 573 12 月 8 22:29 Vencode_16to4_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1029 12 月 8 22:29 Vencode_16to4_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21448 12 月 8 22:29 Vencode_16to4_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 22:29 Vencode_16to4_for__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 22:29 Vencode_16to4_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 2006 12 月 8 22:29 Vencode_16to4_for__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3597 12 月 8 22:29 Vencode_16to4_for__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1182 12 月 8 22:29 Vencode_16to4_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 6935 12 月 8 22:29 Vencode_16to4_for__024root_DepSet_hfbce4f51_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6144 12 月 8 22:29
Vencode_16to4_for__024root_DepSet_hfbce4f51_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 22:29 Vencode_16to4_for__024root_DepSet_hff41a55e_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12 月 8 22:29
Vencode_16to4_for__024root_DepSet_hff41a55e_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12 月 8 22:29 Vencode_16to4_for__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57034 12 月 8 22:29 Vencode_16to4_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3773 12 月 8 22:29 Vencode_16to4_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10265 12 月 8 22:29 Vencode_16to4_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1812 12 月 8 22:29 Vencode_16to4_for_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 526 12 月 8 22:29 Vencode_16to4_for_encode_16to4_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 1400 12 月 8 22:29 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 661 12 月 8 22:29 encode_16to4_for_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 10872 12 月 8 22:29 encode_16to4_for_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 22:29 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 22:29 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 22:29 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 22:29 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 22:29 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 22:29 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



第五轮实验：编写设计 32-5 独热优先编码器

实验过程 1：通过优先编码器的工作原理，依据 Verilog HDL 语法，写出 32-5 独热编码器的硬件描述代码：

```
module encode_32to5_for(x, en, y);
    input [31:0] x;
    input en;
    output reg [4:0] y;
    integer i;
    always @ (x or en)
        begin
            if (en)
                begin
                    y = 0;
                    for (i = 0; i <= 31; i = i + 1)
                        if(x [i] == 1)
                            y = i[4:0];
                end
            else
                y = 0;
        end
endmodule
```

实验过程 2：给 32-5 独热优先编码器设计激励文件，激励文件要保证模拟出所有可能出现的端口状态。

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/encode_32to5_for/obj_dir/Vencode_32to5_for.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vencode_32to5_for* top;

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}
```

[illegible]

[illegible]

[illegible]

```

top -> x = 0b00000000000100000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00000000000100000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00000000010000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00000000100000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00000001000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00000010000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00000100000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00001000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00010000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b00100000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b01000000000000000000000000000000;
step_and_dump_wave();
top -> en = 0b1;
top -> x = 0b10000000000000000000000000000000;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vencode_32to5_for”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

```

total 3288
-rwxrwxr-x 1 yanyusong yanyusong 225544 12 月 8 22:32 Vencode_32to5_for
-rw-rw-r-- 1 yanyusong yanyusong 5316 12 月 8 22:32 Vencode_32to5_for.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3074 12 月 8 22:32 Vencode_32to5_for.h
-rw-rw-r-- 1 yanyusong yanyusong 1937 12 月 8 22:32 Vencode_32to5_for.mk
-rw-rw-r-- 1 yanyusong yanyusong 49861 12 月 8 22:32 Vencode_32to5_for.xml
-rw-rw-r-- 1 yanyusong yanyusong 5853 12 月 8 22:32 Vencode_32to5_for_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 6875 12 月 8 22:32 Vencode_32to5_for_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 6848 12 月 8 22:32 Vencode_32to5_for_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 8543 12 月 8 22:32 Vencode_32to5_for_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 7995 12 月 8 22:32 Vencode_32to5_for_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 9451 12 月 8 22:32 Vencode_32to5_for_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 9054 12 月 8 22:32 Vencode_32to5_for_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 9050 12 月 8 22:32 Vencode_32to5_for_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 9148 12 月 8 22:32 Vencode_32to5_for_026_dfg-optimize.tree

```

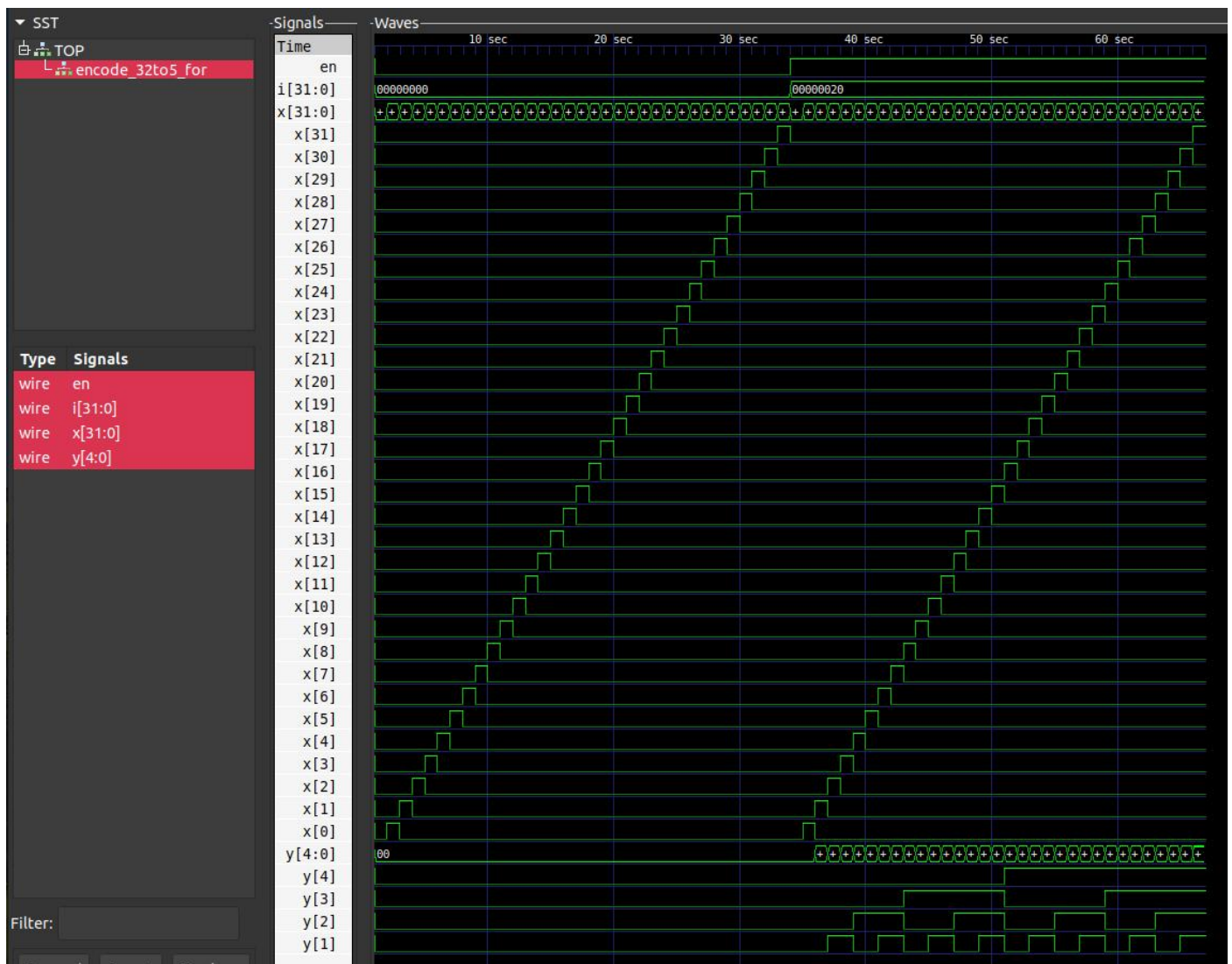
-rw-rw-r-- 1 yanyusong yanyusong 9749 12 月 8 22:32 Vencode_32to5_for_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 9863 12 月 8 22:32 Vencode_32to5_for_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 9565 12 月 8 22:32 Vencode_32to5_for_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 8609 12 月 8 22:32 Vencode_32to5_for_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 12780 12 月 8 22:32 Vencode_32to5_for_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 12638 12 月 8 22:32 Vencode_32to5_for_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 8 22:32 Vencode_32to5_for_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 83669 12 月 8 22:32 Vencode_32to5_for_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:32 Vencode_32to5_for_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 60390 12 月 8 22:32 Vencode_32to5_for_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 43879 12 月 8 22:32 Vencode_32to5_for_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:32 Vencode_32to5_for_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 8 22:32 Vencode_32to5_for_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 43656 12 月 8 22:32 Vencode_32to5_for_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 43887 12 月 8 22:32 Vencode_32to5_for_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 44194 12 月 8 22:32 Vencode_32to5_for_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 47716 12 月 8 22:32 Vencode_32to5_for_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 45394 12 月 8 22:32 Vencode_32to5_for_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 44334 12 月 8 22:32 Vencode_32to5_for_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 44326 12 月 8 22:32 Vencode_32to5_for_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 121904 12 月 8 22:32 Vencode_32to5_for_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 119211 12 月 8 22:32 Vencode_32to5_for_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 119580 12 月 8 22:32 Vencode_32to5_for_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 121053 12 月 8 22:32 Vencode_32to5_for_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 127244 12 月 8 22:32 Vencode_32to5_for_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 98776 12 月 8 22:32 Vencode_32to5_for_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 69818 12 月 8 22:32 Vencode_32to5_for_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 69674 12 月 8 22:32 Vencode_32to5_for_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 68863 12 月 8 22:32 Vencode_32to5_for_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 77503 12 月 8 22:32 Vencode_32to5_for_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 79579 12 月 8 22:32 Vencode_32to5_for_073_premit.tree
-rw-rw-r-- 1 yanyusong yanyusong 76571 12 月 8 22:32 Vencode_32to5_for_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 70751 12 月 8 22:32 Vencode_32to5_for_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 68697 12 月 8 22:32 Vencode_32to5_for_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 68058 12 月 8 22:32 Vencode_32to5_for_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 68576 12 月 8 22:32 Vencode_32to5_for_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 71414 12 月 8 22:32 Vencode_32to5_for_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 71695 12 月 8 22:32 Vencode_32to5_for_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 91 12 月 8 22:32 Vencode_32to5_for_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 72975 12 月 8 22:32 Vencode_32to5_for_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25290 12 月 8 22:32 Vencode_32to5_for__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 573 12 月 8 22:32 Vencode_32to5_for__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1029 12 月 8 22:32 Vencode_32to5_for__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21552 12 月 8 22:32 Vencode_32to5_for__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 842 12 月 8 22:32 Vencode_32to5_for__Syms.cpp

```

-rw-rw-r-- 1 yanyusong yanyusong 1190 12 月 8 22:32 Vencode_32to5_for__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 2006 12 月 8 22:32 Vencode_32to5_for__Trace__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3597 12 月 8 22:32 Vencode_32to5_for__Trace__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1180 12 月 8 22:32 Vencode_32to5_for__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 8074 12 月 8 22:32
Vencode_32to5_for__024root__DepSet_h342bc1ec__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6144 12 月 8 22:32
Vencode_32to5_for__024root__DepSet_h342bc1ec__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1578 12 月 8 22:32
Vencode_32to5_for__024root__DepSet_hde6731cb__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 963 12 月 8 22:32
Vencode_32to5_for__024root__DepSet_hde6731cb__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 764 12 月 8 22:32 Vencode_32to5_for__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 57148 12 月 8 22:32 Vencode_32to5_for__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 3773 12 月 8 22:32 Vencode_32to5_for__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 10265 12 月 8 22:32 Vencode_32to5_for__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 1812 12 月 8 22:32 Vencode_32to5_for__classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 526 12 月 8 22:32 Vencode_32to5_for__encode_32to5_for.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 3384 12 月 8 22:32 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 661 12 月 8 22:32 encode_32to5_for__sim.d
-rw-rw-r-- 1 yanyusong yanyusong 13368 12 月 8 22:32 encode_32to5_for__sim.o
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 8 22:32 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 8 22:32 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 8 22:32 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 8 22:32 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 8 22:32 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 8 22:32 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



实验第三部分：使用 Verilog HDL 编写七段数码管驱动模块

实验一共分为以下两个模块：1) 编写共阴极七段数码管驱动模块 2) 编写共阳极七段数码管驱动模块。

实验一：编写共阴极七段数码管驱动模块

实验环境：

- 1) 操作系统 Ubuntu Linux 22.04.1 LTS (Jammy)
- 2) 工作目录“/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02”
- 3) 编辑软件：Visual Studio Code
- 4) 软件环境：Verilator (5.003), g++ (11.2.0-1ubuntu1)

实验目的：继续熟悉 Verilog HDL 相关语句的用法，了解七段数码管的工作原理，如何驱动七段数码管，熟悉激励文件的写法，使用 Verilator 和 GTKWave 对仿真结果进行查看和分析。

实验基础：七段数码管是一个 8 字型的数码管显示器，在本实验中可以显示 0123456789ABCDEF，也就是十六进制下的所有数位。驱动模块是一个类似于编码器的功能，输入为 4 位二进制数据，也就是 0-15，分别和 0123456789ABCDEF 一一对应。把 4 位二进制数转换为 16 进制数并在七段数码管上显示。实验中已知十六进制数的每一个数位需要点亮七段数码管的那些段。

实验过程 1：写 Verilog HDL 硬件描述文件：

```
module bcd7seg_case_coNegative(b, h);
    input [3:0] b;
    output reg [6:0] h;
```

```
    always @ (b)
    begin
        case(b)
```

```

4'b0000 : h = 7'b00000001; // 0
4'b0001 : h = 7'b1001111; // 1
4'b0010 : h = 7'b0010010; // 2
4'b0011 : h = 7'b0000110; // 3
4'b0100 : h = 7'b1001100; // 4
4'b0101 : h = 7'b0100100; // 5
4'b0110 : h = 7'b0100000; // 6
4'b0111 : h = 7'b0001111; // 7
4'b1000 : h = 7'b0000000; // 8
4'b1001 : h = 7'b0000100; // 9
4'b1010 : h = 7'b0001000; // A
4'b1011 : h = 7'b1100000; // B
4'b1100 : h = 7'b0110001; // C
4'b1101 : h = 7'b1000010; // D
4'b1110 : h = 7'b0110000; // E
4'b1111 : h = 7'b0111000; // F
default : h = 7'b1111111; // NA
endcase
end

```

endmodule

实验过程 2: 写激励文件:

```

#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/bcd7seg_case_coNegative/obj_dir/Vbcd
7seg_case_coNegative.h"

```

```

#include <iostream>

```

```

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

```

```

static Vbcd7seg_case_coNegative* top;

```

```

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

```

```

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vbcd7seg_case_coNegative;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
    tfp -> open("dump.vcd");
}

```

```

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tfp -> close();
}

```

```

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
}

```

```

printf("This is a Co-Negative 7-Signals BCD");
printf("\n");

// Simulator Main Parts
sim_init();

top -> b = 0b0000;
step_and_dump_wave();
top -> b = 0b0001;
step_and_dump_wave();
top -> b = 0b0010;
step_and_dump_wave();
top -> b = 0b0011;
step_and_dump_wave();
top -> b = 0b0100;
step_and_dump_wave();
top -> b = 0b0101;
step_and_dump_wave();
top -> b = 0b0110;
step_and_dump_wave();
top -> b = 0b0111;
step_and_dump_wave();
top -> b = 0b1000;
step_and_dump_wave();
top -> b = 0b1001;
step_and_dump_wave();
top -> b = 0b1010;
step_and_dump_wave();
top -> b = 0b1011;
step_and_dump_wave();
top -> b = 0b1100;
step_and_dump_wave();
top -> b = 0b1101;
step_and_dump_wave();
top -> b = 0b1110;
step_and_dump_wave();
top -> b = 0b1111;
step_and_dump_wave();

sim_exit();
}

```

实验过程 3: 使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vbcd7seg_case_coNegative”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

```

total 2100
-rwxrwxr-x 1 yanyusong yanyusong 222056 12 月 9 00:31 Vbcd7seg_case_coNegative
-rw-rw-r-- 1 yanyusong yanyusong 5640 12 月 9 00:31 Vbcd7seg_case_coNegative.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3130 12 月 9 00:31 Vbcd7seg_case_coNegative.h
-rw-rw-r-- 1 yanyusong yanyusong 2000 12 月 9 00:31 Vbcd7seg_case_coNegative.mk
-rw-rw-r-- 1 yanyusong yanyusong 33270 12 月 9 00:31 Vbcd7seg_case_coNegative.xml
-rw-rw-r-- 1 yanyusong yanyusong 9180 12 月 9 00:31 Vbcd7seg_case_coNegative_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 10044 12 月 9 00:31 Vbcd7seg_case_coNegative_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 10002 12 月 9 00:31 Vbcd7seg_case_coNegative_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 10604 12 月 9 00:31 Vbcd7seg_case_coNegative_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 10304 12 月 9 00:31 Vbcd7seg_case_coNegative_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 11327 12 月 9 00:31 Vbcd7seg_case_coNegative_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 11089 12 月 9 00:31 Vbcd7seg_case_coNegative_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_023_tristate.tree

```

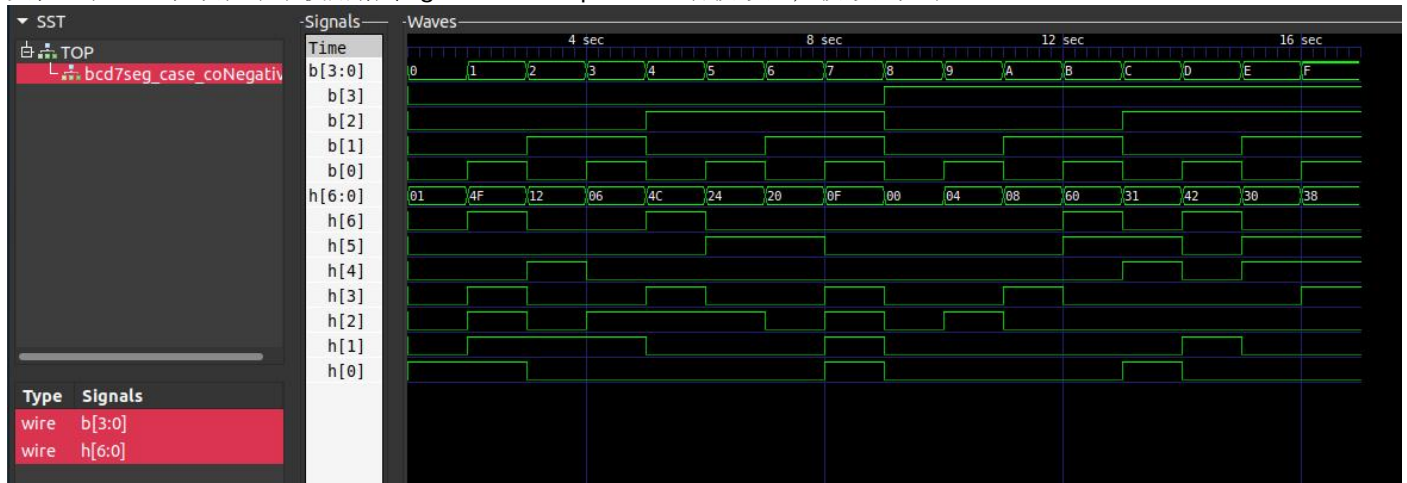
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 11234 12 月 9 00:31 Vbcd7seg_case_coNegative_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 11469 12 月 9 00:31 Vbcd7seg_case_coNegative_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 11621 12 月 9 00:31 Vbcd7seg_case_coNegative_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10996 12 月 9 00:31 Vbcd7seg_case_coNegative_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 14921 12 月 9 00:31 Vbcd7seg_case_coNegative_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 14765 12 月 9 00:31 Vbcd7seg_case_coNegative_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:31 Vbcd7seg_case_coNegative_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 24489 12 月 9 00:31 Vbcd7seg_case_coNegative_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 24311 12 月 9 00:31 Vbcd7seg_case_coNegative_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 16620 12 月 9 00:31 Vbcd7seg_case_coNegative_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 13826 12 月 9 00:31 Vbcd7seg_case_coNegative_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10761 12 月 9 00:31 Vbcd7seg_case_coNegative_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 10622 12 月 9 00:31 Vbcd7seg_case_coNegative_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 12976 12 月 9 00:31 Vbcd7seg_case_coNegative_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 11350 12 月 9 00:31 Vbcd7seg_case_coNegative_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10090 12 月 9 00:31 Vbcd7seg_case_coNegative_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 10082 12 月 9 00:31 Vbcd7seg_case_coNegative_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 52540 12 月 9 00:31 Vbcd7seg_case_coNegative_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 49873 12 月 9 00:31 Vbcd7seg_case_coNegative_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 50238 12 月 9 00:31 Vbcd7seg_case_coNegative_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 50794 12 月 9 00:31 Vbcd7seg_case_coNegative_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 56829 12 月 9 00:31 Vbcd7seg_case_coNegative_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 44508 12 月 9 00:31 Vbcd7seg_case_coNegative_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 43063 12 月 9 00:31 Vbcd7seg_case_coNegative_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 42929 12 月 9 00:31 Vbcd7seg_case_coNegative_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 42032 12 月 9 00:31 Vbcd7seg_case_coNegative_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 43963 12 月 9 00:31 Vbcd7seg_case_coNegative_072_clean.tree
-rw-rw-r-- 1 yanyusong yanyusong 46224 12 月 9 00:31 Vbcd7seg_case_coNegative_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_074_expand.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_075_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 44249 12 月 9 00:31 Vbcd7seg_case_coNegative_076_subst.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_077_const_cpp.tree
-rw-rw-r-- 1 yanyusong yanyusong 43640 12 月 9 00:31 Vbcd7seg_case_coNegative_078_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 44382 12 月 9 00:31 Vbcd7seg_case_coNegative_082_cast.tree
-rw-rw-r-- 1 yanyusong yanyusong 46681 12 月 9 00:31 Vbcd7seg_case_coNegative_083_common.tree
-rw-rw-r-- 1 yanyusong yanyusong 46732 12 月 9 00:31 Vbcd7seg_case_coNegative_084_variableorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:31 Vbcd7seg_case_coNegative_085_cuse.tree
-rw-rw-r-- 1 yanyusong yanyusong 48290 12 月 9 00:31 Vbcd7seg_case_coNegative_990_final.tree
-rw-rw-r-- 1 yanyusong yanyusong 25468 12 月 9 00:31 Vbcd7seg_case_coNegative__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 689 12 月 9 00:31 Vbcd7seg_case_coNegative__ALL.cpp

```

-rw-rw-r-- 1 yanyusong yanyusong 1178 12月 9 00:31 Vbcd7seg_case_coNegative__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21144 12月 9 00:31 Vbcd7seg_case_coNegative__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 326 12月 9 00:31 Vbcd7seg_case_coNegative__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 898 12月 9 00:31 Vbcd7seg_case_coNegative__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1257 12月 9 00:31 Vbcd7seg_case_coNegative__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 2026 12月 9 00:31 Vbcd7seg_case_coNegative__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3590 12月 9 00:31 Vbcd7seg_case_coNegative__Trace_0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1186 12月 9 00:31 Vbcd7seg_case_coNegative__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 1697 12月 9 00:31
Vbcd7seg_case_coNegative__024root_DepSet_hdc18e920__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1033 12月 9 00:31
Vbcd7seg_case_coNegative__024root_DepSet_hdc18e920__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6073 12月 9 00:31
Vbcd7seg_case_coNegative__024root_DepSet_hed7806fd__0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6431 12月 9 00:31
Vbcd7seg_case_coNegative__024root_DepSet_hed7806fd__0__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 848 12月 9 00:31 Vbcd7seg_case_coNegative__024root__Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 56398 12月 9 00:31 Vbcd7seg_case_coNegative__stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 4439 12月 9 00:31 Vbcd7seg_case_coNegative__ver.d
-rw-rw-r-- 1 yanyusong yanyusong 11023 12月 9 00:31 Vbcd7seg_case_coNegative__verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 955 12月 9 00:31
Vbcd7seg_case_coNegative_bcd7seg_case_coNegative.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 1923 12月 9 00:31 Vbcd7seg_case_coNegative_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 689 12月 9 00:31 bcd7seg_case_coNegative_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9384 12月 9 00:31 bcd7seg_case_coNegative_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 668 12月 9 00:31 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12月 9 00:31 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12月 9 00:31 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12月 9 00:31 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12月 9 00:31 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12月 9 00:31 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12月 9 00:31 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下:



实验二：编写共阳极七段数码管驱动模块

实验环境:

- 1) 操作系统 Ubuntu Linux 22.04.1 LTS (Jammy)
- 2) 工作目录“/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02”
- 3) 编辑软件: Visual Studio Code
- 4) 软件环境: Verilator (5.003), g++ (11.2.0-1ubuntu1)

实验目的: 继续熟悉 Verilog HDL 相关语句的用法，了解七段数码管的工作原理，如何驱动七段数码管，熟悉激励文件的写法，使用 Verilator 和 GTKWave 对仿真结果进行查看和分析。

实验基础：七段数码管是一个 8 字型的数码管显示器，在本实验中可以显示 0123456789ABCDEF，也就是十六进制下的所有数位。驱动模块是一个类似于编码器的功能，输入为 4 位二进制数据，也就是 0-15，分别和 0123456789ABCDEF 一一对应。把 4 位二进制数转换为 16 进制数并在七段数码管上显示。实验中已知十六进制数的每一个数位需要点亮七段数码管的那些段。

实验过程 1：写 Verilog HDL 硬件描述文件：

```
module bcd7seg_case_coPositive(b, h);
    input [3:0] b;
    output reg [6:0] h;

    always @ (b)
    begin
        case(b)
            4'b0000 : h = 7'b1111110; // 0
            4'b0001 : h = 7'b0110000; // 1
            4'b0010 : h = 7'b1101101; // 2
            4'b0011 : h = 7'b1111001; // 3
            4'b0100 : h = 7'b0110011; // 4
            4'b0101 : h = 7'b1011011; // 5
            4'b0110 : h = 7'b1011111; // 6
            4'b0111 : h = 7'b1110000; // 7
            4'b1000 : h = 7'b1111111; // 8
            4'b1001 : h = 7'b1111011; // 9
            4'b1010 : h = 7'b1110111; // A
            4'b1011 : h = 7'b0011111; // B
            4'b1100 : h = 7'b1001110; // C
            4'b1101 : h = 7'b0111101; // D
            4'b1110 : h = 7'b1001111; // E
            4'b1111 : h = 7'b1000111; // F
            default : h = 7'b0000000; // NA
        endcase
    end
end
```

endmodule

实验过程 2：写激励文件：

```
#include "verilated.h"
#include "verilated_vcd_c.h"
#include
"/home/yanyusong/OneStudentOneChip/DigitalCircuitsExperiments/DCE02/bcd7seg_case_coPositive/obj_dir/Vbcd7seg_case_coPositive.h"

#include <iostream>

VerilatedContext* contextp = NULL;
VerilatedVcdC* tfp = NULL;

static Vbcd7seg_case_coPositive* top;

void step_and_dump_wave()
{
    top -> eval();
    contextp -> timeInc(1);
    tfp -> dump(contextp -> time());
}

void sim_init() // Initilize the simulator
{
    contextp = new VerilatedContext;
    tfp = new VerilatedVcdC;
    top = new Vbcd7seg_case_coPositive;
    contextp -> traceEverOn(true);
    top -> trace (tfp, 0);
}
```

```

    tftp -> open("dump.vcd");
}

void sim_exit() // Terminate the simulator
{
    step_and_dump_wave();
    tftp -> close();
}

int main()
{
    // Print the Experiment Informations
    printf("Verilator Generated File simulator");
    printf("\n");
    printf("This is a Co-Positive 7-Signals BCD");
    printf("\n");

    // Simulator Main Parts
    sim_init();

    top -> b = 0b0000;
    step_and_dump_wave();
    top -> b = 0b0001;
    step_and_dump_wave();
    top -> b = 0b0010;
    step_and_dump_wave();
    top -> b = 0b0011;
    step_and_dump_wave();
    top -> b = 0b0100;
    step_and_dump_wave();
    top -> b = 0b0101;
    step_and_dump_wave();
    top -> b = 0b0110;
    step_and_dump_wave();
    top -> b = 0b0111;
    step_and_dump_wave();
    top -> b = 0b1000;
    step_and_dump_wave();
    top -> b = 0b1001;
    step_and_dump_wave();
    top -> b = 0b1010;
    step_and_dump_wave();
    top -> b = 0b1011;
    step_and_dump_wave();
    top -> b = 0b1100;
    step_and_dump_wave();
    top -> b = 0b1101;
    step_and_dump_wave();
    top -> b = 0b1110;
    step_and_dump_wave();
    top -> b = 0b1111;
    step_and_dump_wave();

    sim_exit();
}

```

实验过程 3：使用“verilator --cc --exe --build --trace --debug”并附带写好的 Verilog HDL 文件和激励文件，让 Verilator 编译项目，编译后的“obj_dir”需要执行“./Vbcd7seg_case_coPositive”，运行 Verilator 生成的可执行文件，从而生成波形图文件“dump.vcd”，逐项操作完成后，“obj_dir”的目录结构如下：

```

total 2100
-rwxrwxr-x 1 yanyusong yanyusong 222056 12 月 9 00:40 Vbcd7seg_case_coPositive
-rw-rw-r-- 1 yanyusong yanyusong 5640 12 月 9 00:40 Vbcd7seg_case_coPositive.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3130 12 月 9 00:40 Vbcd7seg_case_coPositive.h

```

-rw-rw-r-- 1 yanyusong yanyusong 2000 12 月 9 00:40 Vbcd7seg_case_coPositive.mk
-rw-rw-r-- 1 yanyusong yanyusong 33405 12 月 9 00:40 Vbcd7seg_case_coPositive.xml
-rw-rw-r-- 1 yanyusong yanyusong 9185 12 月 9 00:40 Vbcd7seg_case_coPositive_001_cells.tree
-rw-rw-r-- 1 yanyusong yanyusong 10049 12 月 9 00:40 Vbcd7seg_case_coPositive_006_linkjump.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_007_linkinc.tree
-rw-rw-r-- 1 yanyusong yanyusong 10007 12 月 9 00:40 Vbcd7seg_case_coPositive_009_linkdotparam.tree
-rw-rw-r-- 1 yanyusong yanyusong 10609 12 月 9 00:40 Vbcd7seg_case_coPositive_011_width.tree
-rw-rw-r-- 1 yanyusong yanyusong 10309 12 月 9 00:40 Vbcd7seg_case_coPositive_013_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_014_assertpre.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_015_assert.tree
-rw-rw-r-- 1 yanyusong yanyusong 11332 12 月 9 00:40 Vbcd7seg_case_coPositive_017_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 11094 12 月 9 00:40 Vbcd7seg_case_coPositive_022_begin.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_023_tristate.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_024_unknown.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_025_dfg-extract.tree
-rw-rw-r-- 1 yanyusong yanyusong 11239 12 月 9 00:40 Vbcd7seg_case_coPositive_026_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 11474 12 月 9 00:40 Vbcd7seg_case_coPositive_027_inline.tree
-rw-rw-r-- 1 yanyusong yanyusong 11626 12 月 9 00:40 Vbcd7seg_case_coPositive_029_dfg-optimize.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_030_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 11001 12 月 9 00:40 Vbcd7seg_case_coPositive_031_deadDtypes.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_032_inst.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_033_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 14926 12 月 9 00:40 Vbcd7seg_case_coPositive_034_scope.tree
-rw-rw-r-- 1 yanyusong yanyusong 14770 12 月 9 00:40 Vbcd7seg_case_coPositive_035_linkdot.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_036_class.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_037_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 87 12 月 9 00:40 Vbcd7seg_case_coPositive_038_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 24495 12 月 9 00:40 Vbcd7seg_case_coPositive_039_case.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_040_task.tree
-rw-rw-r-- 1 yanyusong yanyusong 24317 12 月 9 00:40 Vbcd7seg_case_coPositive_042_unroll.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_043_slice.tree
-rw-rw-r-- 1 yanyusong yanyusong 16626 12 月 9 00:40 Vbcd7seg_case_coPositive_044_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_045_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 13973 12 月 9 00:40 Vbcd7seg_case_coPositive_046_table.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_047_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10906 12 月 9 00:40 Vbcd7seg_case_coPositive_048_deadDtypesScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 10767 12 月 9 00:40 Vbcd7seg_case_coPositive_049_active.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_050_split.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_051_splitas.tree
-rw-rw-r-- 1 yanyusong yanyusong 13121 12 月 9 00:40 Vbcd7seg_case_coPositive_052_tracedecl.tree
-rw-rw-r-- 1 yanyusong yanyusong 11495 12 月 9 00:40 Vbcd7seg_case_coPositive_053_gate.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_054_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 10235 12 月 9 00:40 Vbcd7seg_case_coPositive_055_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_056_reorder.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_057_delayed.tree
-rw-rw-r-- 1 yanyusong yanyusong 10227 12 月 9 00:40 Vbcd7seg_case_coPositive_058_activetop.tree
-rw-rw-r-- 1 yanyusong yanyusong 52685 12 月 9 00:40 Vbcd7seg_case_coPositive_059_sched.tree
-rw-rw-r-- 1 yanyusong yanyusong 50018 12 月 9 00:40 Vbcd7seg_case_coPositive_060_clock.tree
-rw-rw-r-- 1 yanyusong yanyusong 50383 12 月 9 00:40 Vbcd7seg_case_coPositive_061_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_062_life.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_063_life_post.tree
-rw-rw-r-- 1 yanyusong yanyusong 50939 12 月 9 00:40 Vbcd7seg_case_coPositive_064_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_065_deadAllScoped.tree
-rw-rw-r-- 1 yanyusong yanyusong 56974 12 月 9 00:40 Vbcd7seg_case_coPositive_066_trace.tree
-rw-rw-r-- 1 yanyusong yanyusong 44653 12 月 9 00:40 Vbcd7seg_case_coPositive_068_descope.tree
-rw-rw-r-- 1 yanyusong yanyusong 43208 12 月 9 00:40 Vbcd7seg_case_coPositive_069_combine.tree
-rw-rw-r-- 1 yanyusong yanyusong 43074 12 月 9 00:40 Vbcd7seg_case_coPositive_070_const.tree
-rw-rw-r-- 1 yanyusong yanyusong 42177 12 月 9 00:40 Vbcd7seg_case_coPositive_071_deadAll.tree
-rw-rw-r-- 1 yanyusong yanyusong 44113 12 月 9 00:40 Vbcd7seg_case_coPositive_072_clean.tree


```

-rw-rw-r-- 1 yanyusong yanyusong 46373 12 月 9 00:40 Vbcd7seg_case_coPositive_073_premittree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_074_expandtree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_075_const.cpptree
-rw-rw-r-- 1 yanyusong yanyusong 44398 12 月 9 00:40 Vbcd7seg_case_coPositive_076_substtree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_077_const.cpptree
-rw-rw-r-- 1 yanyusong yanyusong 43789 12 月 9 00:40 Vbcd7seg_case_coPositive_078_deadAlltree
-rw-rw-r-- 1 yanyusong yanyusong 44531 12 月 9 00:40 Vbcd7seg_case_coPositive_082_casttree
-rw-rw-r-- 1 yanyusong yanyusong 46830 12 月 9 00:40 Vbcd7seg_case_coPositive_083_commontree
-rw-rw-r-- 1 yanyusong yanyusong 46881 12 月 9 00:40 Vbcd7seg_case_coPositive_084_variableordertree
-rw-rw-r-- 1 yanyusong yanyusong 89 12 月 9 00:40 Vbcd7seg_case_coPositive_085_cusetree
-rw-rw-r-- 1 yanyusong yanyusong 48439 12 月 9 00:40 Vbcd7seg_case_coPositive_990_finaltree
-rw-rw-r-- 1 yanyusong yanyusong 25468 12 月 9 00:40 Vbcd7seg_case_coPositive__ALL.a
-rw-rw-r-- 1 yanyusong yanyusong 689 12 月 9 00:40 Vbcd7seg_case_coPositive__ALL.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1178 12 月 9 00:40 Vbcd7seg_case_coPositive__ALL.d
-rw-rw-r-- 1 yanyusong yanyusong 21144 12 月 9 00:40 Vbcd7seg_case_coPositive__ALL.o
-rw-rw-r-- 1 yanyusong yanyusong 326 12 月 9 00:40 Vbcd7seg_case_coPositive__ConstPool_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 898 12 月 9 00:40 Vbcd7seg_case_coPositive__Syms.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1257 12 月 9 00:40 Vbcd7seg_case_coPositive__Syms.h
-rw-rw-r-- 1 yanyusong yanyusong 2026 12 月 9 00:40 Vbcd7seg_case_coPositive__Trace_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 3590 12 月 9 00:40 Vbcd7seg_case_coPositive__Trace_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1186 12 月 9 00:40 Vbcd7seg_case_coPositive__024root.h
-rw-rw-r-- 1 yanyusong yanyusong 6073 12 月 9 00:40
Vbcd7seg_case_coPositive__024root_DepSet_h0acc4e7b_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 6431 12 月 9 00:40
Vbcd7seg_case_coPositive__024root_DepSet_h0acc4e7b_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1697 12 月 9 00:40
Vbcd7seg_case_coPositive__024root_DepSet_hce6237c2_0.cpp
-rw-rw-r-- 1 yanyusong yanyusong 1033 12 月 9 00:40
Vbcd7seg_case_coPositive__024root_DepSet_hce6237c2_0_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 848 12 月 9 00:40 Vbcd7seg_case_coPositive__024root_Slow.cpp
-rw-rw-r-- 1 yanyusong yanyusong 56398 12 月 9 00:40 Vbcd7seg_case_coPositive_stats.txt
-rw-rw-r-- 1 yanyusong yanyusong 4439 12 月 9 00:40 Vbcd7seg_case_coPositive_ver.d
-rw-rw-r-- 1 yanyusong yanyusong 11023 12 月 9 00:40 Vbcd7seg_case_coPositive_verFiles.dat
-rw-rw-r-- 1 yanyusong yanyusong 955 12 月 9 00:40 Vbcd7seg_case_coPositive_bcd7seg_case_coPositive.v.vpp
-rw-rw-r-- 1 yanyusong yanyusong 1923 12 月 9 00:40 Vbcd7seg_case_coPositive_classes.mk
-rw-rw-r-- 1 yanyusong yanyusong 689 12 月 9 00:40 bcd7seg_case_coPositive_sim.d
-rw-rw-r-- 1 yanyusong yanyusong 9384 12 月 9 00:40 bcd7seg_case_coPositive_sim.o
-rw-rw-r-- 1 yanyusong yanyusong 668 12 月 9 00:40 dump.vcd
-rw-rw-r-- 1 yanyusong yanyusong 677 12 月 9 00:40 verilated.d
-rw-rw-r-- 1 yanyusong yanyusong 199880 12 月 9 00:40 verilated.o
-rw-rw-r-- 1 yanyusong yanyusong 410 12 月 9 00:40 verilated_threads.d
-rw-rw-r-- 1 yanyusong yanyusong 30144 12 月 9 00:40 verilated_threads.o
-rw-rw-r-- 1 yanyusong yanyusong 697 12 月 9 00:40 verilated_vcd_c.d
-rw-rw-r-- 1 yanyusong yanyusong 128512 12 月 9 00:40 verilated_vcd_c.o

```

实验过程 4: 在该目录下使用指令“gtkwave dump.vcd”查看波形图，波形图如下：



实验总结

- 1) 通过本次实验，对 Verilog HDL 语言的相关建模方法有了更为深刻的掌握
- 2) 通过本次实验，对 Verilator 编译器的使用有了初步的了解，已经从不会使用到可以熟练地编译代码并生成波形图文件
- 3) 通过本次实验，学会了使用 GTKWave 分析、查看波形图文件的方式
- 4) 掌握了编码器、译码器的工作原理
- 5) 了解了七段数码管的工作原理和如何编写它的驱动模块