

بنام خدا
دانشکده مهندسی کامپیوتر
مدارهای منطقی
Logic Design

دوره کارشناسی

مهندسی کامپیوتر

نیمسال اول ۱۴۰۳

ساعات درس: روزهای یکشنبه و سه‌شنبه ساعت 10:45 تا 12

پیش نیاز: ساختمان‌های گسسته

استاد درس: مهدی صدیقی

صفحه وب استاد: <http://ceit.aut.ac.ir/~msedighi>

اطلاعات درس: `\\fileserver\common\sedighi\Logic`

دفتر کار: ساختمان دانشکده کامپیوتر - طبقه چهارم

ساعات مراجعه دانشجویان: ← برنامه تابلوی دفتر کار

شماره تلفن دفتر کار: 64542715

آدرس پست الکترونیکی: `msedighi [at] aut.ac.ir`

تدریس‌یاران درس: به زودی اعلام خواهد شد

اهداف درس:

آشنایی با اصول طراحی مدارهای دیجیتال، نحوه تحلیل و اشکال‌زدایی آنها، آشنایی با اجزاء اصلی مدارهای دیجیتال

Course Outline:

#	Topic
1	Introduction to digital and analog systems
2	Logic operators and gates, truth tables, Boolean algebra, theorems and optimization
3	Boolean algebra, combinational circuit analysis
4	Canonical representation, Minterms, Maxterms, Sum of products and Product of sums
5	Circuit Optimization by Karnaugh Map, Prime Implicants, and Essential Prime Implicants, Introduction to Verilog
6	Circuit Optimization by Karnaugh Map (Continued)
7	Don't Care Concept, Design by Universal Gates
8	Delay in Combinational Logic, Decoders, Encoders, 7-Segments, High-Impedance, 3-State Buffers
9	Multiplexers, Demultiplexers and Their Applications
10	Integrated Circuits, Programmable Logic Devices (PLA, PAL, ROM) and Their Applications
11	Verilog Coding, Parity Checking
12	Number Theory, Coding Schemes
13	Binary Arithmetic
14	Arithmetic Circuits, Comparators, Adders, Subtractors and Multipliers
15	Arithmetic Circuits (Continued)
16	Verilog Coding
17	Introduction to Sequential Circuits, Clock Signal, Synchronous vs. Asynchronous Circuits, Latches (SR, JK, ...), Their Internal Structure, Timing Diagrams, Race Condition in Latches
18	Flip Flops, Characteristics Table, Timing Diagrams, Set-up and Hold Times, Propagation Delays, Synchronous Inputs, Asynchronous Inputs
19	Flip Flops (Continued)
20	Sequential Circuit Analysis, State Table, State Diagram,
21	Sequential Circuit Analysis, State Table, State Diagram,
22	Mealy and Moore Machines, Circuit Analysis by Signal Tracing, False Outputs in Mealy Machines
23	Sequential Circuit Design, Design Procedure, Sequence Detectors, State Assignment
24	State Minimization, Row Matching Algorithm, Equivalent Sequential Circuits, Implication Table
25	Hazard
26	CMOS Circuits
27	FPGA
28	Counters and Registers

Text Book:

- Roth, Fundamentals of Logic Design, 7th Edition, 2014.

Other References:

1. Wakerly, Digital Design Principles and Practices, 4th Edition, 2005.
2. Katz, Contemporary Logic Design, 2nd Edition, 2004.
3. Mano, Digital Design, 4th Edition, Prentice-Hall, 2006.
4.

نحوه ارزیابی درس:

امتحان میان ترم: 20% (معمولاً هفته نهم آموزشی)

امتحان پایان ترم: 40%

تمرین ها و کویزها: 15%

آزمایشگاه: 25%

تذکر بسیار مهم: این درس و آزمایشگاه با هم یک درس 4-واحدی هستند. لذا دانشجو می بایست نمره قبولی بخش های تئوری و عملی را به صورت جداگانه کسب کند تا در این درس موفق شود!

تمرین ها و کویزها:

- هر دو هفته یک سری تمرین (تحویل سه شنبه ها)
- کویز ممکن است سر کلاس و یا در کلاس تدریس یار باشد
- کلاس های تدریس یار: هر هفته

منابع درس:

- کتاب درسی
- اسلایدهای درس که به ترتیب روی فایل سرور قرار می گیرند
- نرم افزارهای طراحی
- سایر کتاب ها در صورت نیاز یا تمایل

انتظارات دانشجو از استاد

- تسلط علمی بر محتوای درس
- تدریس قابل فهم
- آمادگی کامل قبل از ارائه درس
- فراهم کردن محیطی مناسب برای فراگیری مطالب
- نظم و انضباط در ارائه مطالب درسی
- پاسخ به سوالات با گشاده‌رویی، دقت، و صداقت
- احترام به شخصیت همه دانشجویان
- کسب دانش عمیق به همراه نمره خوب در پایان ترم

انتظارات استاد از دانشجو

- حضور و مشارکت فعال در همه کلاس‌های درس و تدریس‌یار
- احترام متقابل به استاد از طریق:
 - حضور به موقع در کلاس و ترک به موقع کلاس
 - عدم استفاده از تلفن همراه
- صداقت متقابل از طریق:
 - انجام تمرین‌ها و پروژه‌ها توسط خود دانشجو در مهلت تعیین شده
 - امانت در پاسخ برگه‌های امتحانی
- نگاه کلی به اسلایدها پیش از کلاس
- نت‌برداری از مطالب ناقص اسلایدها
- حل تمرین‌های اضافی
- خواندن کتاب درسی (و سایر کتب در صورت نیاز یا تمایل)
- فهم همه مطالب و عدم حذف بخش‌هایی از درس به دلخواه