

بسمه تعالی



پیش گزارش آزمایش پنجم آزمایشگاه مدارهای منطقی

تابستان ۱۴۰۳

واحد محاسبات و منطق (ALU)

استاد

شاهین حسابی

اعضای گروه:

محمد مهدی عابدینی ۴۰۲۱۰۶۱۹۱

امیر مهدی وزیری ۴۰۲۱۰۶۷۵۶

سید محمد رضا جوادی ۴۰۲۱۰۵۸۶۸

مقدمه

در این آزمایش، استفاده از قطعه ALU در مدارها و همچنین طراحی مدار درونی این قطعه انجام شده است.

بخش اول – آشنایی با تراشه ۷۴۱۸۱

تنها بخشی که نیاز به محاسبه دارد بخش کنترلر است که به صورت زیر است. جدول مقادیر زیر با توجه به جدول توابع کنترلر و جدول عملکرد ALU به دست آمده است:

M2	M1	M0	S3	S2	S1	S0	SA	SB
0	0	0	x	x	x	x	1	1
0	0	1	1	1	1	1	0	0
0	1	0	1	1	1	1	0	1
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	0	1
1	0	1	0	0	0	0	0	1
1	1	0	1	1	1	0	0	1
1	1	1	1	0	0	1	0	1

سپس با استفاده از جدول کارنو می‌توانیم عبارات را به دست بیاوریم:

Output:

Format:

M1, M0

		00	01	11	10
M2	0	x	1	0	1
	1	1	0	0	1

$\overline{M2} \overline{M1} + \overline{M0}$

Set As Expression

Output:

Format:

M1, M0

		00	01	11	10
M2	0	x	1	1	1
	1	1	0	1	1

$\overline{M2} + \overline{M0} + M1$

Set As Expression

و به همین شکل برای باقی خروجی‌ها...

پس از ساده‌سازی جبری به عبارات زیر میرسیم:

$$SA = (M2 + M1 + M0)'$$

$$SB = M2 + M1 + M0'$$

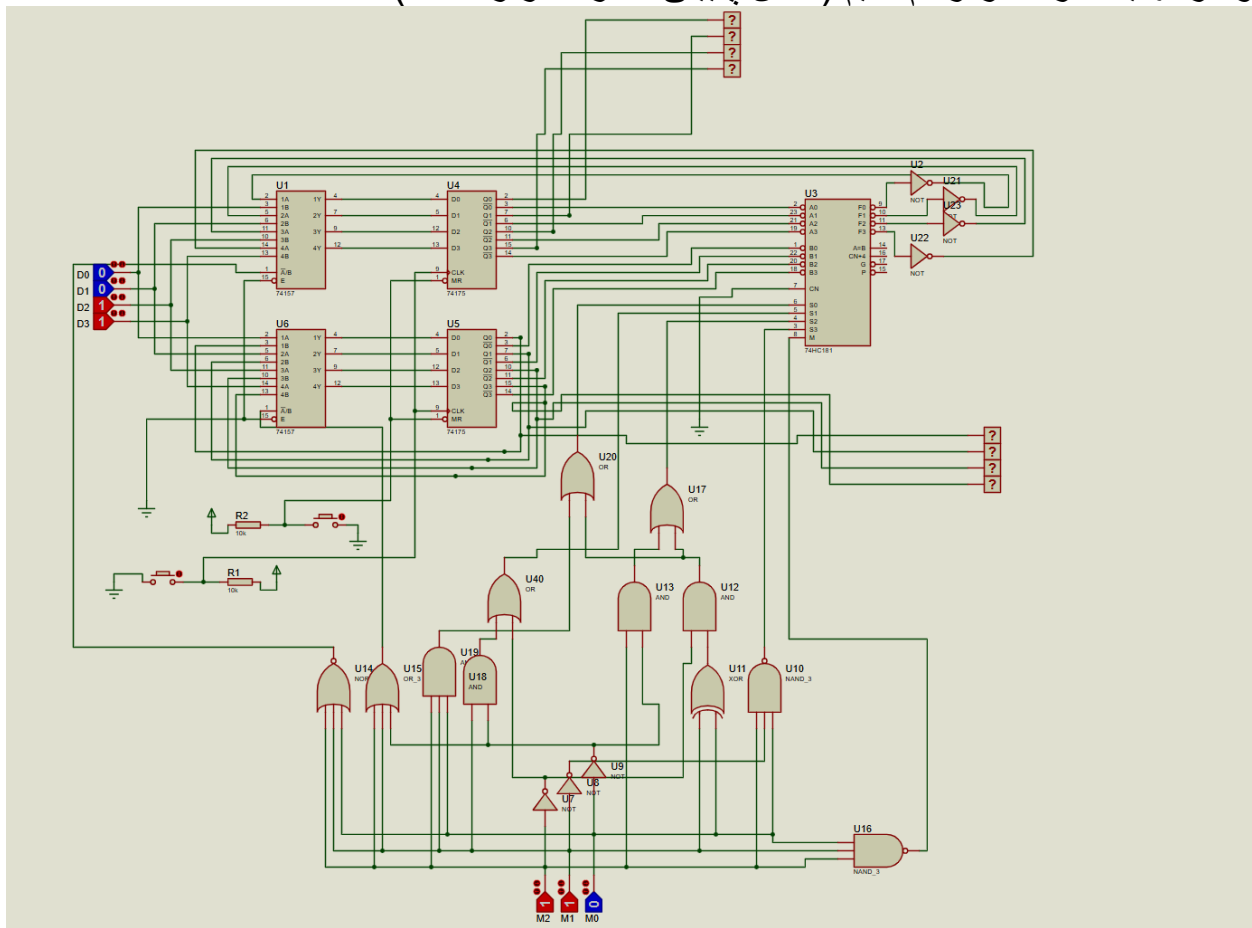
$$S3 = M0' + M2' + M1$$

$$S2 = M2'(M1 \oplus M0) + M2.M0'$$

$$S1 = M2' + M0'.M1$$

$$S0 = M2'(M1 \oplus M0) + M2.M1.M0$$

و در نهایت در مدار رسم کنیم (بخش پایینی مدار کنترلر هست):



بخش دوم – ساخت مدار داخلی ALU

برای هر یک از خروجی های F0-F3 و Cout یک مولتیپلکسر ۱۶ به ۱ در نظر گرفته شده تا برای هر یک از حالت‌های سلکت خروجی مناسب داده شود، هر بخش محاسبات

جدای خود را دارد، برای انجام اعمال جمع و تفریق از 4-bit adder استفاده شده است، برای خروجی تابع‌های منطقی AND, OR, XOR و NOT از خود گیت‌های استفاده شده و برای شیفت چپ و راست هم تنها اتصال ورودی به خروجی درست انجام شده است.

