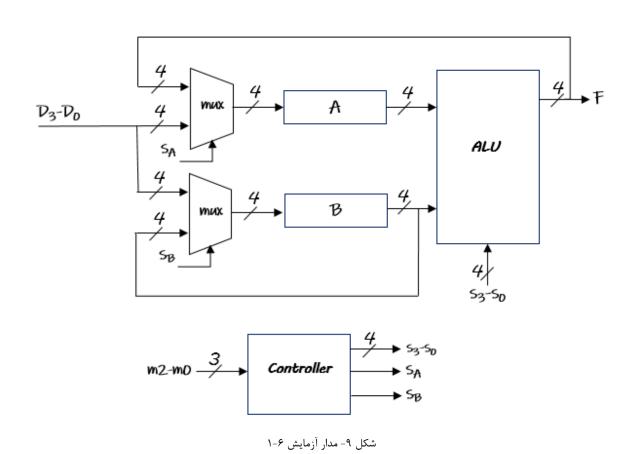
۶- آزمایش پنجم: واحد محاسبات و منطق (ALU)

هدف از این آزمایش، آشنایی با واحد محاسبات و منطق (ALU) است. همه بخشهای این آزمایش را با نرمافزار Proteus انجام دهید. زمان پیشبینی شده برای انجام این آزمایش، سه جلسه سه ساعته است.

۶-۱- آشنایی با تراشه ۷۴۱۸۱

مداری طراحی کنید که طبق شکل ۹، دارای دو ثبات داده A و B، یک ALU و یک کنترل کننده باشد، به طوری که با دادن کدهای مختلف به ALU، اعمال مختلف بر روی ورودیها انجام شود.



سیگنالهای ورودی

خطوط داده D0-D3

خطوط دستور M0-M2

یک کلید از نوع push-button برای باز گرداندن مدار به حالت اولیه (Reset).

یک کلید از نوع push-button برای ورودی

سیگنالهای خروجی

این مدار سیگنال خروجی خاصی ندارد. برای بررسی کارکرد درست مدار باید محتویات ثباتهای A و B و خروجی ALU قابل مشاهده باشد.

طرز کار:

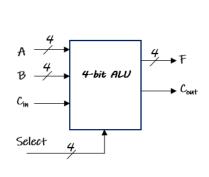
مدار باید طبق جدول ۲، با توجه ورودیهای M0-M2 عملیات خاصی را انجام دهد. برای ساخت این مدار از تراشههای ۷۴۱۸۱ (ALU)، ۷۴۱۷۵ (ثباتها)، ۷۴۱۵۷ (MUX) و تعداد کافی گیتهای پایه استفاده کنید.

جدول ۲- عملیات صورت گرفته در مدار برحسب ورودیهای M0-M2

M2	M1	MO	Operation
0	0	0	$A \leftarrow D_3 - D_0$
0	0	7	$\mathcal{B} \leftarrow \mathcal{D}_3$ - \mathcal{D}_0
0	7	0	$A \leftarrow A$
0	7	7	$A \leftarrow \mathcal{B}$
1	0	0	clear (A)
1	0	7	$A \leftarrow not(A)$
1	7	0	$A \leftarrow and(A,B)$
7	7	7	$A \leftarrow add(A,B)$

۲-۶ ساخت مدار داخلی ALU

یک واحد محاسبات و منطق چهاربیتی (4-bit ALU)، طبق شکل ۱۰ بسازید.



Operation select						
S3	S_2	S_1	S ₀	C_{in}	Operation	Function
0	0	0	0	0	F = A	Transfer A
0	0	0	0	1	F = A + 1	Increment A
0	0	0	1	0	F = A + B	Addition
0	0	0	1	1	F = A + B + 1	Add with carry
0	0	1	0	0	$F = A + \overline{B}$	Subtract with borrow
0	0	1	0	1	$F = A + \overline{B} + 1$	Subtraction
0	0	1	1	0	F = A - 1	Decrement A
0	0	1	1	1	F = A	Transfer A
0	1	0	0	×	$F = A \wedge B$	AND
0	1	0	1	×	$F = A \vee B$	OR
0	1	1	0	×	$F = A \oplus B$	XOR
0	1	1	1	×	$F = \overline{A}$	Complement A
1	0	×	×	×	$F = \operatorname{shr} A$	Shift right A into F
1	· 1	×	×	×	$F = \operatorname{shl} A$	Shift left A into F

شکل ۱۰- واحد محاسبات و منطق ۴ بیتی