**بسمه تعالی**



**پیش گزارش آزمایش سوم آزمایشگاه مدارهای منظقی**

**تابستان 1403**

شمارنده ها

**استاد**

**شاهین حسابی**

**اعضای گروه:**

**محمدمهدی عابدینی 402106191**

**امیرمهدی وزیری 402106756**

**سیدمحمدرضا جوادی 402105868**

**فهرست عناوین**

[مقدمه 3](#_Toc172488488)

[آزمایش اول 4](#_Toc172488489)

[بخش اول : 4](#_Toc172488490)

[بخش دوم 6](#_Toc172488491)

[آزمایش دوم 7](#_Toc172488492)

# مقدمه

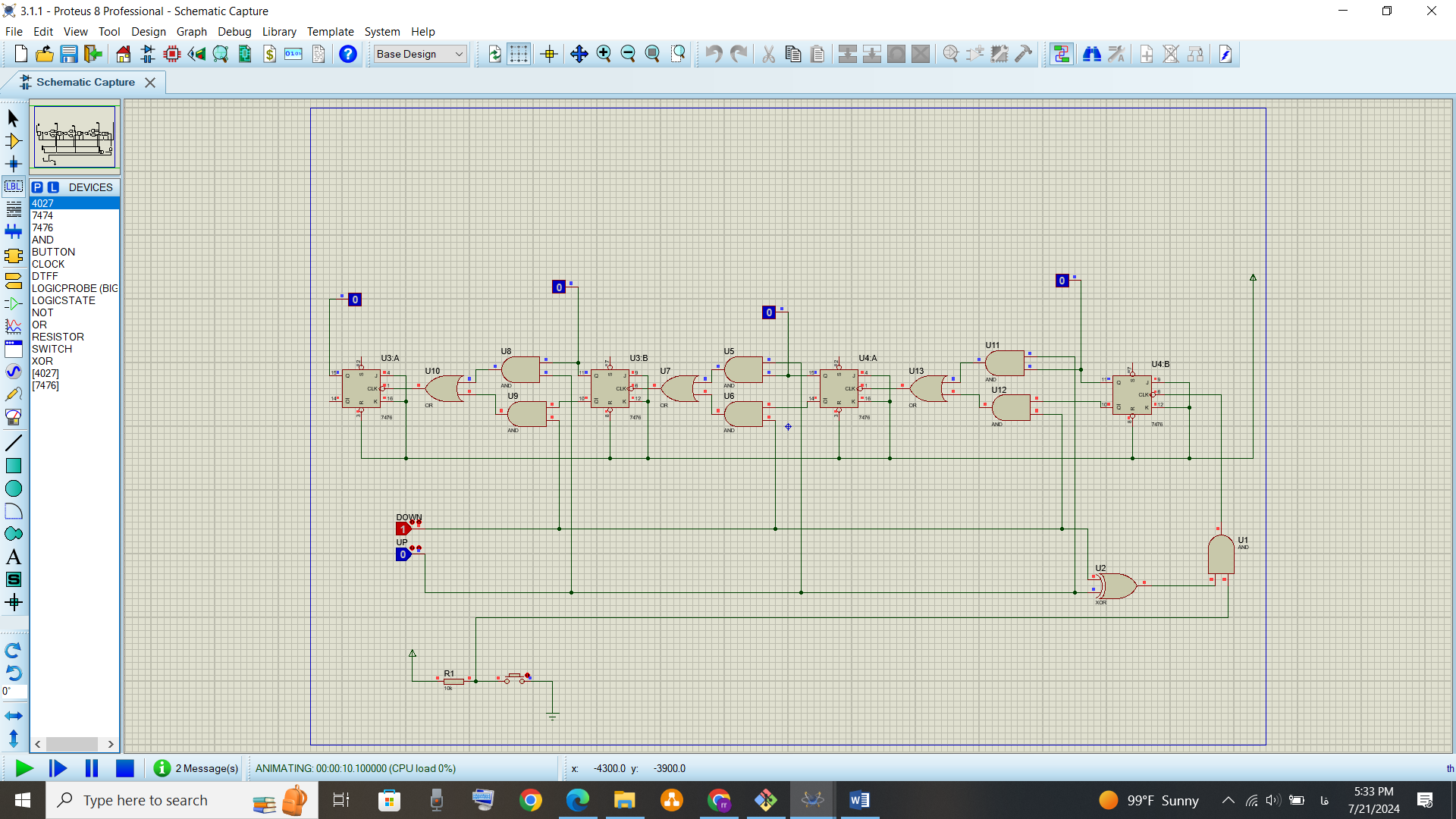
هدف در این آزمایش آشنایی و کار کردن با شمارنده ها چه سنکرون و چه آسنکرون است.

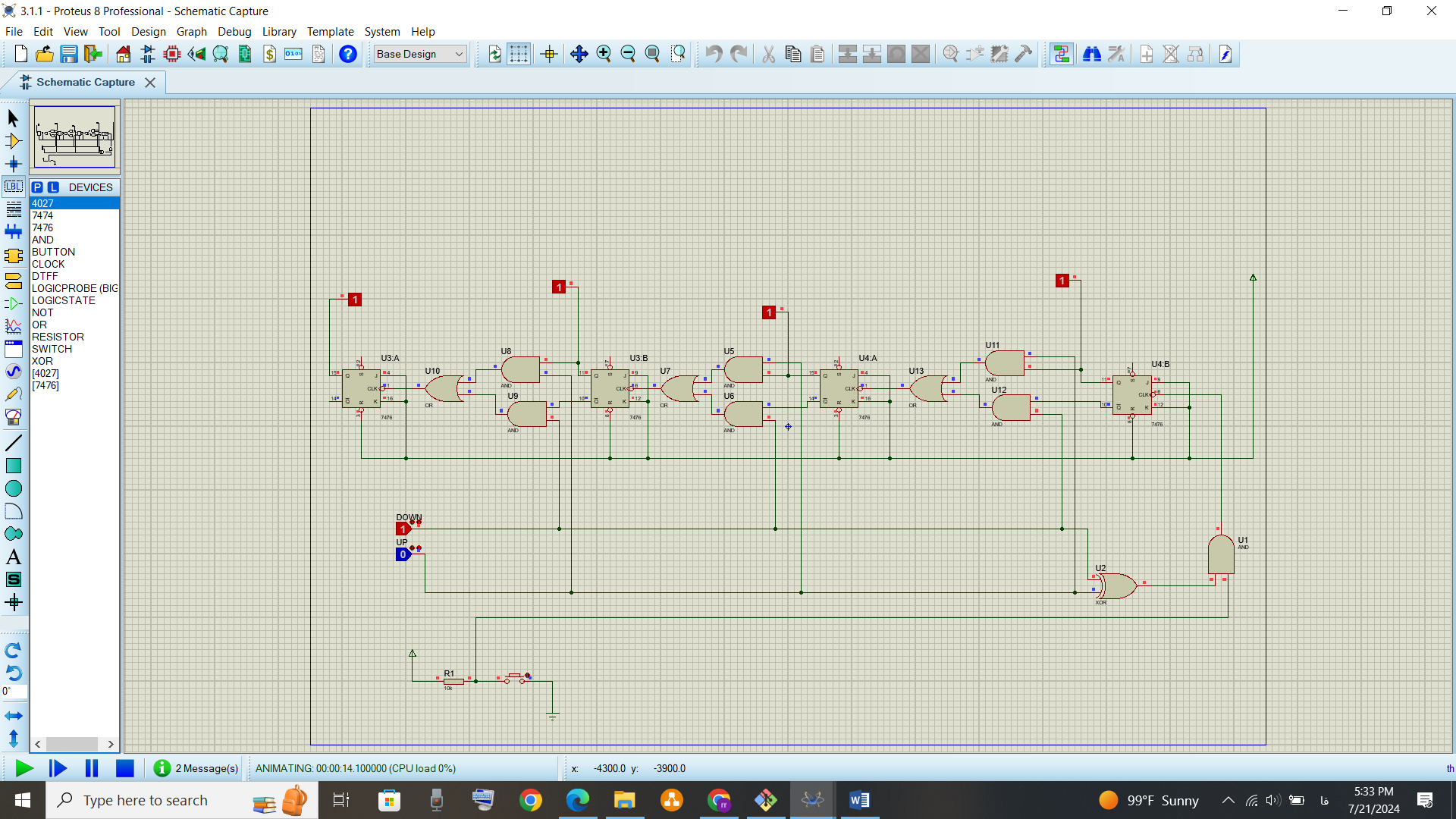
# آزمایش اول

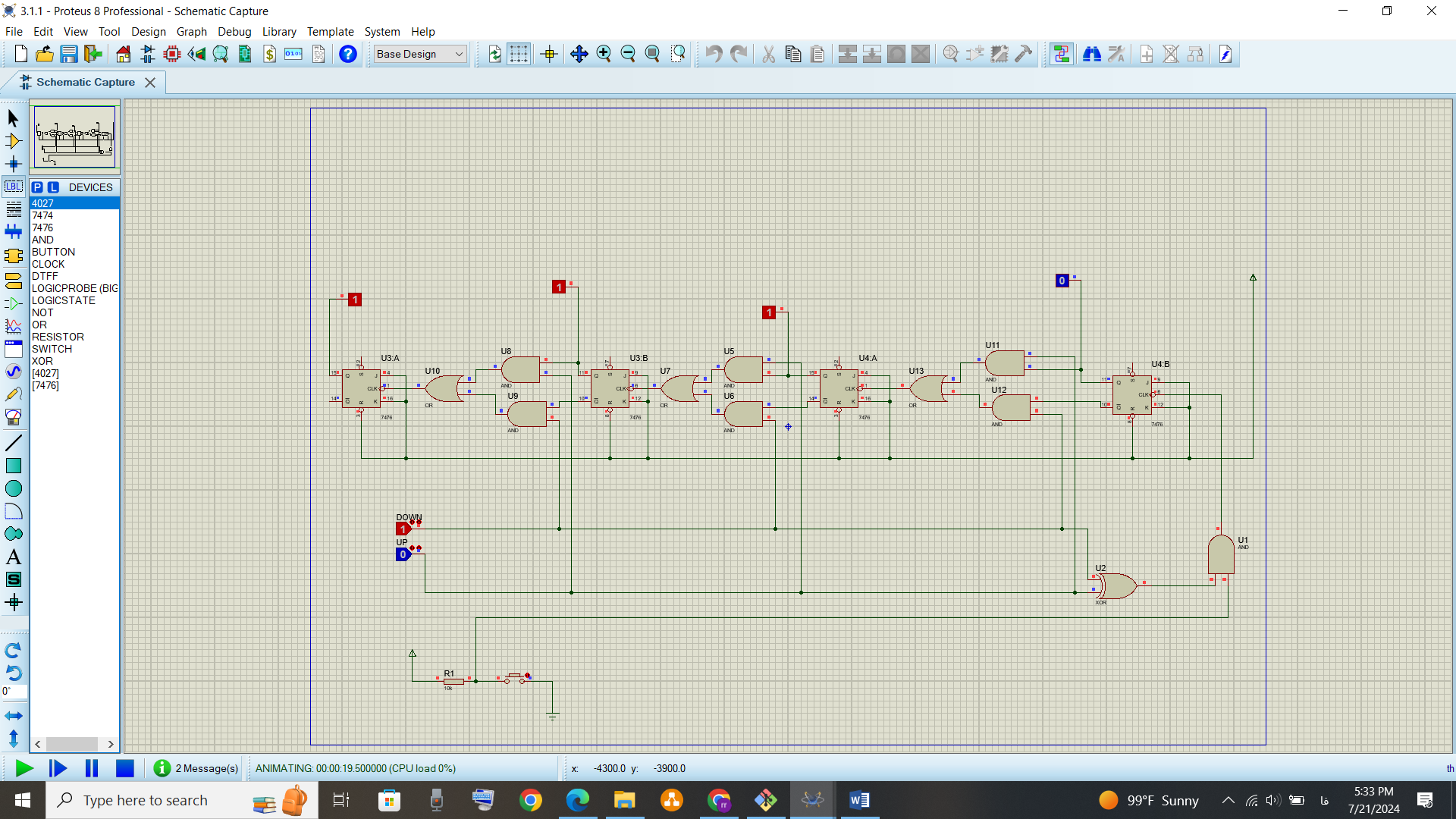
## بخش اول :

همانطور که در دستور کار بود در پروتئوس مدار مربوطه را می بندیم. تصاویر زیر نشان می دهند مدار درست کار می کند:

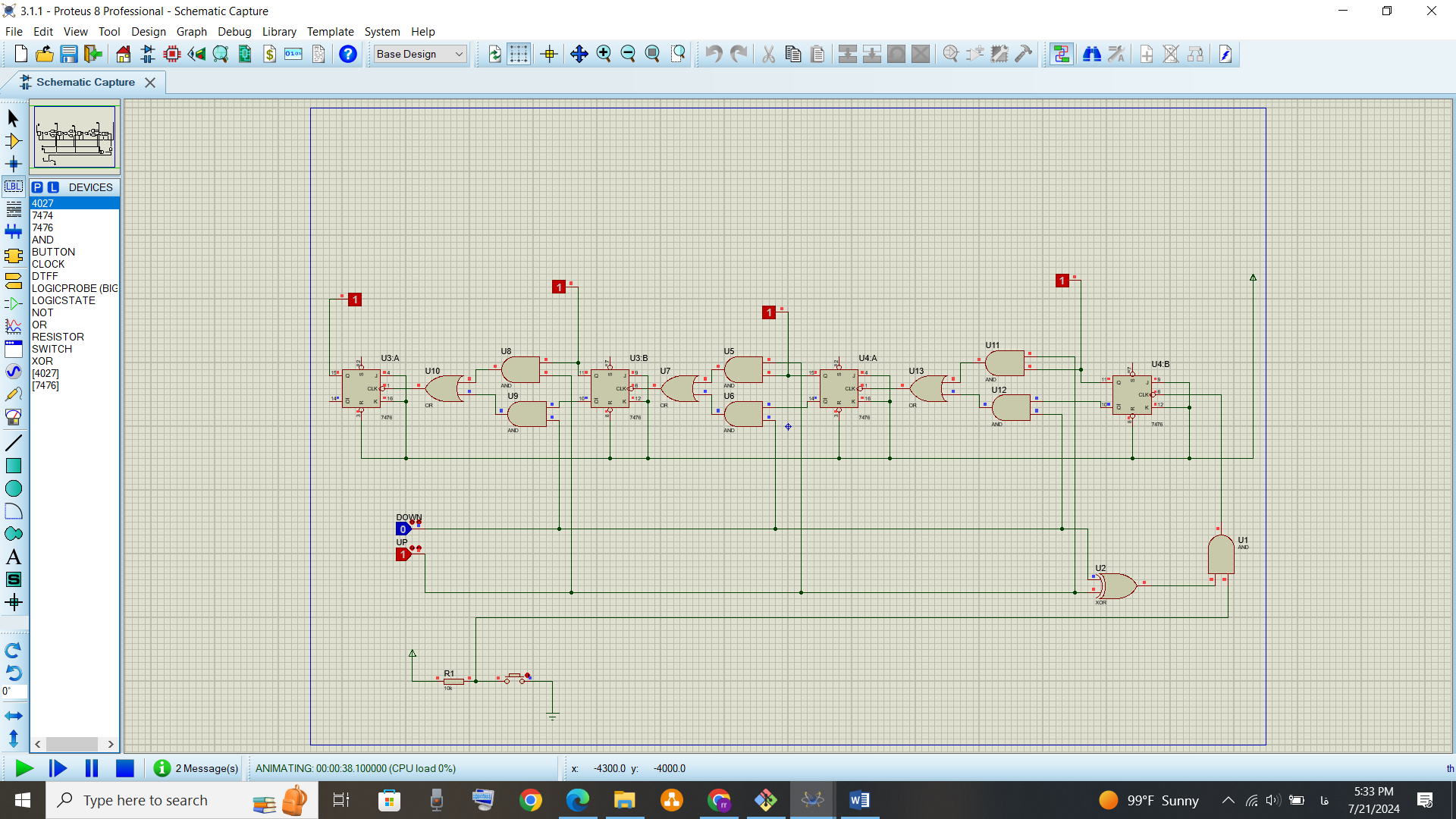
با down=1 و زدن سه کلاک:







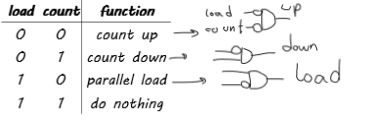
پس از آن یک کلاک و با up=1:



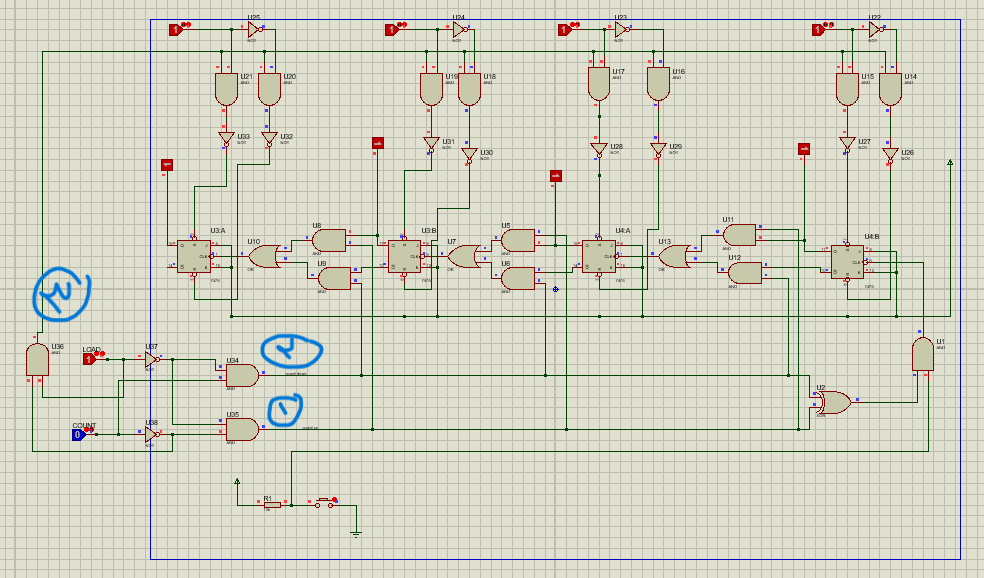
## بخش دوم

برای حداقل تغییرات حدالامکان از امکانات بخش قبل استفاده می کنیم به این صورت که برای دادن 4 ورودی مد نظر از set و reset استفاده کرده و همینطور بجای logic state ها down و up بخش دیگری (مطابق شکل) قرار می دهیم.

چگونگی فهمیدن ورودی ها از دستور مطابق جدول داده شده است:



که دو مورد اول را در مدار سابق داشتیم. برای مورد سوم مطابق شکل زیر عمل می کنیم تا هر وقت گیت سوم یک بود برای هر فلیپ فلاپ set یا reset رخ دهد( طبق ترتیب بالا در شکل شماره گذاری کردم):



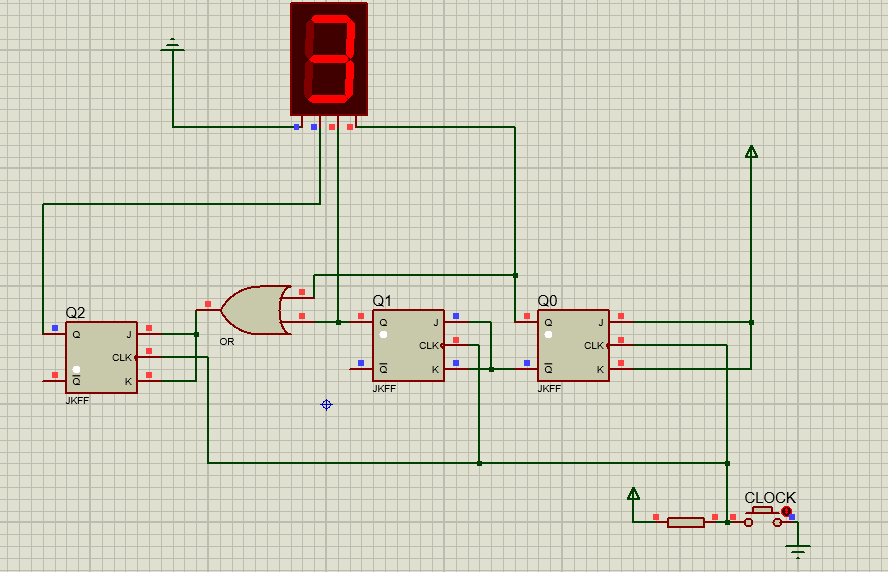
در مورد آخر هم هرگاه هرload و count ورودی ها 1 باشند ( حالت چهارم) خروجی هر سه گیت AND صفر می شود و اتفاقی رخ نمی دهد. فایل های fritzingهمه آزمایش ها ضمیمه شده اند.

# آزمایش دوم

در این آزمایش یک شمارنده دو طرفه سنکرون با قدم (Step)های سه تایی با 3 بیت طراحی میکنیم.

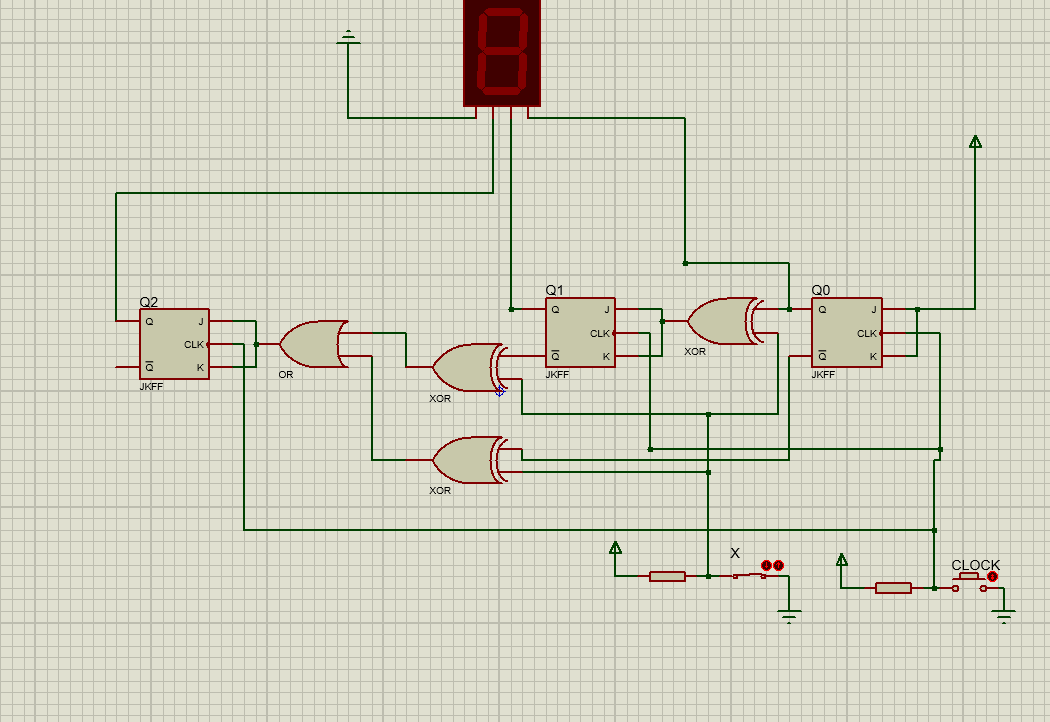
اول شمارنده بالارونده را طراحی میکنیم.

اگر قدم‌ها سه تایی باشد، در هر پالس رقم اول به هر حال تغییر میکند، از طرفی رقم دوم هم همیشه تغییر می‌کند مگر وقتی که رقم اول 1 باشد که در آن صورت آن 1 با 11 جمع میشود و انگار 100 اضافه می‌شود و رقم دوم ثابت می‌ماند، پس Toggle رقم دوم برابر معکوس رقم اول می‌باشد. تاگل رقم آخر هم با حالت بندی برابر OR(Q0, Q1) است.



در قدم بعدی برای تغییر جهت شمارش، کافیست در همه جا به فلیپ فلاپ بعدی به جای Q، Q’ بدهیم و برعکس، برای این هدف از XOR استفاده می‌کنیم که در یک حالت ورودی X، دیگری را قرینه کند.

البته برای صرفه‌جویی در تعداد گیت به جای قرینه کردن X ورودی ها را برعکس کردیم.



همچنین طراحی مدار در فریتزینگ به شکل زیر است: