

Jerarquía de Memoria

Estructura de Computadores. Tema 6.1.

LA ABSTRACCIÓN DE MEMORIA

Notación Intel \Rightarrow (Dest, Src)
Notación nuestra \Rightarrow (Src, Dest)

Escritura

- Transferir datos de CPU a memoria `movq %rax, 8(%rsp)`
- Operación “Store”

Lectura

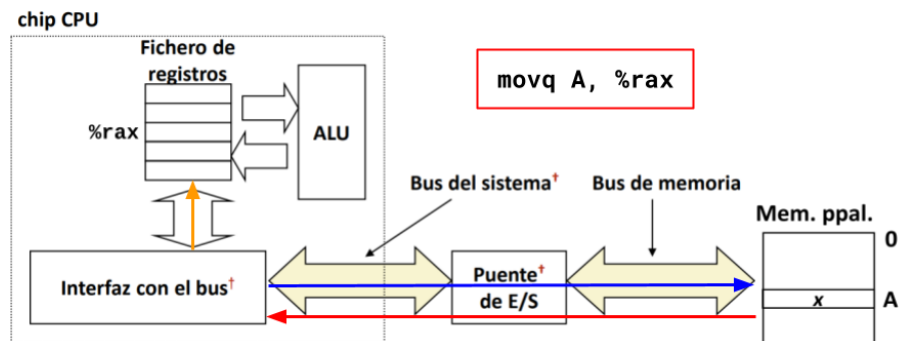
- Transferir datos de memoria a CPU `movq 8(%rsp), %rax`
- Operación “Load”

Estructura de buses CPU – Memoria

Un **bus** es un conjunto de cables en paralelo que transportan direcciones, datos, y señales de control. Típicamente a un bus se conectan varios dispositivos.

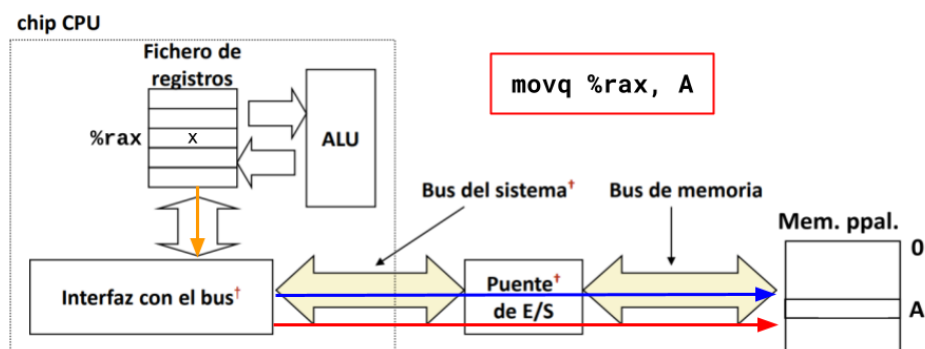
Transacción de Lectura de Memoria

1. La CPU pone la dirección *A* en el bus de memoria.
2. La memoria principal recibe dirección *A* del bus de memoria, recupera la palabra *x*, y la pone en el bus.
3. La CPU lee palabra *x* del bus y la copia al registro `%rax`



Transacción de Escritura a Memoria

1. La CPU pone dirección *A* en el bus. La memoria principal la recibe y espera a que llegue la palabra de datos correspondiente.
2. La CPU pone la palabra de datos *x* en el bus
3. La memoria principal recibe la palabra de datos *x* del bus y la almacena en la posición con dirección *A*



RAM: BLOQUE CONSTRUCTIVO DE MEMORIA PRINCIPAL

Conceptos

Tiempo de acceso. Tiempo que se requiere para leer (o escribir) un dato (palabra) en la memoria, medido en ciclos o (n-μ-m) s.

Ancho de banda (de la memoria de un computador). Número de palabras a las que puede acceder el procesador (o que se pueden transferir entre el procesador y la memoria) por unidad de tiempo, medido en (K-M-G) B/s.

Métodos de acceso

- Aleatorio (RAM): tiempo de acceso independiente de la posición a acceder. Por ejemplo, SRAM, ROM

- Secuencial (SAM): tiempo de acceso depende de la posición de los datos a acceder. Por ejemplo, cinta magnética
- Directo (semialeatorio, DASD – direct access storage device): tiempo acceso tiene una componente aleatoria y otra secuencial. Por ejemplo, discos giratorios

Memoria de Acceso Aleatorio (RAM)

Características principales

- La RAM tradicionalmente se empaqueta **como un chip** o está **incluida** (empotrada) como parte de un chip **procesador**
- La unidad básica almacenamiento es normalmente una **celda** (1 bit/celda)
- Múltiples chips de RAM forman una memoria

La RAM tiene dos variedades

- **SRAM** (RAM estática)
 - 6 transistores / bit
 - 2 inversores (x 2 tr) + 2 puertas de paso
 - Mantiene el estado indefinidamente
- **DRAM** (RAM Dinámica)
 - (1 Transistor + 1 condensador) / bit
 - Condensador orientado verticalmente
 - Debe refrescar estado periódicamente

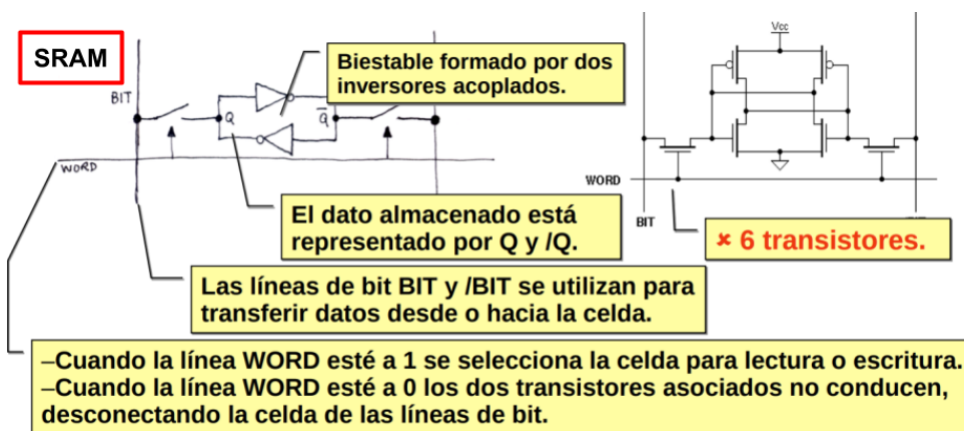
SRAM

Celda de memoria SRAM

Son **estáticas** \Rightarrow los datos almacenados se mantienen por un tiempo indefinido si hay alimentación.

Las operaciones de **lectura** son no destructivas y tienen mayor velocidad que las DRAM.

- Se selecciona la celda poniendo WORD a 1 \Rightarrow Q se conecta a BIT y /Q a /BIT.



- Si $Q = 1$ ($/Q = 0$) \Rightarrow la línea /BIT se pone a 0. – BIT = 1 y /BIT = 0 \Rightarrow se lee un 1.
- Si $Q = 0$ ($/Q = 1$) \Rightarrow la línea BIT se pone a 0. – BIT = 0 y /BIT = 1 \Rightarrow se lee un 0.

DRAM

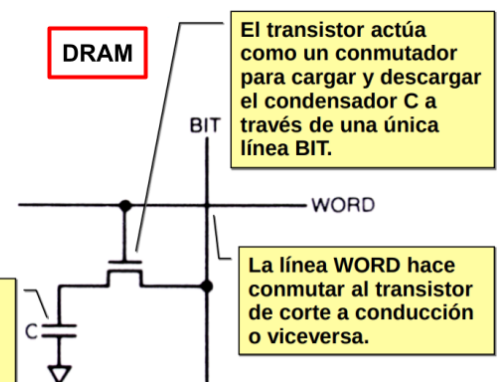
Celda de memoria DRAM

Son **dinámicas** \Rightarrow los datos almacenados decaen o se desvanecen y deben ser restaurados a intervalos regulares.

La celda está construida sobre el condensador para minimizar espacio

La **lectura** es destructiva, esto es, debe ir seguida de una escritura que restaure el estado original.

- La circuitería externa convierte a BIT en una línea de salida, poniéndose la celda con WORD = 1.



- Si C está cargado ($= 1$) \Rightarrow se descarga a través de la línea BIT \Rightarrow se produce un pulso de corriente que es detectado por un amplificador de salida (“sense amplifier”) \Rightarrow aparece un 1 en la línea de datos de salida.
- Si C está descargado ($= 0$) \Rightarrow no se produce pulso de corriente \Rightarrow aparece un 0 en la línea de datos de salida.

Circuitos de memoria DRAM

Capacidad elevada de los chips de memoria DRAM \Rightarrow las direcciones han de proporcionarse multiplexadas en el tiempo.