



Universidad
Europea
del Atlántico

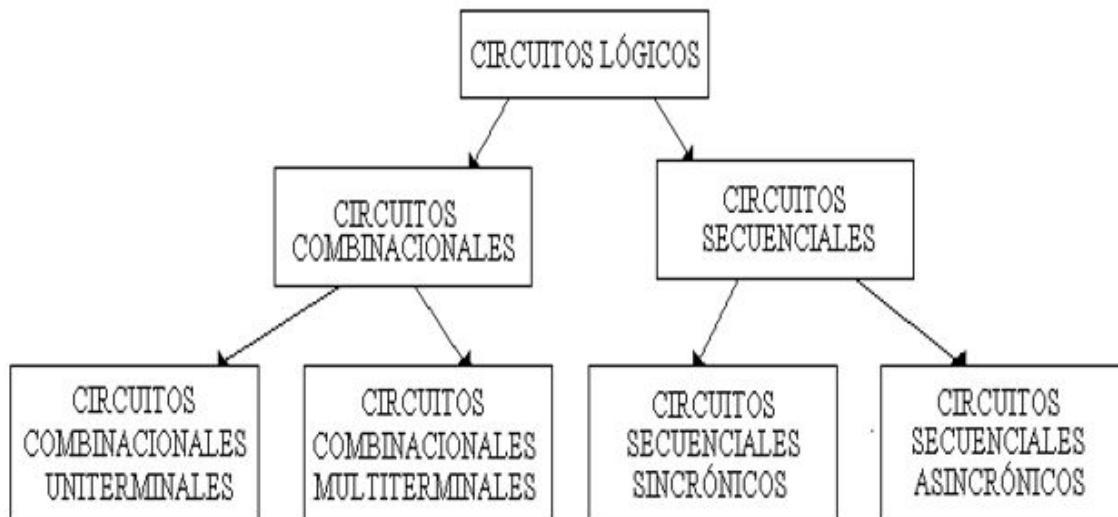
Loyda Leticia Alas Castaneda
loyda.alas@uneatlantico.es

Tecnología y Estructura de Ordenadores

Tema 7

Circuitos Secuenciales Sincrónicos (CSS)

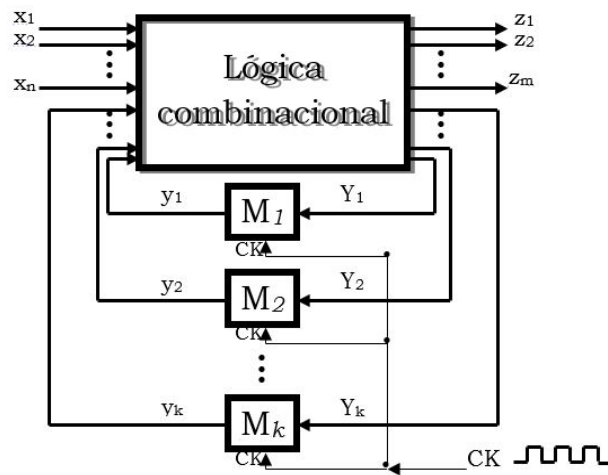
Circuitos Lógicos



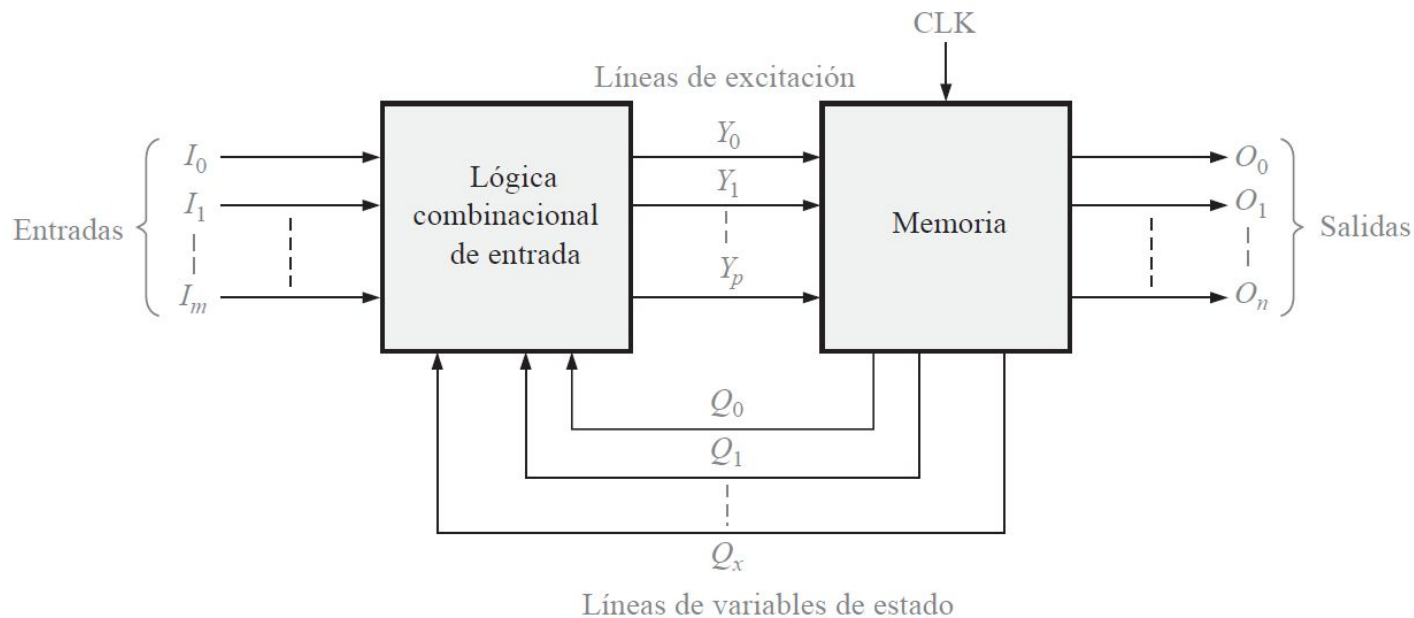
Circuitos Secuenciales Sincrónicos

Son aquellos CSS en los que las salidas sólo **cambian en instantes de tiempo** gobernados por pulsos de otro circuito que recibe el nombre de reloj.

Ejemplos de CSS: Contadores síncronos, registros, detectores de secuencias.



Máquina de estados finitos



Circuitos Secuenciales Sincrónicos (CSS)

Circuitos Secuenciales Síncronos

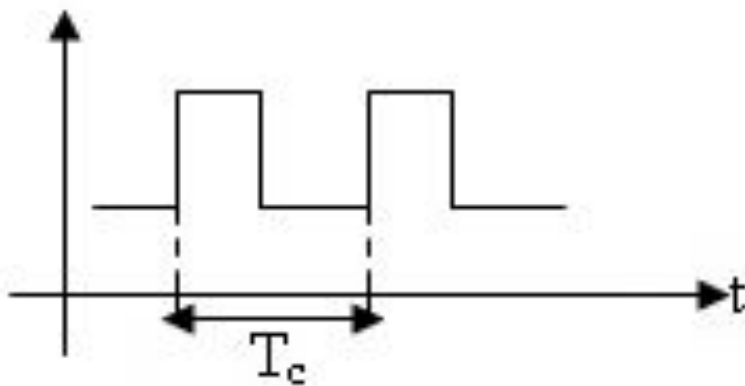
Señal de reloj (ck)

Son aquellos CSS en los que las salidas sólo cambian en instantes de tiempo gobernados por pulsos de otro circuito que recibe el nombre de reloj.

Circuitos Secuenciales Sincrónicos (CSS)

Circuitos Secuenciales Síncronos

Forma de Ondas

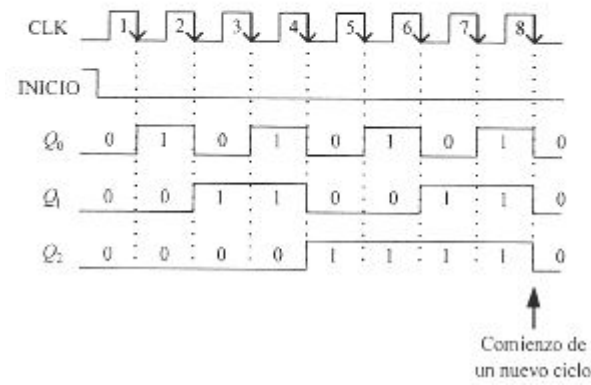
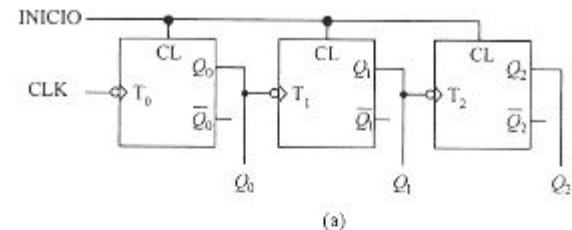


T_c : Período de reloj

Circuitos Secuenciales Asíncronos

Son aquellos CS en los que las salidas no dependen de una relación temporal fija.

Ejemplos de CSA: Contadores asíncronos.



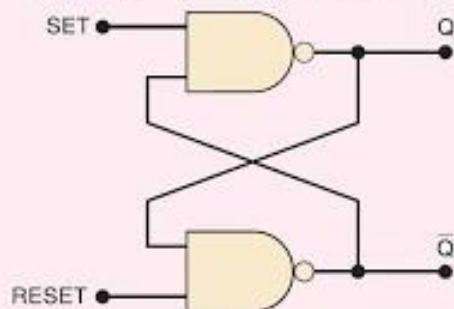
Clasificación

- **Síncronos**
 - Señal de reloj global
 - Facilidad de diseño
 - Velocidad limitada
- **Asíncronos**
 - No existe señal de reloj global
 - Dificultad de diseño

Latch

LATCH

Teoría y Simulación



| ENTRADAS | | SALIDAS | | COMENTARIOS |
|----------|---|---------|-----------|--|
| S | R | Q | \bar{Q} | |
| 1 | 1 | N.C | N.C | No cambia, permanece en su estado anterior |
| 0 | 1 | 1 | 0 | Establece (SET) |
| 1 | 0 | 0 | 1 | Restablece (RESET) |
| 0 | 0 | 1 | 1 | Condición no válida |

Circuitos Secuenciales Sincrónicos (CSS)

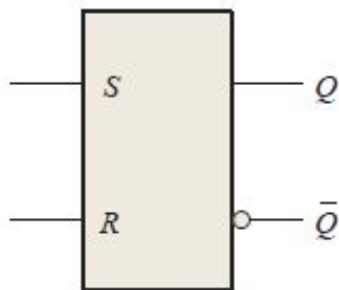
Latches

El ***latch*** (cerrojo) es un tipo de dispositivo de almacenamiento temporal de dos estados (biestable).

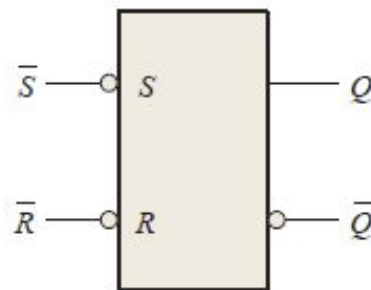
Latch S-R y $\bar{S} - \bar{R}$

Un latch S-R (Set-Reset) con entrada activa a nivel ALTO se compone de dos puertas NOR acopladas

Un latch $\bar{S}-\bar{R}$ con entrada activa a nivel BAJO está formado por dos puertas NAND conectadas.



(a) Latch S-R con entrada activa a nivel ALTO.



(b) Latch $\bar{S}-\bar{R}$ con entrada activa a nivel BAJO.

Circuitos Secuenciales Sincrónicos (CSS)

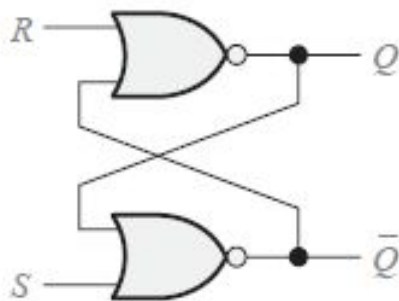
Latches

El **latch** (cerrojo) es un tipo de dispositivo de almacenamiento temporal de dos estados (biestable).

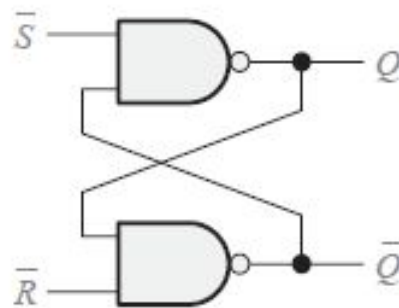
Latch S-R y $\bar{S} - \bar{R}$

Un latch S-R (Set-Reset) con entrada activa a nivel ALTO se compone de dos puertas NOR acopladas

Un latch $\bar{S}-\bar{R}$ con entrada activa a nivel BAJO está formado por dos puertas NAND conectadas.



(a) Latch S-R con entrada activa a nivel ALTO



(b) Latch $\bar{S}-\bar{R}$ con entrada activa a nivel BAJO

Bistable - SR

S = set

R = reset

Q = salida

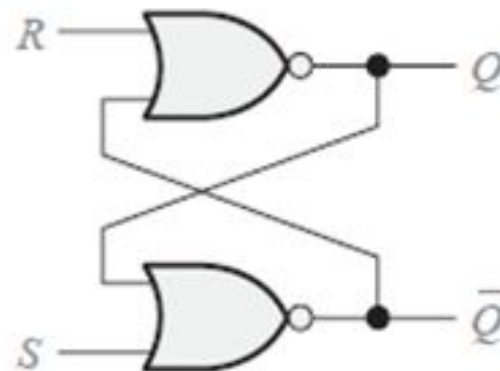
\bar{Q} = salida negada

Análisis

$$Q(t+1) = \overline{R + \overline{Q(t)}}$$

$$\overline{Q}(t+1) = \overline{S + Q(t)}$$

| S | R | Q(t) | $\overline{Q}(t)$ | Q(t+1) | $\overline{Q}(t+1)$ |
|---|---|------|-------------------|--------|---------------------|
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |



(a) Latch S-R con entrada activa a nivel ALTO

Bistable - SR

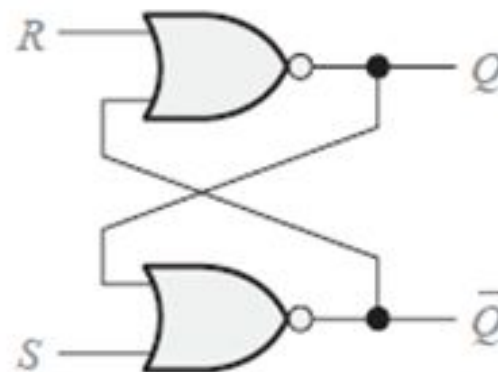
S = set

R = reset

Q = salida

\bar{Q} = salida negada

| S | R | \bar{Q} | Q |
|---|---|----------------------|----------------------|
| 0 | 0 | No varía | No varía |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Entrada no permitida | Entrada no permitida |



(a) Latch S-R con entrada activa a nivel ALTO

Biestable - SR

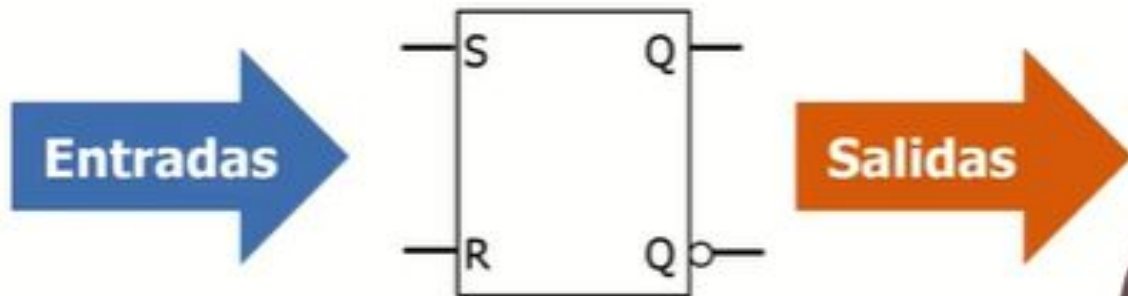
S = set

R = reset

Q = salida

\overline{Q} = salida negada

Símbolo lógico



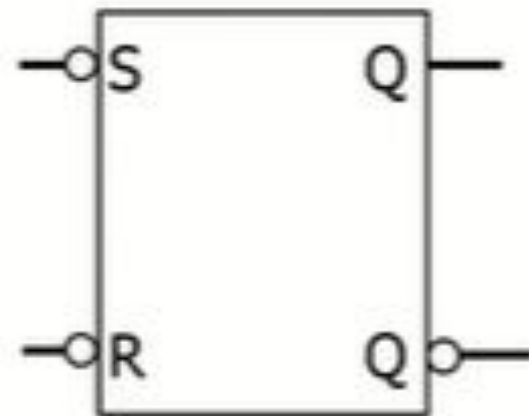
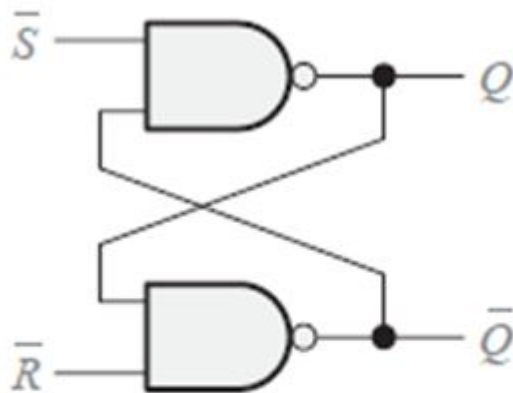
Bistable - SR

S = set

R = reset

Q = salida

\bar{Q} = salida negada



(b) Latch \bar{S} - \bar{R} con entrada activa a nivel BAJO

Bistable - SR

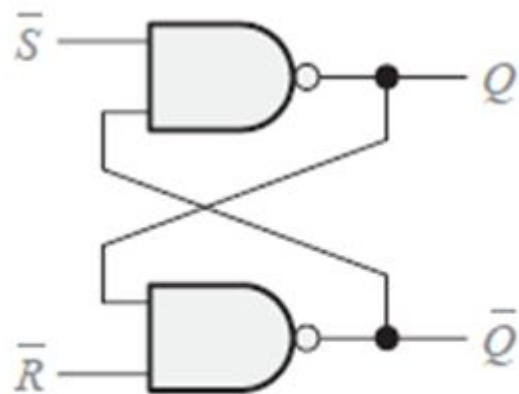
S = set

R = reset

Q = salida

\bar{Q} = salida negada

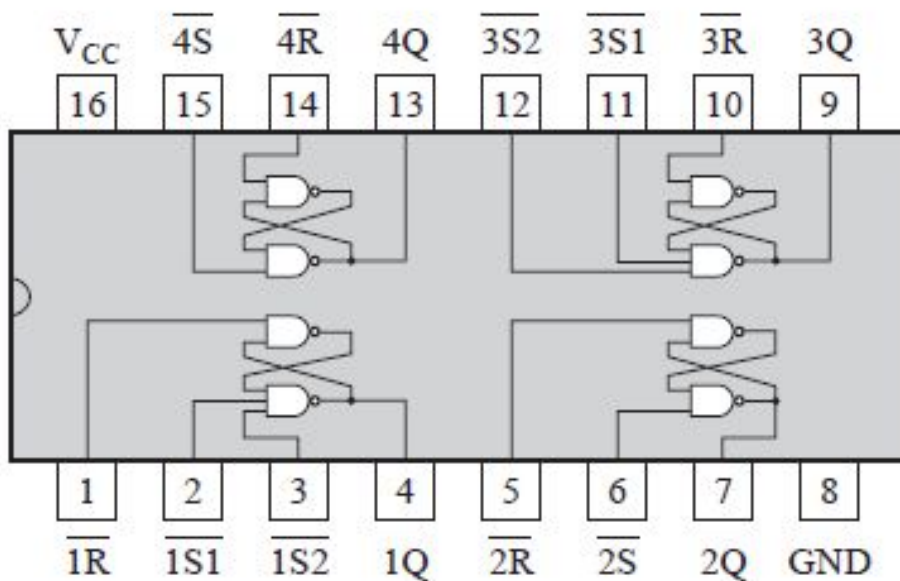
| \bar{S} | \bar{R} | \bar{Q} | Q |
|-----------|-----------|----------------------|----------------------|
| 0 | 0 | Entrada no permitida | Entrada no permitida |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | No varía | No varía |



(b) Latch \bar{S} - \bar{R} con entrada activa a nivel BAJO

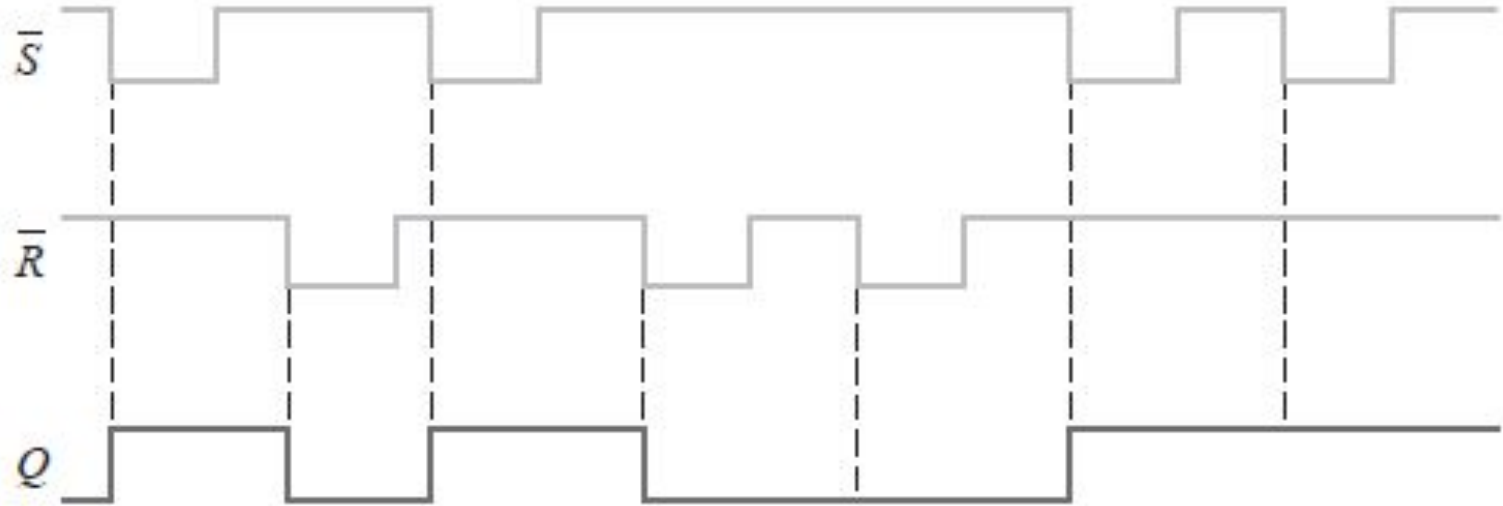
Biestable - $\bar{S} - \bar{R}$

Diagrama de pines



Bistable - \bar{S} - \bar{R}

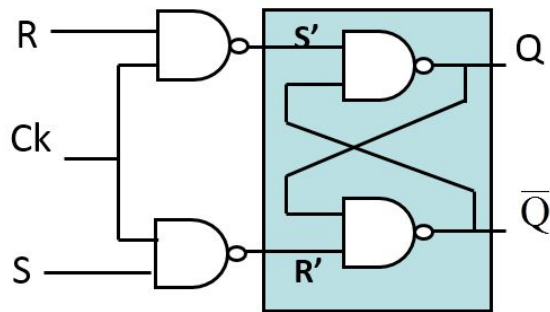
- Diagrama de transiciones



Biastable - RS con reloj

| \bar{S} | \bar{R} | \bar{Q} | Q |
|-----------|-----------|----------------------|----------------------|
| 0 | 0 | Entrada no permitida | Entrada no permitida |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | No varía | No varía |

| S | R | \bar{Q} | Q |
|---|---|----------------------|----------------------|
| 0 | 0 | No varía | No varía |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Entrada no permitida | Entrada no permitida |



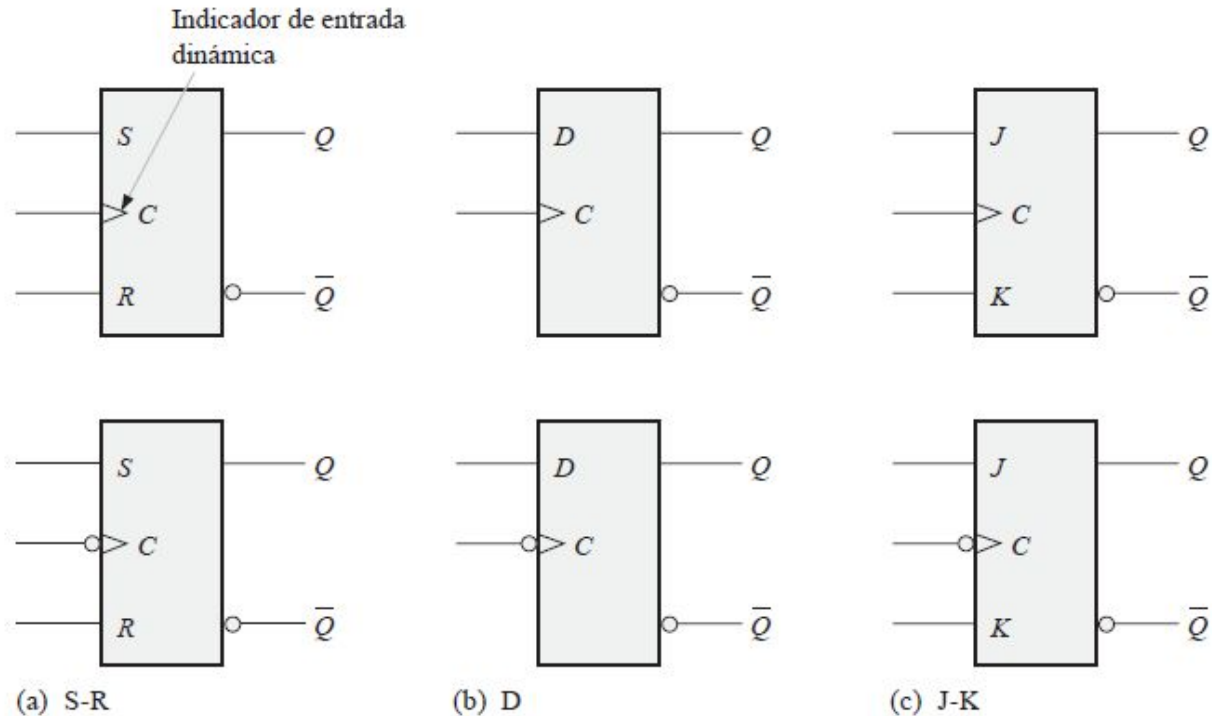
Si $CK=0$ S' y $R'=11$ es un RS sin CK, mantiene el estado.

Si $CK=1$. La salida depende de R y S.

$CK=1$ Reloj activo.

$CK=1$ RS =00 $S' R'=11$ Mantiene el estado.

Biastable - Tipos de entradas CLK



Biestable - JK

Se comporta igual que el RS pero la entrada 11 ya no es una entrada de inestabilidad, es $Q(t + 1) = Q(t)'$, además está gobernada por un reloj.

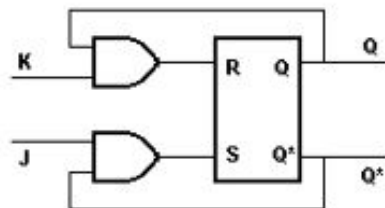
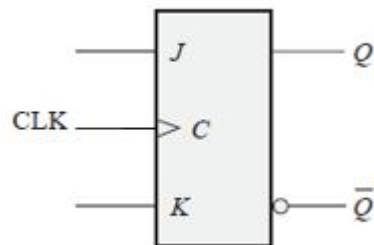
| CLK | J | K | Q(t) | Q(t+1) | |
|-------|---|---|------|--------|-------|
| 0/1/↓ | X | X | X | Q(t) | Mant. |
| ↑ | 0 | 0 | 0 | 0 | Mant. |
| ↑ | 0 | 0 | 1 | 1 | |
| ↑ | 0 | 1 | 0 | 0 | Reset |
| ↑ | 0 | 1 | 1 | 0 | |
| ↑ | 1 | 0 | 0 | 1 | Set |
| ↑ | 1 | 0 | 1 | 1 | |
| ↑ | 1 | 1 | 0 | 1 | Inv. |
| ↑ | 1 | 1 | 1 | 0 | |

Biestable - JK

Se comporta igual que el RS pero la entrada 11 ya no es una entrada de inestabilidad, es $Q(t + 1) = Q(t)'$, además está gobernada por un reloj.

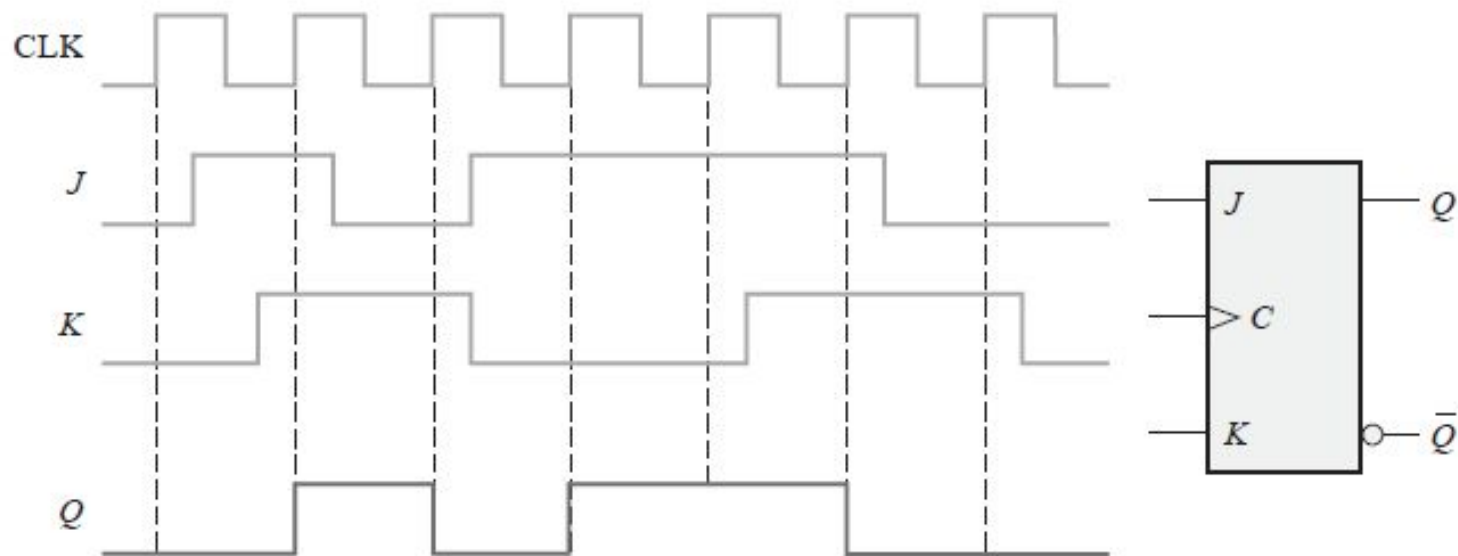
| Entradas | | | Salidas | | Comentarios |
|----------|-----|------------|---------|-------------|-------------|
| J | K | CLK | Q | \bar{Q} | |
| 0 | 0 | \uparrow | Q_0 | \bar{Q}_0 | No cambio |
| 0 | 1 | \uparrow | 0 | 1 | RESET |
| 1 | 0 | \uparrow | 1 | 0 | SET |
| 1 | 1 | \uparrow | Q_0 | \bar{Q}_0 | Basculación |

\uparrow = transición del reloj de nivel BAJO a nivel ALTO
 Q_0 = nivel de salida previo a la transición del reloj

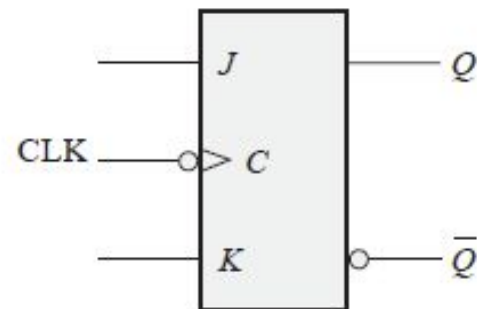
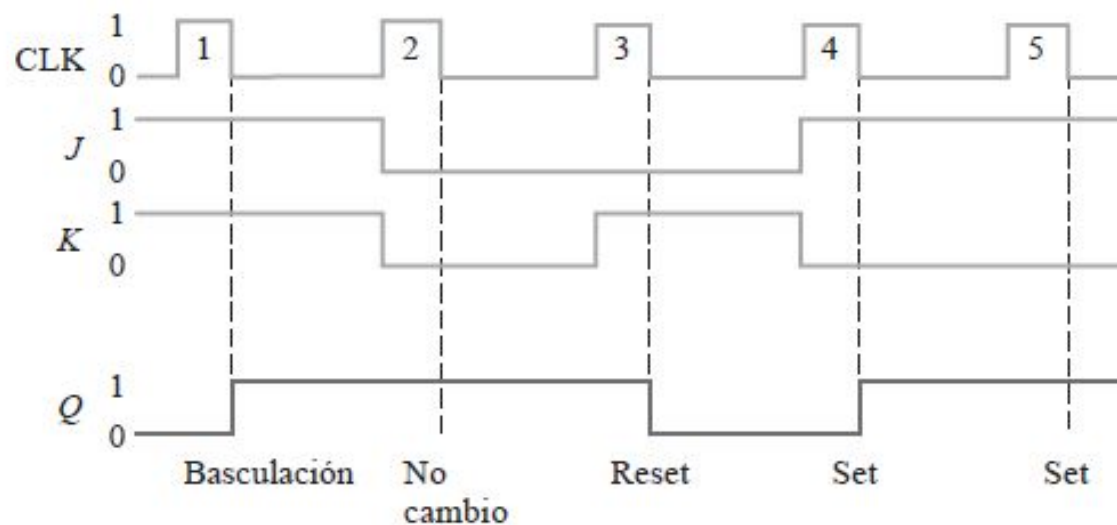


Circuitos Secuenciales Sincrónicos (CSS)

Bistable - JK

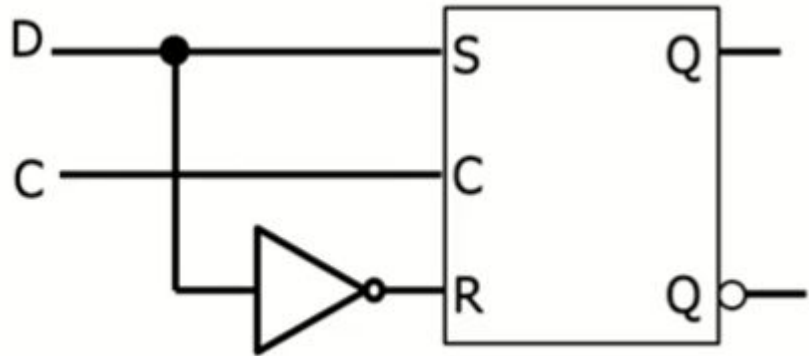
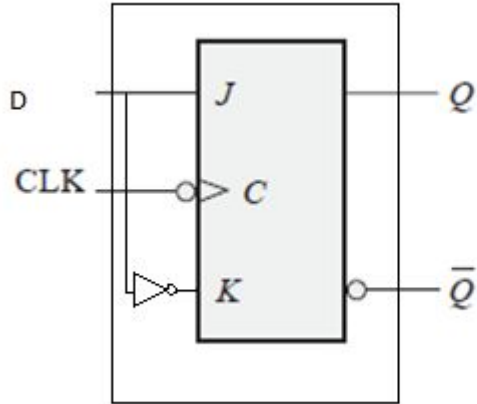


Biastable - JK



Biastable - D

Almacenador por excelencia ya que no cambia la información.



Biestable - D

Almacenador por excelencia ya que no cambia la información.



Biestable - D

Almacenador por excelencia ya que no cambia la información.

| CLK | D | Q(t) | Q(t+1) | |
|-------|---|------|--------|-------|
| 0/1/↓ | X | X | Q(t) | Mant. |
| ↑ | 0 | 0 | 0 | |
| ↑ | 0 | 1 | 1 | Reset |
| ↑ | 1 | 0 | 1 | |
| ↑ | 1 | 1 | 1 | Set |

Biestable - D

Almacenador por excelencia ya que no cambia la información.

| CLK | D | Q(t+1) | |
|-------|---|--------|-------|
| 0/1/↓ | X | Q(t) | Mant. |
| ↑ | 0 | 0 | |
| ↑ | 1 | 1 | Latch |

Bistable - D

Almacenador por excelencia ya que no cambia la información.

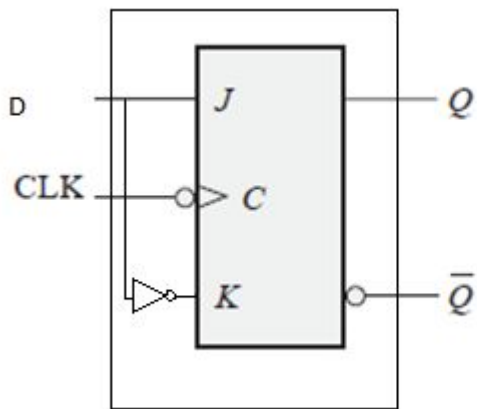
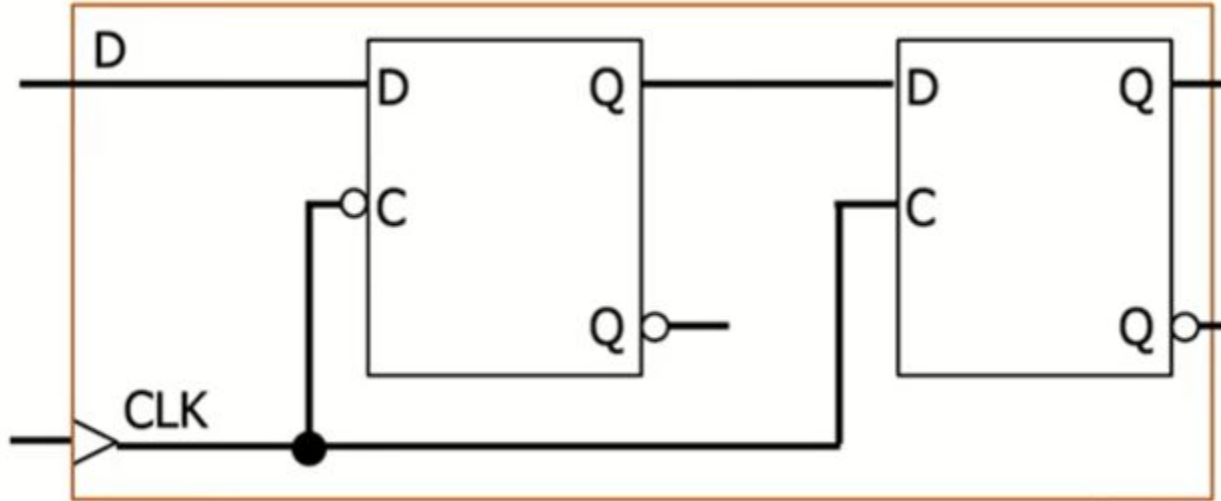


Tabla Característica

| Ck | D | Q_{n+1} |
|----|---|-----------|
| 0 | x | Q_n |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

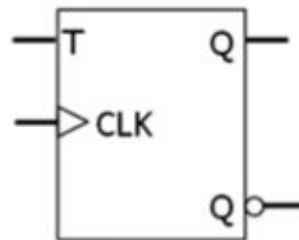
Biastable - D



Biastable - T

Se construye con un biastable JK uniendo sus entradas.

| CLK | T | Q(t) | Q(t+1) | |
|-------|---|------|--------|-------|
| 0/1/↓ | X | X | Q(t) | Mant. |
| ↑ | 0 | 0 | 0 | Mant. |
| ↑ | 0 | 1 | 1 | Mant. |
| ↑ | 1 | 0 | 1 | Inv. |
| ↑ | 1 | 1 | 0 | Inv. |



Bistable - T

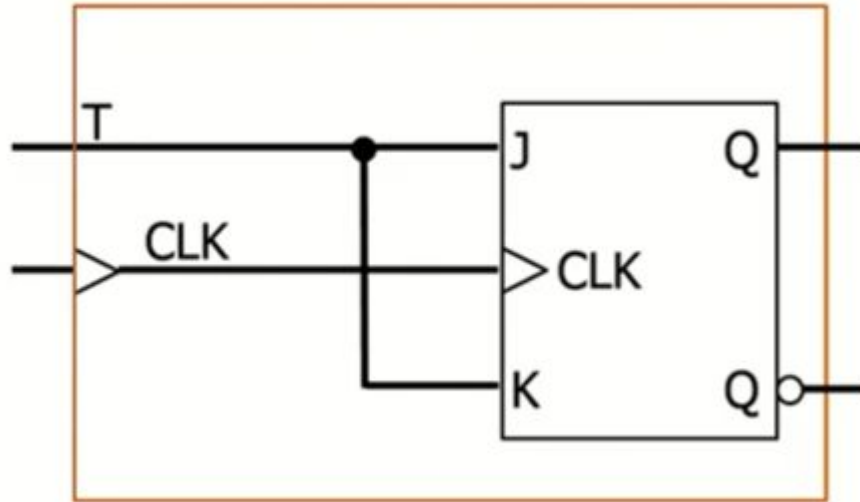
Se construye con un bistable JK uniendo sus entradas.

| CLK | T | Q(t+1) | |
|-------|---|--------|-------|
| 0/1/↓ | X | Q(t) | Mant. |
| ↑ | 0 | Q(t) | Mant. |
| ↑ | 1 | /Q(t) | Inv. |

| T | Q _{n+1} |
|---|------------------|
| 0 | Q _n |
| 1 | \overline{Q}_n |

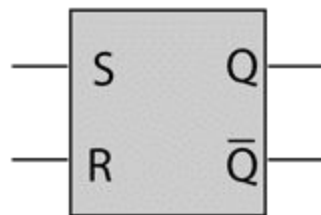
Biastable - T

Se construye con un biastable JK uniendo sus entradas.



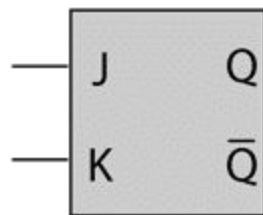
Resumen de FlipFlops

RS, D, JK, T



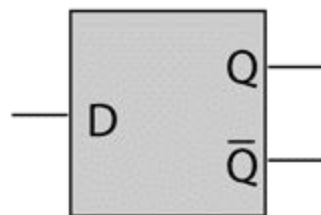
Tipo Set/Reset

Dispositivo de almacenamiento básico de dato. Mantiene el dato hasta que ocurre un reset.



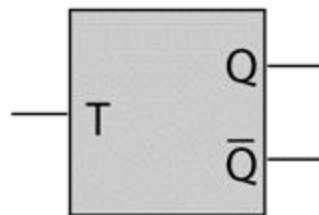
Tipo J-K

Es el más versátil de los flip-flops básicos. Dos comportamientos en la entrada y conmutación a la salida.



Tipo D

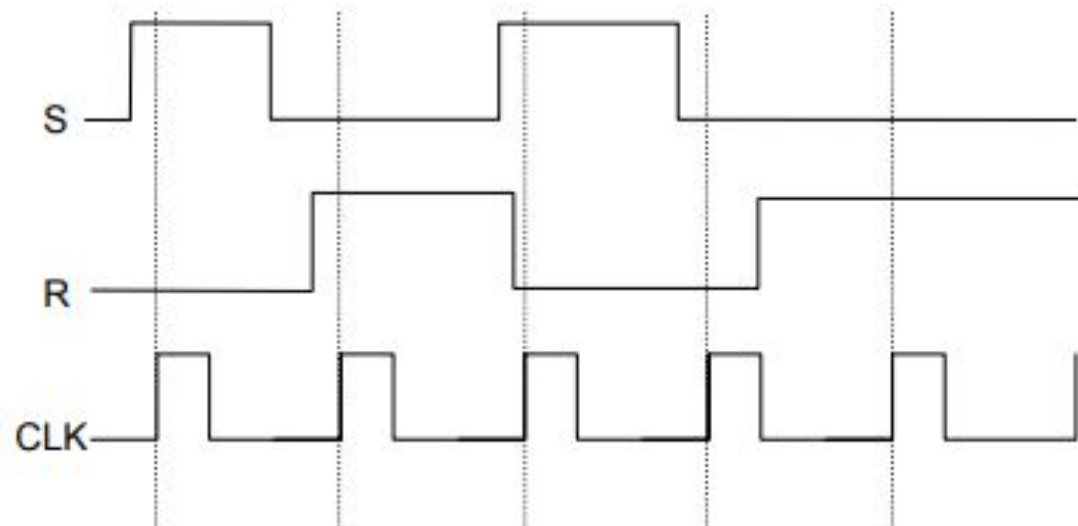
Flip-flop básico de dato. Tiene la ventaja de una construcción mas simple que la versión J-K.



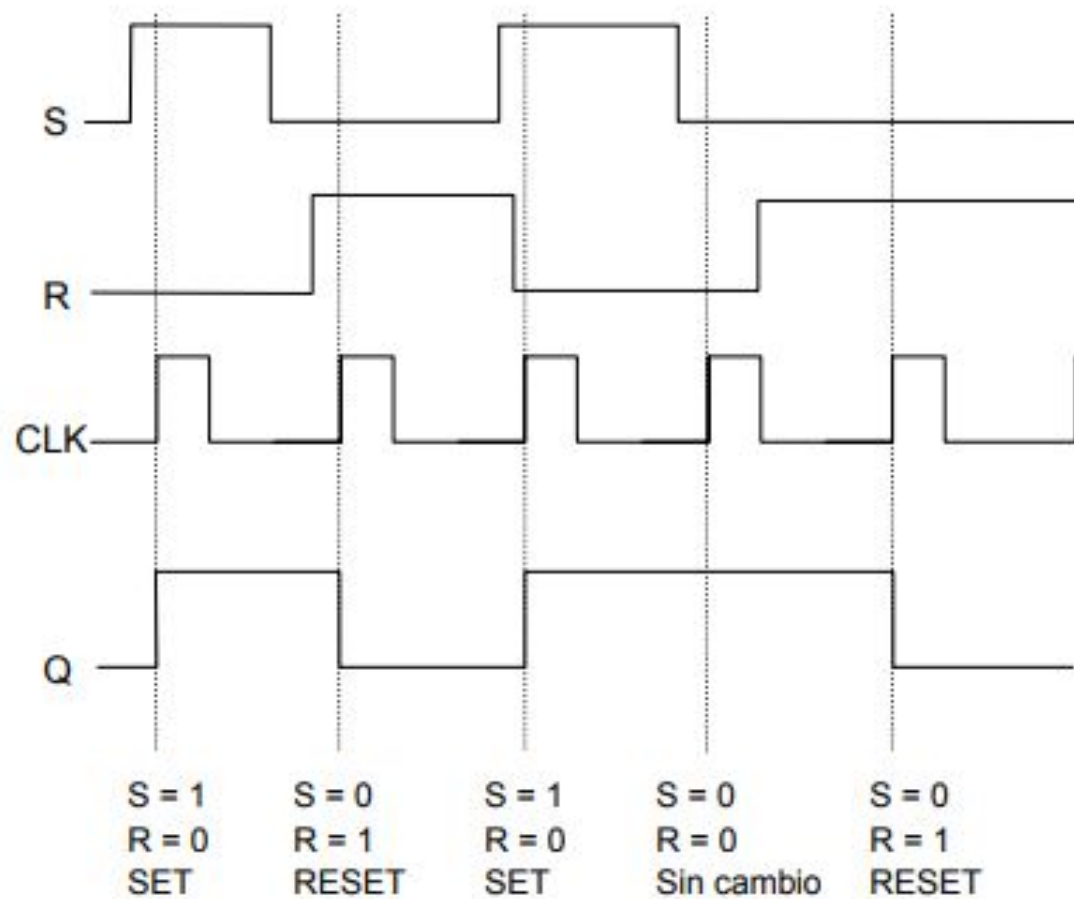
Tipo Toggle

La acción de "Conmutación" is útil para los contadores. Se puede construir a partir de cualquier tipo básico.

RS con flanco

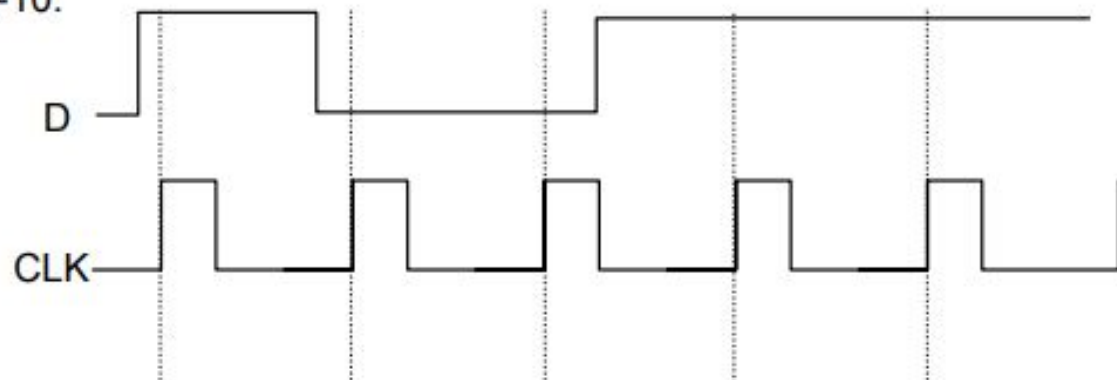


RS con flanco



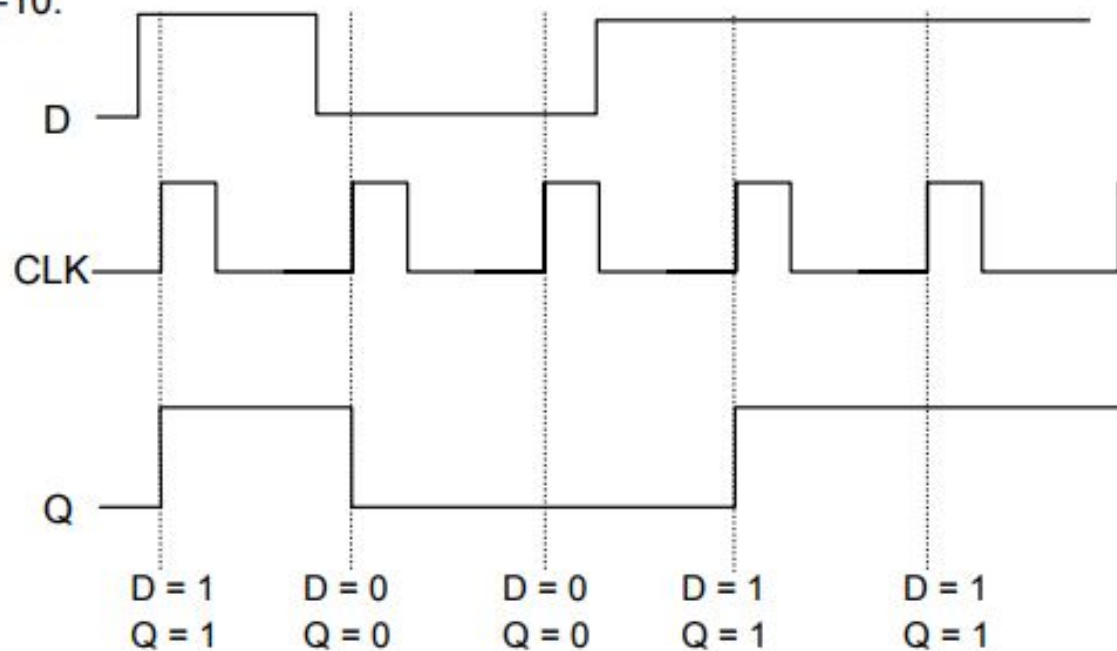
D con flanco

Figura 3-10.

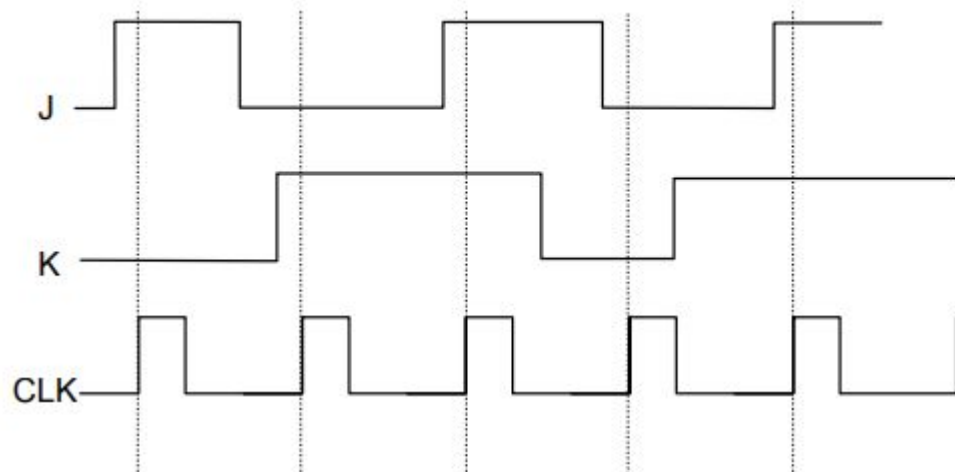


D con flanco

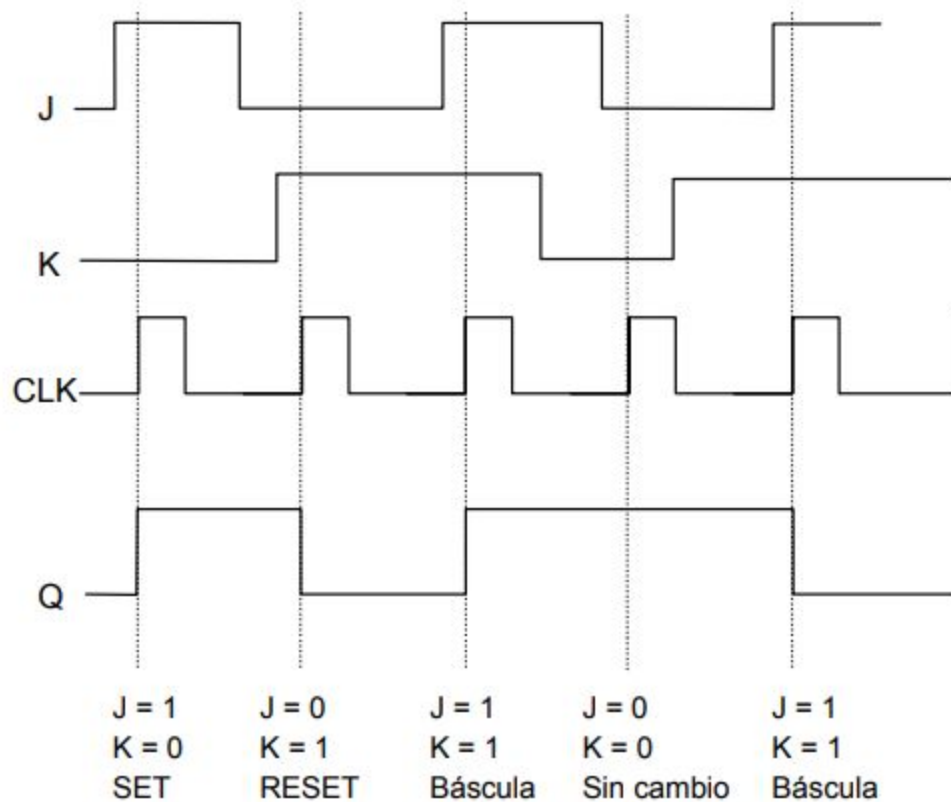
Figura 3-10.



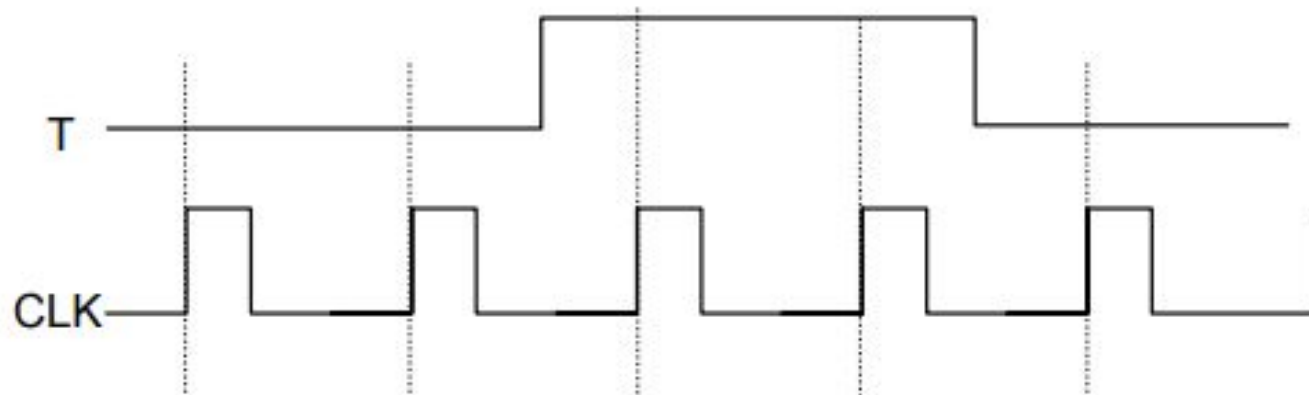
JK con flanco



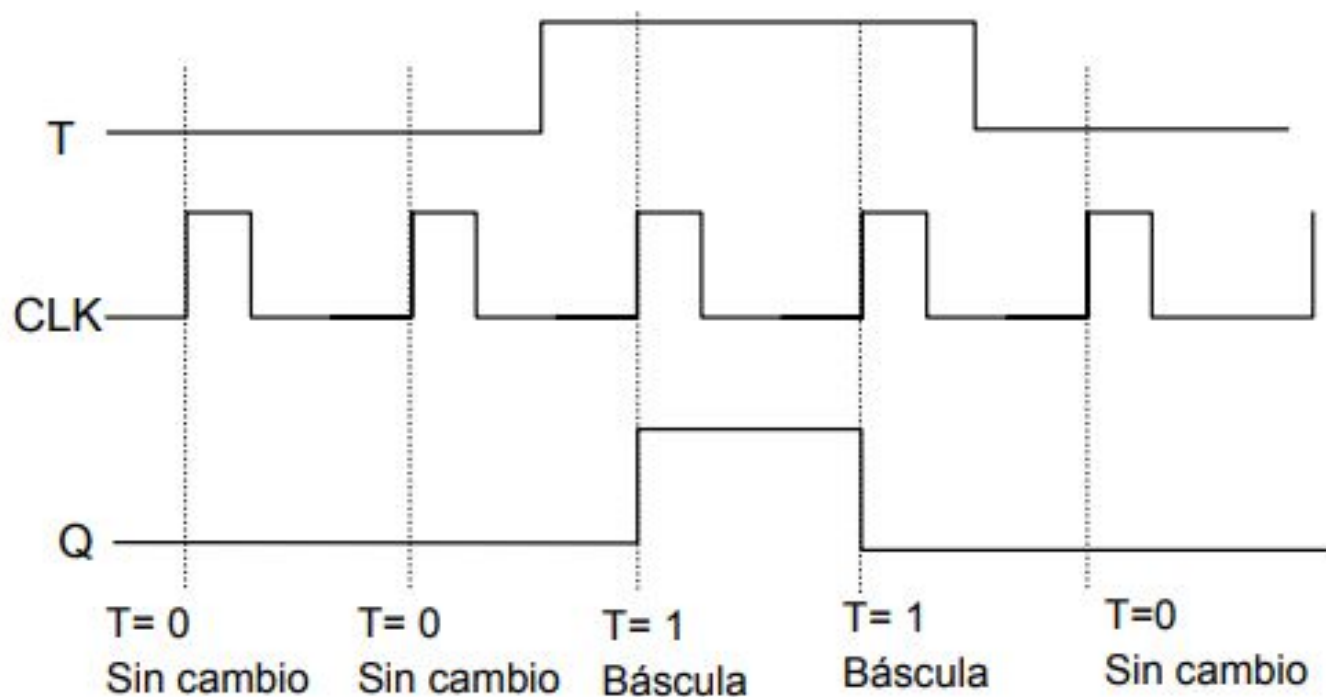
JK con flanco



T con flanco



T con flanco

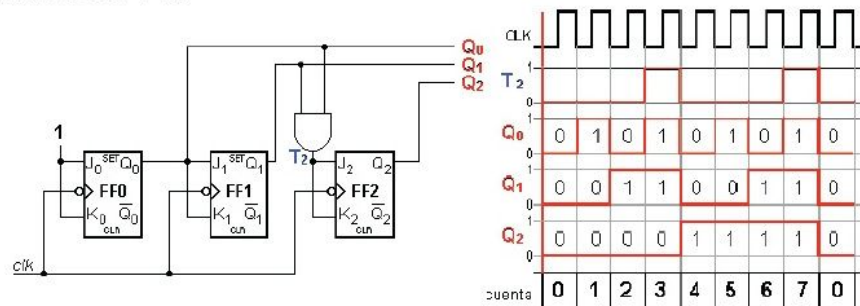


Contadores

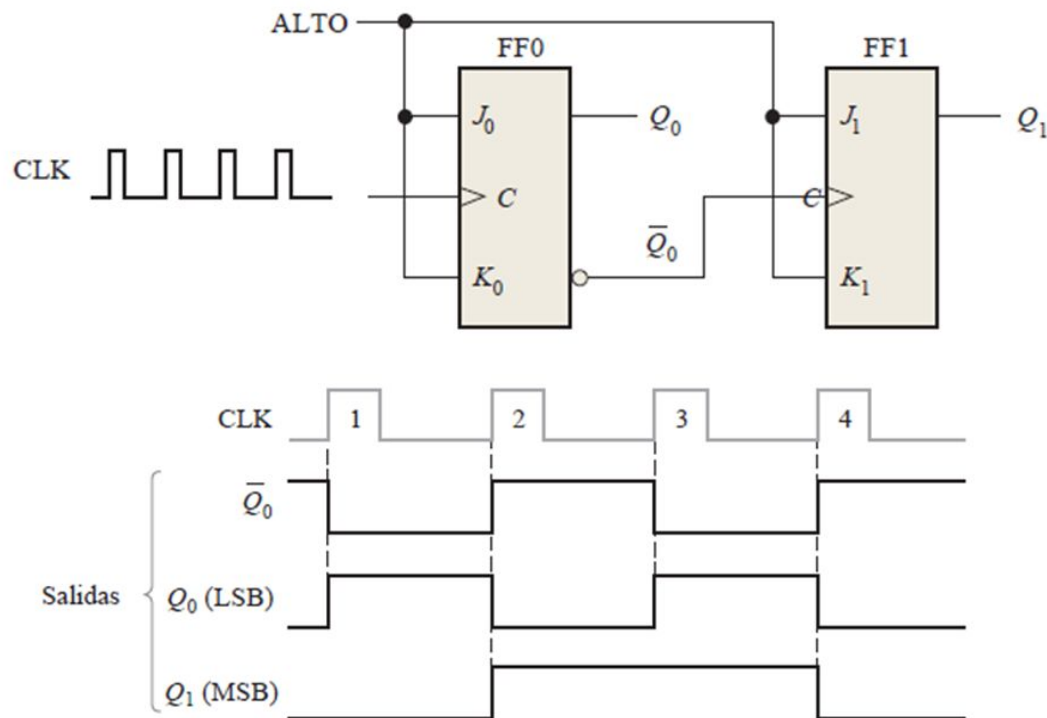
Un **contador** es un circuito secuencial construido a partir de biestables y puertas lógicas capaz de almacenar y contar los impulsos *(a menudo relacionados con una señal de reloj)*, el cómputo se realiza en código binario, es decir 0 y 1.

Contadores síncronos

SOLO PERMITEN UN CAMBIO DE ESTADO MARCADO POR UNA SEÑAL DE UN RELOJ (CLK). DONDE Q SERAN LAS SALIDAS DEL CIRCUITO SECUENCIAL Y T2 SERA UNA PUERTA LOGICA (AND) QUE DARA SEÑAL DE ENTRADA A FF2

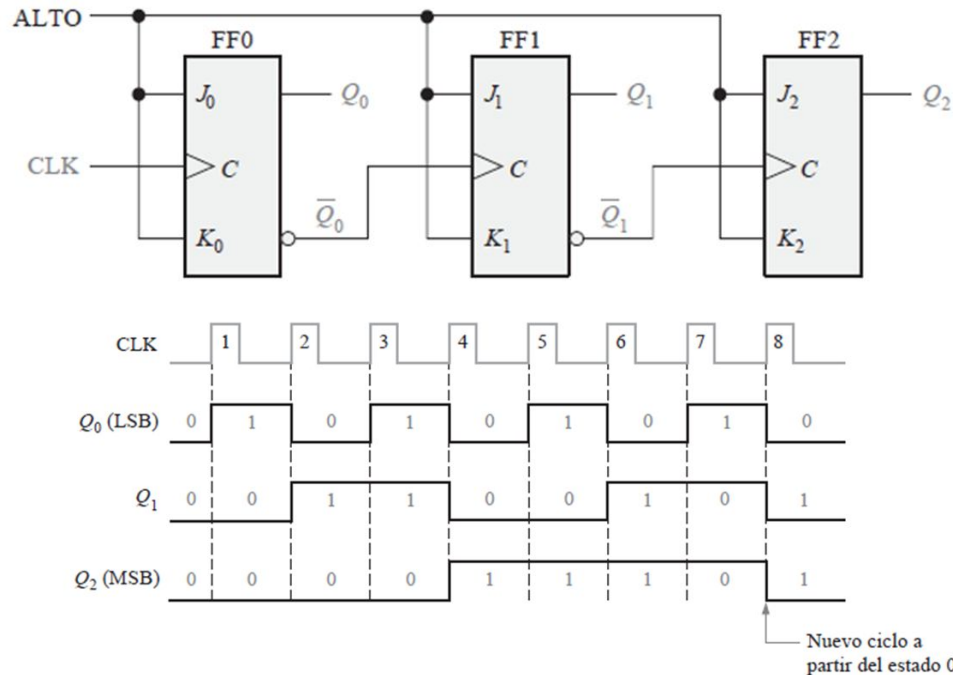


Contador asíncrono binario de 2 bits



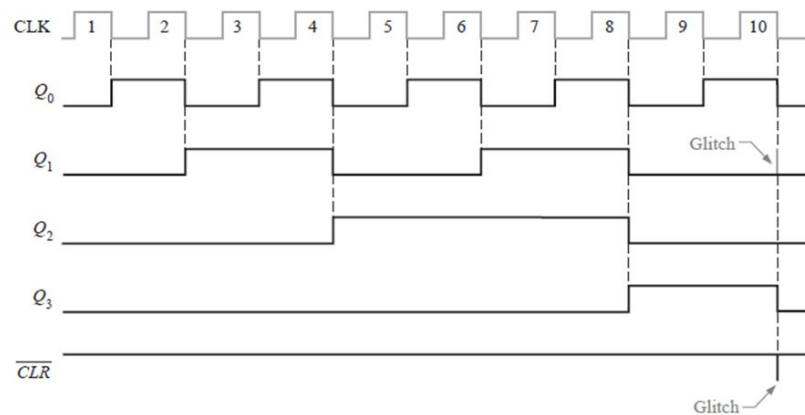
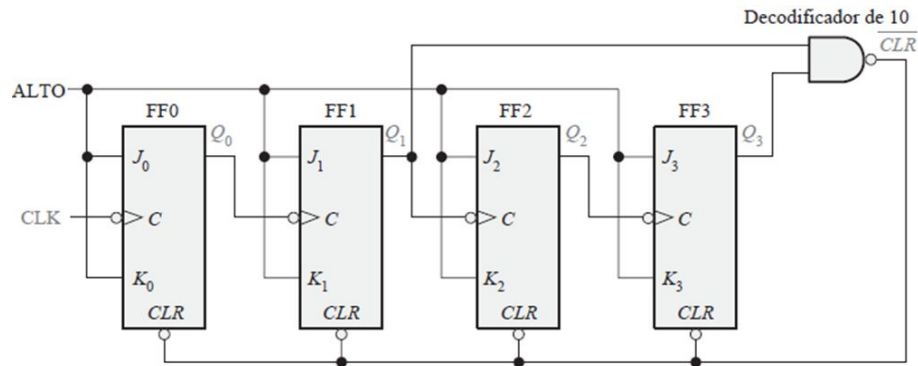
| Impulso de reloj | Q_1 | Q_2 |
|------------------|-------|-------|
| Inicialmente | 0 | 0 |
| 1 | 0 | 1 |
| 2 | 1 | 0 |
| 3 | 1 | 1 |
| 4 (nuevo ciclo) | 0 | 0 |

Contador asíncrono binario de 3 bits

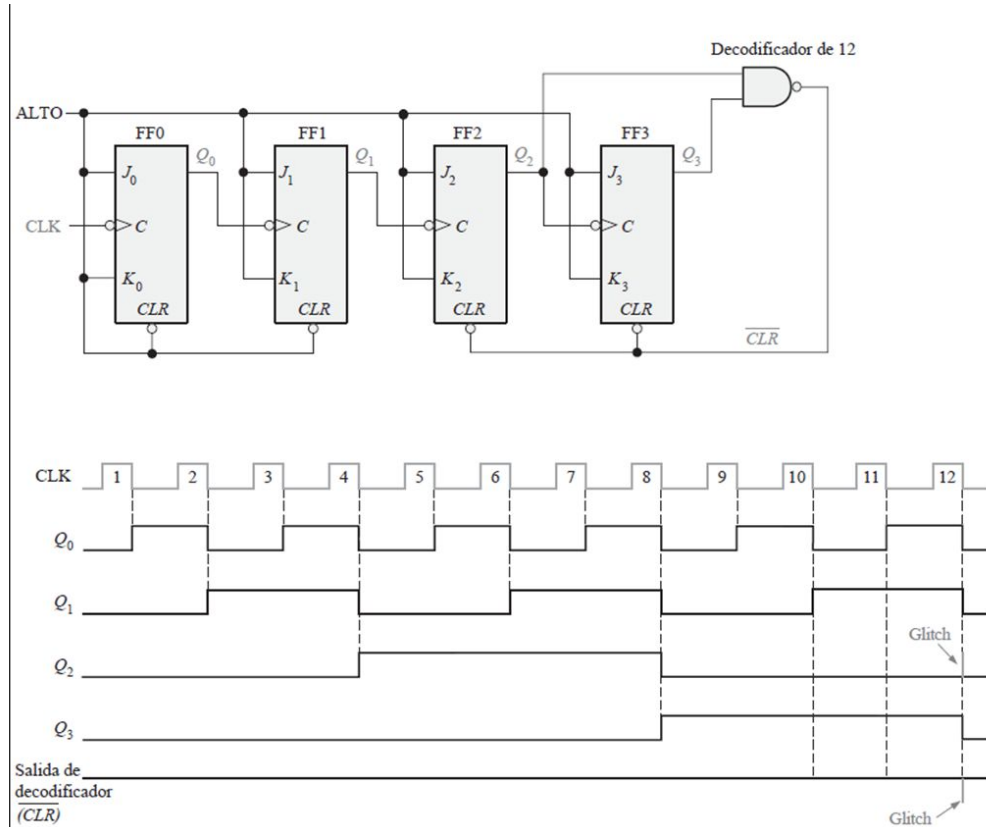


| Impulso de reloj | Q_2 | Q_1 | Q_0 |
|------------------|-------|-------|-------|
| Inicialmente | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 |
| 4 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 |
| 6 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 |
| 8 (nuevo ciclo) | 0 | 0 | 0 |

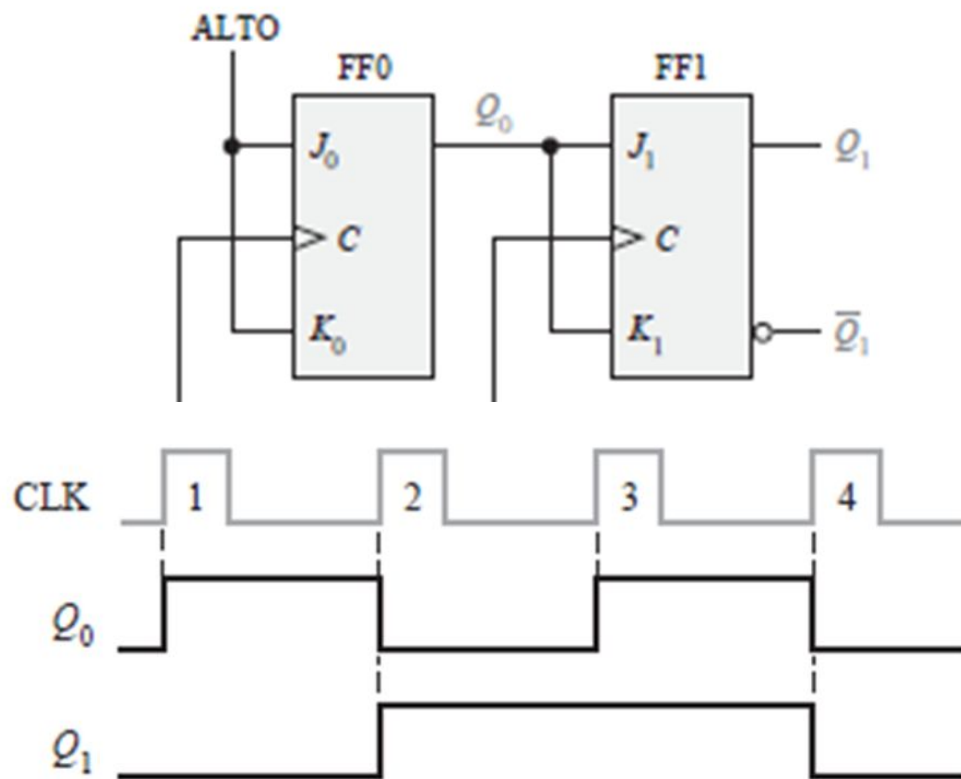
Contador de décadas asíncrono



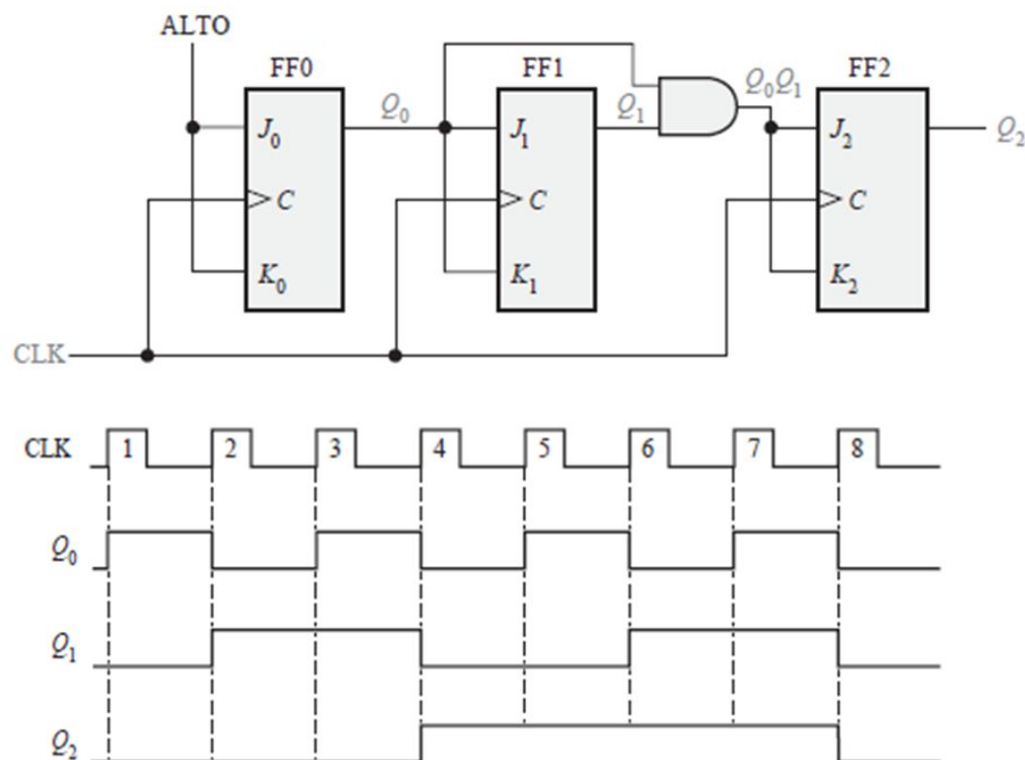
Contador módulo 12 con reiniciación asíncrono



Contador síncrono 2 bits

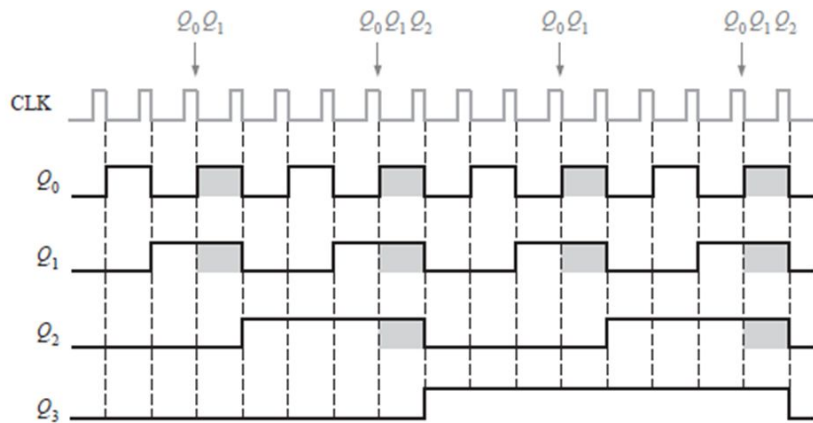


Contador síncrono 3 bits



| Impulso de reloj | Q_2 | Q_1 | Q_0 |
|------------------|-------|-------|-------|
| Inicialmente | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 |
| 4 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 |
| 6 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 |
| 8 (nuevo ciclo) | 0 | 0 | 0 |

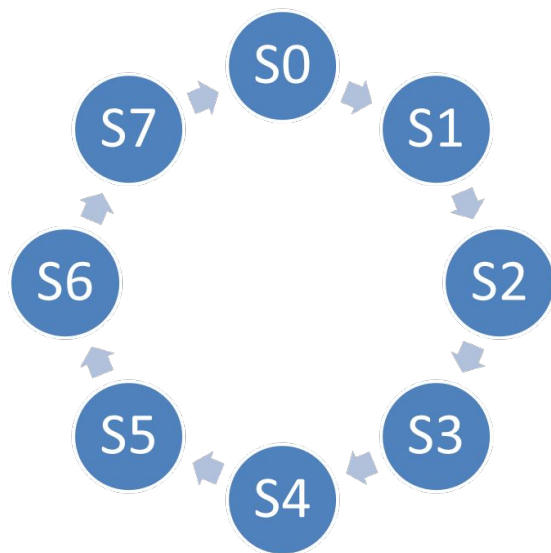
Contador síncrono 4 bits



Diseño de contadores síncronos

Ejercicio - implementar contador síncrono 3 bits

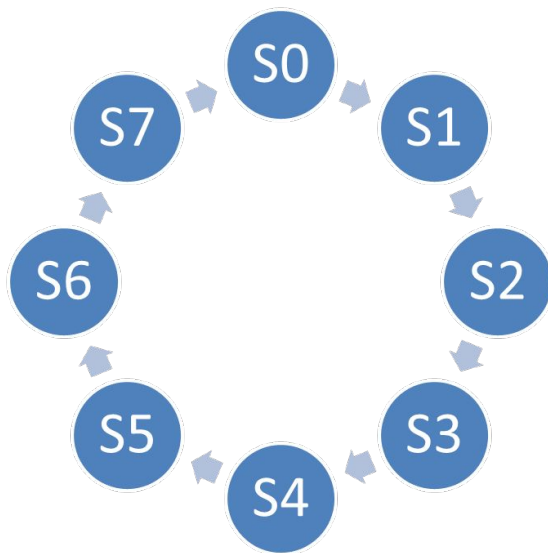
1 - Diagrama de estados



Diseño de contadores síncronos

Ejercicio - implementar contador síncrono 3 bits

2 - Tabla de estado siguiente



| Q2 | Q1 | Q0 | Q2 | Q1 | Q0 |
|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |

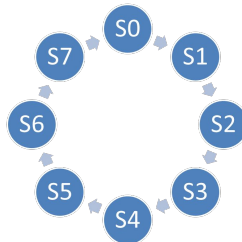
Diseño de contadores síncronos

Ejercicio - implementar contador síncrono 3 bits

3 - Tabla de transiciones JK

| Transiciones de salida | | Entradas del flip-flop | |
|------------------------|-----------|------------------------|-----|
| Q_N | Q_{N+1} | J | K |
| 0 | → 0 | 0 | X |
| 0 | → 1 | 1 | X |
| 1 | → 0 | X | 1 |
| 1 | → 1 | X | 0 |

Q_N : estado actual
 Q_{N+1} : siguiente estado
X: condición "indiferente"



| Q2 | Q1 | Q0 | Q2 | Q1 | Q0 |
|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |

Diseño de contadores síncronos

Ejercicio - implementar contador síncrono 3 bits
4 - Mapas de Karnaugh

| Transiciones de salida | | Entradas del flip-flop | |
|------------------------|-----------|------------------------|---|
| Q_N | Q_{N+1} | J | K |
| 0 | 0 | 0 | X |
| 0 | 1 | 1 | X |
| 1 | 0 | X | 1 |
| 1 | 1 | X | 0 |

Q_N : estado actual
 Q_{N+1} : siguiente estado
 X: condición "indiferente"

| | | Q0 | |
|------|----|----|---|
| | | J0 | |
| Q2Q1 | 00 | 1 | X |
| | 01 | 1 | X |
| | 11 | 1 | X |
| | 10 | 1 | X |
| | 00 | 1 | X |

| | | Q0 | |
|------|----|----|---|
| | | K0 | |
| Q2Q1 | 00 | X | 1 |
| | 01 | X | 1 |
| | 11 | X | 1 |
| | 10 | X | 1 |
| | 00 | X | 1 |

| Q2 | Q1 | Q0 | Q2 | Q1 | Q0 |
|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |

Diseño de contadores síncronos

Ejercicio - implementar contador síncrono 3 bits
4 - Mapas de Karnaugh

| Transiciones de salida | | Entradas del flip-flop | |
|------------------------|-----------|------------------------|-----|
| Q_N | Q_{N+1} | J | K |
| 0 | 0 | 0 | X |
| 0 | 1 | 1 | X |
| 1 | 0 | X | 1 |
| 1 | 1 | X | 0 |

Q_N : estado actual
 Q_{N+1} : siguiente estado
 X: condición "indiferente"

| | | Q0 | |
|------|----|----|---|
| | | J1 | |
| Q2Q1 | 00 | 0 | 1 |
| | 01 | X | X |
| | 11 | X | X |
| | 10 | 0 | 1 |
| | 00 | 0 | 1 |

| | | Q0 | |
|------|----|----|---|
| | | K1 | |
| Q2Q1 | 00 | X | X |
| | 01 | 0 | 1 |
| | 11 | 0 | 1 |
| | 10 | X | X |
| | 00 | X | X |

| Q2 | Q1 | Q0 | Q2 | Q1 | Q0 |
|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |

Diseño de contadores síncronos

Ejercicio - implementar contador síncrono 3 bits
4 - Mapas de Karnaugh

| Transiciones de salida | | Entradas del flip-flop | |
|------------------------|-----------|------------------------|---|
| Q_N | Q_{N+1} | J | K |
| 0 | 0 | 0 | X |
| 0 | 1 | 1 | X |
| 1 | 0 | X | 1 |
| 1 | 1 | X | 0 |

Q_N : estado actual
 Q_{N+1} : siguiente estado
 X: condición "indiferente"

| Q2Q1 | | | | Q0 |
|------|---|---|--|----|
| J2 | 0 | 1 | | |
| 00 | 0 | 0 | | |
| 01 | 0 | 1 | | |
| 11 | X | X | | |
| 10 | X | X | | |

| Q2Q1 | | | | Q0 |
|------|---|---|--|----|
| K2 | 0 | 1 | | |
| 00 | X | X | | |
| 01 | X | X | | |
| 11 | 0 | 1 | | |
| 10 | 0 | 0 | | |

| Q2 | Q1 | Q0 | Q2 | Q1 | Q0 |
|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |

Diseño de contadores síncronos

Ejercicio - implementar contador síncrono 3 bits

5 - Expresiones lógicas

| Transiciones de salida | | Entradas del flip-flop | |
|------------------------|-----------|------------------------|-----|
| Q_N | Q_{N+1} | J | K |
| 0 | → 0 | 0 | X |
| 0 | → 1 | 1 | X |
| 1 | → 0 | X | 1 |
| 1 | → 1 | X | 0 |

Q_N : estado actual
 Q_{N+1} : siguiente estado
X: condición "indiferente"

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0$$

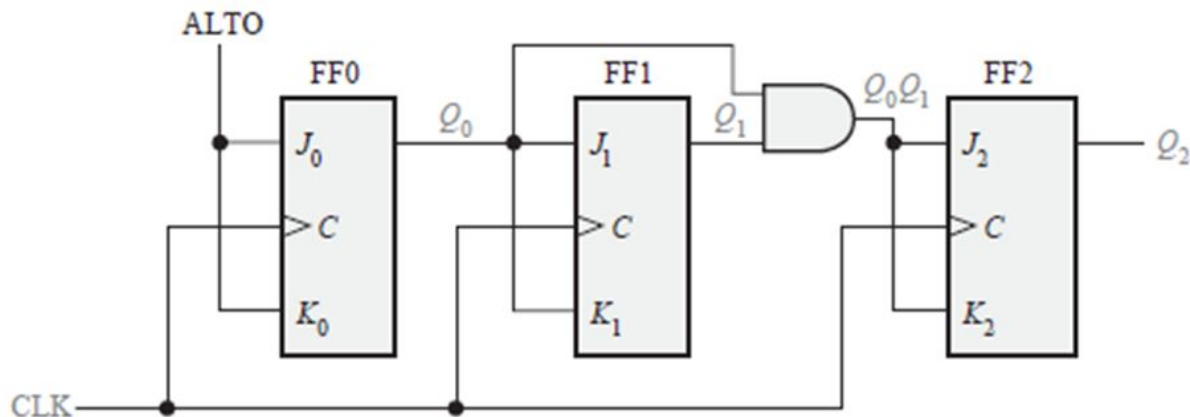
$$J_2 = K_2 = Q_1Q_0$$

| Q2 | Q1 | Q0 | Q2 | Q1 | Q0 |
|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |

Diseño de contadores síncronos

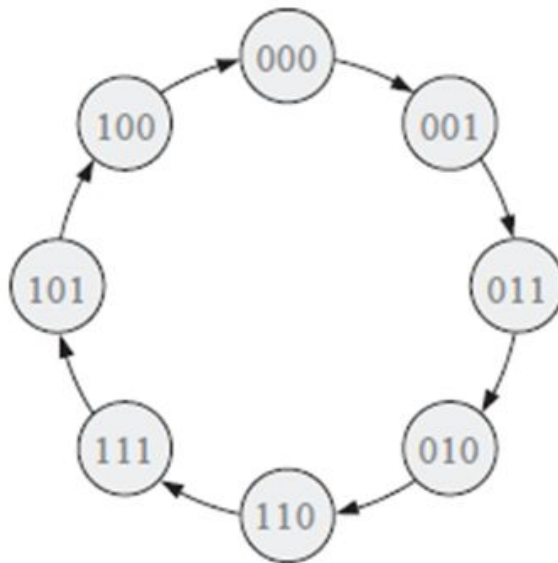
Ejercicio - implementar contador síncrono 3 bits
6 - Circuito lógico

$$\begin{aligned} J_0 &= K_0 = 1 \\ J_1 &= K_1 = Q_0 \\ J_2 &= K_2 = Q_1 Q_0 \end{aligned}$$



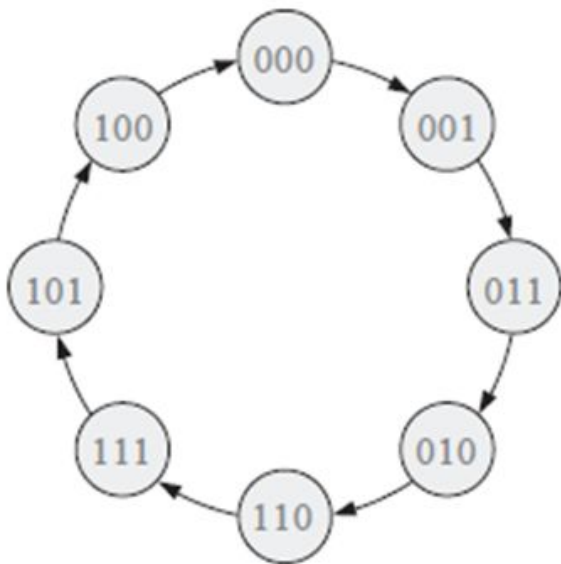
Diseño de contadores síncronos

1. Diagrama de estados



Diseño de contadores síncronos

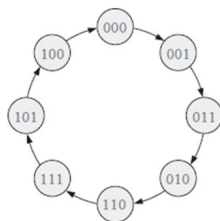
2. Tabla de estado siguiente



| Estado actual | | | Estado siguiente | | |
|---------------|-------|-------|------------------|-------|-------|
| Q_2 | Q_1 | Q_0 | Q_2 | Q_1 | Q_0 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |

Diseño de contadores síncronos

3. Tabla de transiciones



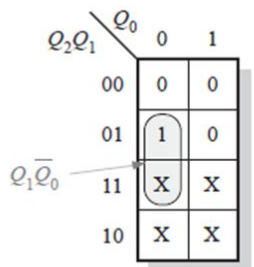
| Transiciones de salida | | Entradas del flip-flop | |
|------------------------|-----------|------------------------|-----|
| Q_N | Q_{N+1} | J | K |
| 0 | → 0 | 0 | X |
| 0 | → 1 | 1 | X |
| 1 | → 0 | X | 1 |
| 1 | → 1 | X | 0 |

Q_N : estado actual
 Q_{N+1} : siguiente estado
 X: condición "indiferente"

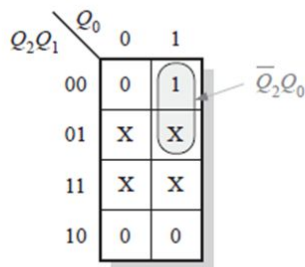
| Estado actual | | | Estado siguiente | | |
|---------------|-------|-------|------------------|-------|-------|
| Q_2 | Q_1 | Q_0 | Q_2 | Q_1 | Q_0 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |

Diseño de contadores síncronos

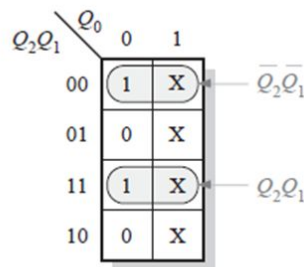
4. Mapas de Karnaugh



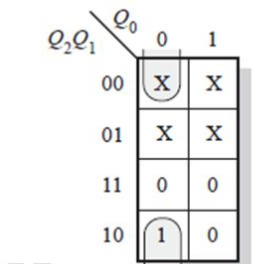
Mapa de J_2



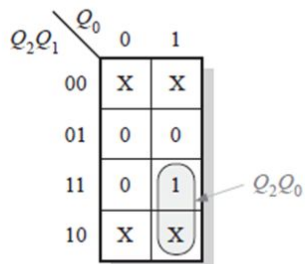
Mapa de J_1



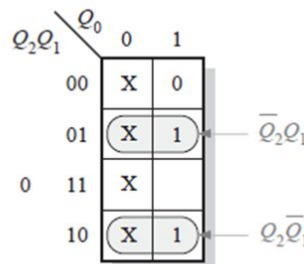
Mapa de J_0



Mapa de K_2



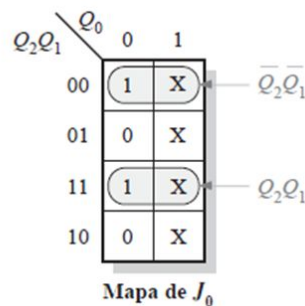
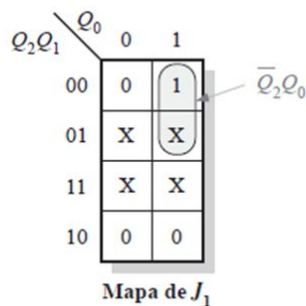
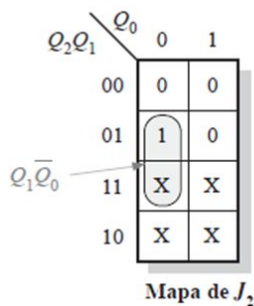
Mapa de K_1



Mapa de K_0

Diseño de contadores síncronos

5. Expresiones lógicas para las entradas



$$J_0 = Q_2Q_1 + \bar{Q}_2\bar{Q}_1 = \overline{Q_2 \oplus Q_1}$$

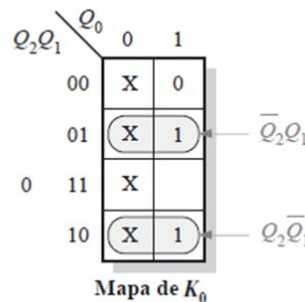
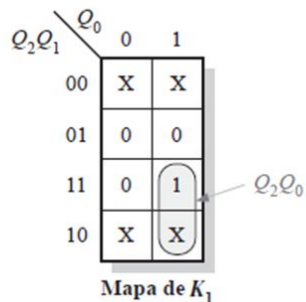
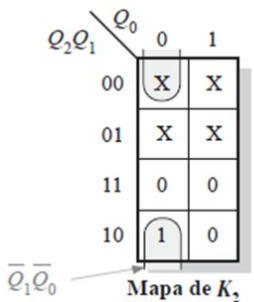
$$K_0 = Q_2\bar{Q}_1 + \bar{Q}_2Q_1 = Q_2 \oplus Q_1$$

$$J_1 = \bar{Q}_2Q_0$$

$$K_1 = Q_2Q_0$$

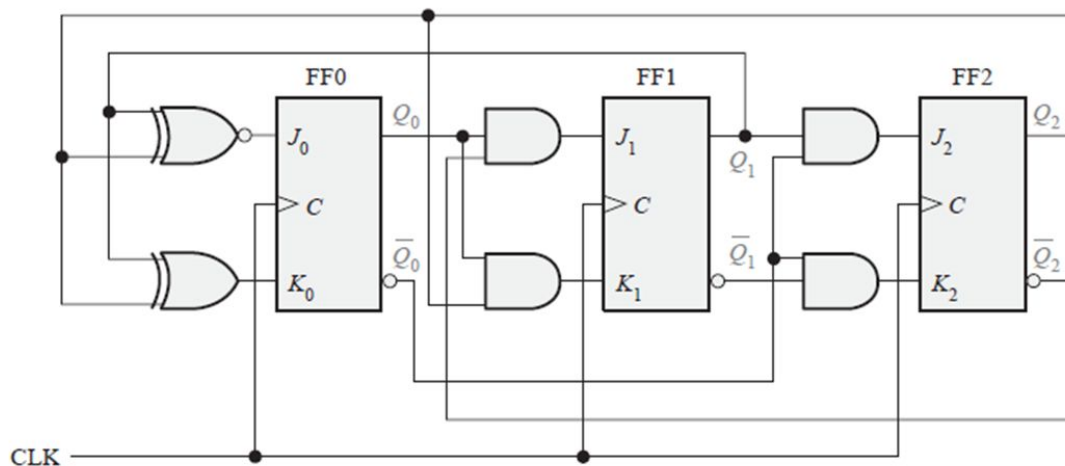
$$J_2 = Q_1\bar{Q}_0$$

$$K_2 = \bar{Q}_1\bar{Q}_0$$



Diseño de contadores síncronos

6. Implementación del contador



$$J_0 = Q_2Q_1 + \bar{Q}_2\bar{Q}_1 = \overline{Q_2 \oplus Q_1}$$

$$K_0 = Q_2\bar{Q}_1 + \bar{Q}_2Q_1 = Q_2 \oplus Q_1$$

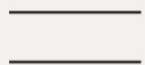
$$J_1 = \bar{Q}_2Q_0$$

$$K_1 = Q_2Q_0$$

$$J_2 = Q_1\bar{Q}_0$$

$$K_2 = \bar{Q}_1\bar{Q}_0$$

Dudas...



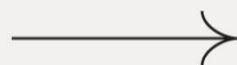
¡Únete a nosotros!
para un día lleno de
innovación y
aprendizaje



{ DevFest }

Gdg Spain + Santander

2024

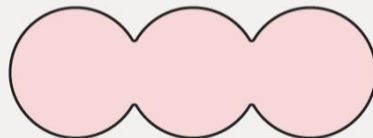
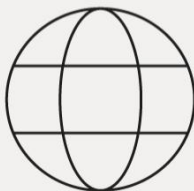


21 de Noviembre

Salón de Actos

Parque Científico & Tecnológico de
Cantabria, Santander
(PCTCAN)

Google
Developer
Groups



Loyda Alas

loyda.alas@uneatlantico.es

www.linkedin.com/in/loyda-alas