

ARQUITECTURA DE LOS MICROCONTROLADORES PIC

M. ENG. EVERT DE LOS RÍOS TRUJILLO

OBJETIVOS:

- ✓ Conocer la arquitectura de los microcontroladores PIC de la familia 16F.
- ✓ Analizar las principales características de los microcontroladores PIC de la familia 16F87X.



INDICE:

- Características Generales
- Microcontroladores de la serie 16F87X
- Arquitectura general de la serie 16F87X
- Organización de la memoria
- Conclusiones

CARACTERÍSTICAS GENERALES:

CPU

- Procesador de Arquitectura RISC (Solo 35 instrucciones)
- Instrucciones de un ciclo simple de duración (4 ciclos cristal) excepto los saltos que requieren dos ciclos simples
- Velocidad de operación: 20 MHz
- Memorias FLASH, RAM y EEPROM
- Soporte para hasta 14 fuentes de interrupción
- Watchdog timer (WDT) para lograr modo de operación más seguro
- Protección de código programado (Encriptado)

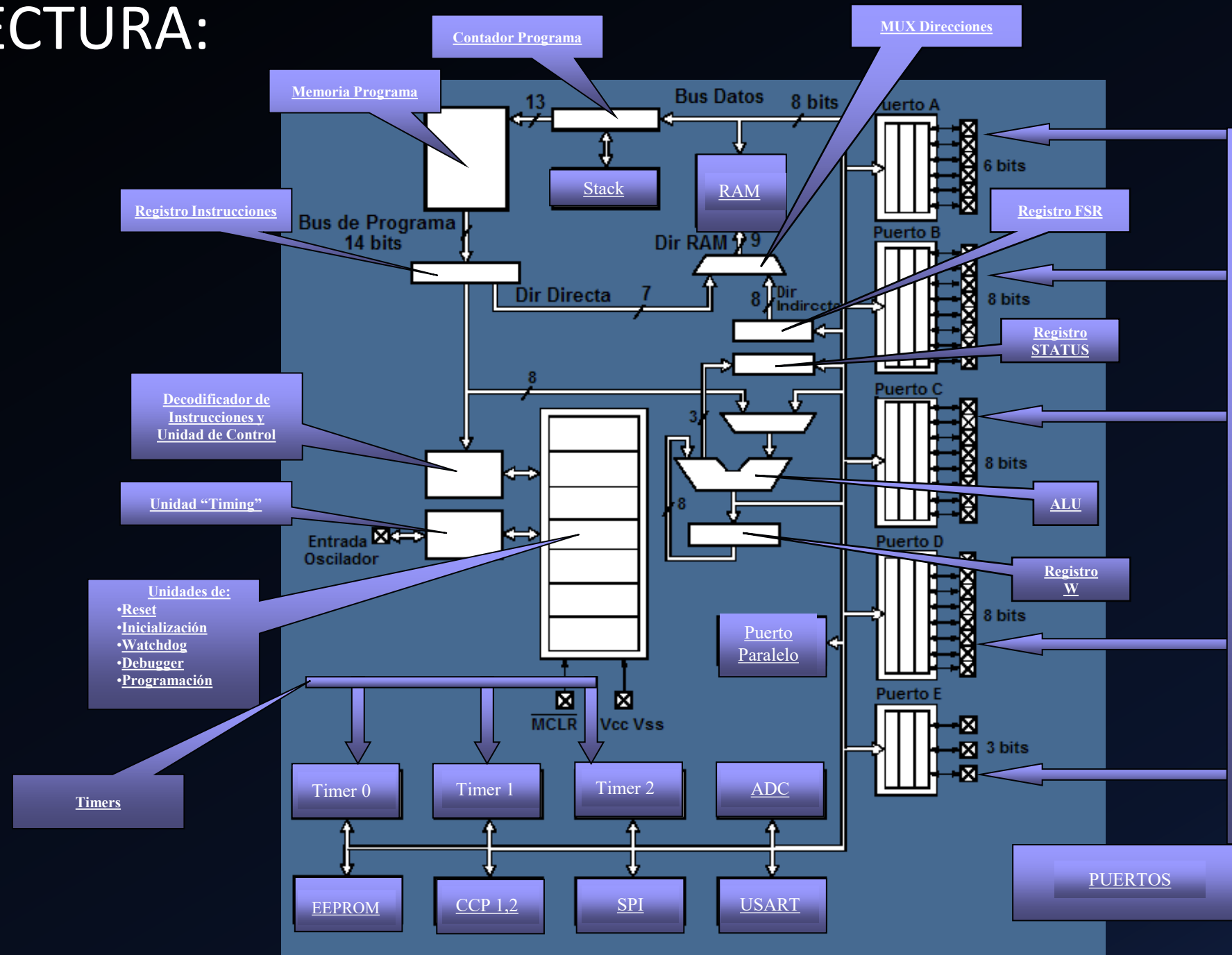
PERIFÉRICOS

- Timer o contador de 8 bits con prescalas de 8 bits
- Timer de 16 bits
- Puertos Comparadores/PWM (Multiplexados) [16 bits resolución]
- Convertidor A/D de 10 bits
- SPI (Puerto serial síncrono para conexión de periféricos esclavos)
- USART (Universal Synchronous Asynchronous Receiver Transmitter) Para comunicación serial con paquetes de 8 o 9 bits
- Puerto paralelo esclavo de 8 bits

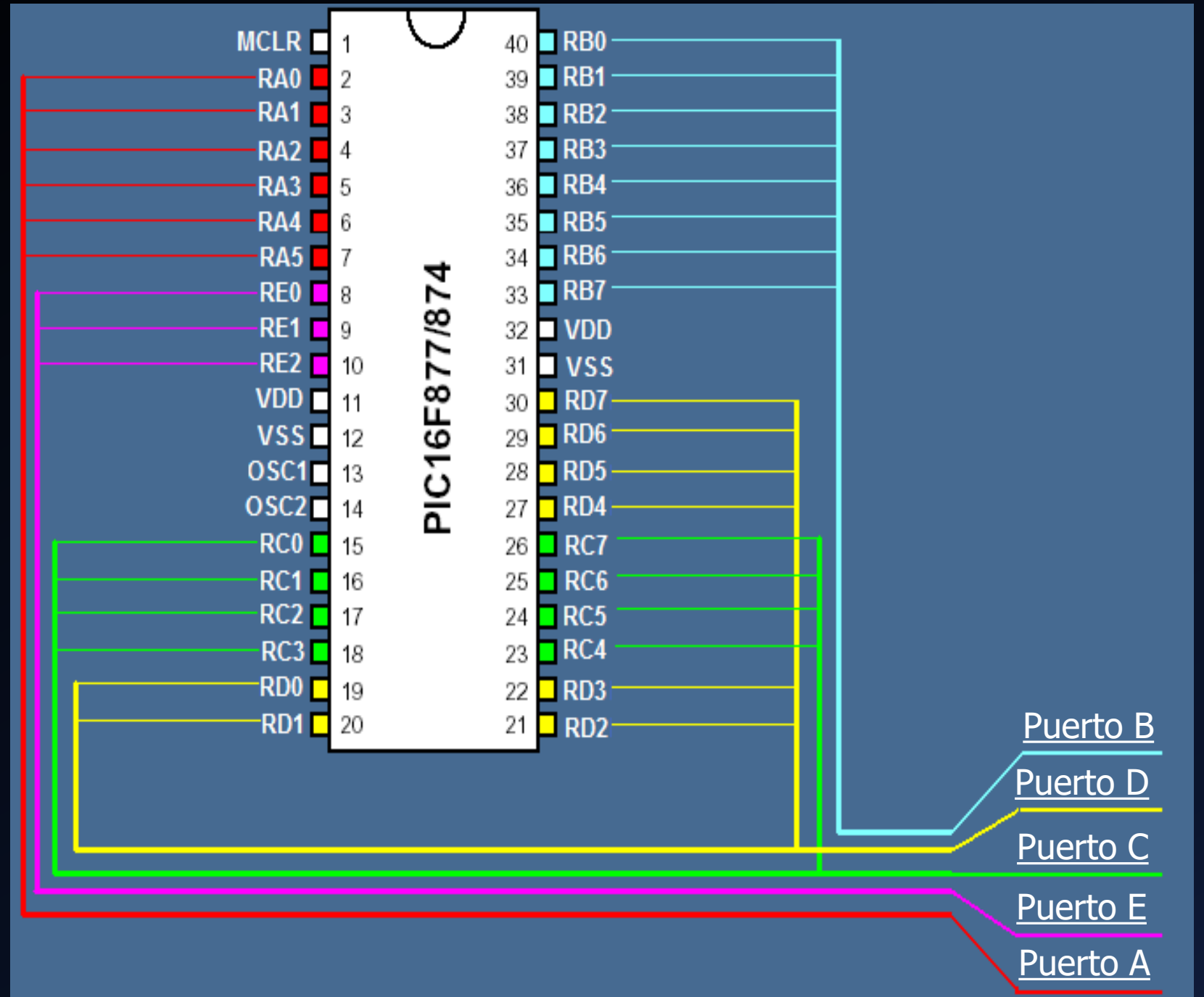
PIC SERIE 16F87X:

Característica	Microcontrolador			
	PIC 16F873	PIC 16F874	PIC 16F876	PIC 16F877
Frecuencia de operación (MHz)	20	20	20	20
Memoria FLASH (Espacios de 14 bits)	4K	4K	8K	8K
Memoria para datos (Bytes)	192	192	368	368
Memoria EEPROM (Bytes)	128	128	256	256
Fuentes de Interrupción	13	14	13	14
Puertos Entrada/Salida	A,B,C	A,B,C,D,E	A,B,C	A,B,C,D,E
Timers o Contadores	3	3	3	3
Puertos PWM / Comparadores	2	2	2	2
Comunicación Serial	USART	USART	USART	USART
Comunicación Paralela	X	PSP	X	PSP
Convertidor ADC	5 Canales entrada	8 Canales entrada	5 Canales entrada	8 Canales entrada
Set de Instrucciones	35 instrucciones	35 instrucciones	35 instrucciones	35 instrucciones

ARQUITECTURA:



PUERTOS:



PUERTO A:

- Posee 6 bits bi-direccionales.
- Se configura en el registro TRISA.
- Un 1 configura una entrada, un 0 configura una salida en el pin correspondiente al bit.
- El registro de datos de entrada/salida es PORTA.
- El pin RA4 es multiplexado con el Timer.
- Los pines RA0...RA3 y RA5 son multiplexados con el ADC.

PUERTO B:

- Posee 8 bits bi-direccionales.
- Se configura en el registro TRISB.
- Un 1 configura una entrada, un 0 configura una salida en el pin correspondiente al bit.
- El registro de datos de entrada/salida es PORTB.
- Puede activar/desactivar las resistencias internas de Pull Up (Con el bit RBPU del registro OPTION).
- El pull up está normalmente inactivo.
- Los pines RB7...RB4 pueden usarse como entradas de interrupción externa por cambio.
- Las interrupciones se configuran en el bit RBIF del registro INTCON

Uso: Teclado hexadecimal con atención de teclas por interrupción

PUERTO C:

- Posee 8 bits bi-direccionales.
- Se configura en el registro TRISC.
- Un 1 configura una entrada, un 0 configura una salida en el pin correspondiente al bit.
- El registro de datos de entrada/salida es PORTC.
- Tiene sus pines de entrada con buffers tipo Schmitt Trigger.
- Comparte pines con funciones de conexión serial de periféricos externos (Protocolo I2C para SPI) [RC3:RC4].
- Comparte pines con salidas PWM o entradas de comparadores [RC0:RC2].
- Comparte pines con sistema comunicación serial USART [RC7:RC6]

PUERTO D:

- Posee 8 bits bi-direccionales.
- Se configura en el registro TRISD.
- Un 1 configura una entrada, un 0 configura una salida en el pin correspondiente al bit.
- El registro de datos de entrada/salida es PORTD.
- Tiene sus pines de entrada con buffers tipo Schmitt Trigger.
- El bit PSPMODE del registro TRISE permite usar este puerto como puerto de expansión de memoria del microprocesador o para conexión a sistemas multiprocesador como esclavo con transferencias paralelas.

PUERTO E:

- Posee 3 bits bi-direccionales.
- Se configura en el registro TRISE.
- Un 1 configura una entrada, un 0 configura una salida en el pin correspondiente al bit.
- El registro de datos de entrada/salida es PORTE.
- Son entradas Schmitt Trigger.
- Sus pines se convierten en señales de control cuando se configura en modo de expansión de memoria o en sistemas multiprocesador con transferencia paralela de datos.

REGISTRO W:

- Registro de trabajo.
- Recibe los resultados de las operaciones ejecutadas por la ALU.
- Puede ser escrito.
- Se usa para las transferencias indirectas entre registros y ubicaciones de memoria
- Por ejemplo: Puede usarse para transferir datos a la pila y ejecutar un “Push” o un “Pop”

ALU:

- Ejecuta las operaciones con los operandos de entrada
- Tiene un registro acumulador “W” donde se almacenan los resultados
- El registro W puede realimentar su valor como dato de entrada a la ALU
- Ejecuta operaciones según el código que reciba en las entradas de control.

STATUS REGISTER:

- Ubicado en 03h,83h,103h y 183h
- Resume las condiciones en que se encuentra el microcontrolador
- Bits:
 - **IRP**: Selecciona bancos altos (2 y 3) cuando vale 1 y bancos bajos (1 y 0) cuando vale 0
 - **RP1 y RP0**: Selectores de bancos para acceso directo.
 - 00: Banco 0
 - 01: Banco 1
 - 10: Banco 2
 - 11: Banco 3
 - **#TO**: Bit de "Time Out". Se pone en 0 cuando hay un "RESET"
 - **#PD**: Bit de "Power Down". Se pone en 0 cuando entra en "SLEEP"
 - **Z**: Bandera del Cero. Se pone en 1 si el resultado de la última operación realizada es un 0.
 - **DC**: Bandera de Acarreo Intermedio. Se pone en 1 si hay un carry de los 4 bits menos significativos a los 4 bits más significativos.
 - **C**: Bandera de Acarreo. Se pone en 1 si el resultado de una operación excede la capacidad de 8 bits y requiere de un acarreo.

FILE SELECT REGISTER:

- Ubicado en 04h, 84h, 104h y 184h.
- Se utiliza para construir direcciones indirectas.
- Registro de 8 bits.
- Se utiliza para hacer barridos de RAM.

MUX DE DIRECCIONES:

- Define si a la RAM ingresa la dirección directa o la indirecta
- La dirección directa se lee de la memoria de programa
- La dirección indirecta se construye a partir de condiciones en el registro “FSR”.

Por ejemplo: Saltos condicionados

RAM: MEMORIA DE DATOS

- Memoria destinada para almacenamiento temporal de datos.
- Dividida en 4 bancos seleccionados con los bits RP0 y RP1 del registro "Status"
- Cada banco es de 128 bytes
- Las ubicaciones más bajas son reservadas para registros de control/configuración
- Cada banco se constituye por registros de propósito general. Cada registro es una localidad de memoria de 8 bits
- Cada registro se accesa como dirección de memoria.

por ejemplo: 07F9h es una localidad válida de memoria de datos

STACK:

- Capacidad de 8 niveles de almacenamiento de 13 bits cada nivel
- Es parte de la memoria RAM, pero independiente de la memoria de datos y de programa
- No tiene banderas de “Overflow” o “Underflow”
- No existen instrucciones de “Push” o “Pop”
- El contador de programa se ingresa/saca de stack automáticamente cuando se hace un “Call/Return”
- Operación de “Buffer circular”: Si se ingresan 8 datos, se llena el stack, un noveno dato que ingrese desplaza los contenidos de la pila y elimina el primer dato que se ingresó a la pila.

CONTADOR DE PROGRAMA:

- Contador de 13 bits.
- Capacidad de direccionar programas de hasta 8k instrucciones de 14 bits
- La ubicación del vector de RESET (0000h) es el valor del contador de programa cuando la máquina se inicializa
- La ubicación del vector de interrupciones es (0004h) y funciona como índice para cargar el contador de programa con el valor de la localidad de memoria que tiene el código de programa para atender una interrupción.

MEMORIA DE PROGRAMA:

- Almacena la secuencia de instrucciones que corresponde al programa escrito
- Almacena códigos hexadecimales generados en un archivo *.hex por el compilador o el ensamblador
- Consta de páginas de 2kbytes
- Se ubica en la parte alta de la memoria, después del vector de interrupciones
- En 16F877 y 16F876 se tienen 4 páginas
- En 16F874 y 16F873 se tienen 2 páginas
- Es memoria de tipo FLASH

REGISTRO DE INSTRUCCIONES:

- Registro que almacena la instrucción siguiente a ejecutar tomada de la memoria de programa
- Envía la instrucción a RAM en casos que requieren la modificación de algún registro
- Envía la instrucción a la unidad de decodificación para prepararse a ejecutar la siguiente instrucción

DECODIFICADOR DE INSTRUCCIONES Y UNIDAD DE CONTROL:

- Recibe la instrucción siguiente a ejecutar
- Realiza la decodificación del dato recibido al código de operación que debe utilizarse
- El código de operación se aplica a la ALU, unidad de RESET, unidad de WDT, etc según sea la operación

UNIDAD DE “TIMING”:

- Es la unidad que transforma la señal del cristal en una señal de reloj adecuada para el funcionamiento del sistema
- Incluye divisores de frecuencia para generar señales de reloj de diferentes frecuencias para los timers y otros elementos que requieren señales de reloj como el ADC
- Genera además la señal de RESET externo tomada de un pulsador.

UNIDAD DE RESET E INICIALIZACIÓN:

- Contiene las siguientes sub-etapas:
 - Contador de inicialización. Hace que el sistema espere cierto tiempo para estabilizarse después de un RESET.
 - Contador de inicio del oscilador. Espera a que el oscilador se estabilice luego de un RESET.
 - Power On RESET: Genera la señal interna que ejecuta el RESET por inicialización del sistema.
 - Watchdog Timer: Si el sistema entra en un ciclo infinito, el contador del WDT ejecuta un RESET después de transcurrido un tiempo considerable
 - Debugger: Herramienta de pruebas utilizada por el fabricante.
 - Programación: Genera las señales que escriben el programa en la memoria correspondiente.
 - RESET por Brown-Out: Genera un RESET que puede controlarse por software para ciertas aplicaciones.

TIMERS 0, 1 Y 2:

- Capacidad de 8 bits
- Lectura y escritura
- Prescala de 8 bits controlada por software
- Reloj interno o externo con selección de flanco
- Interrupción por rebaso activada al cambiar de FFh a 00h
- Registros de datos en TMR0, TMR1 y TMR2
- EL TMR1 es de 16 bits, y usa los registros TMR1L para los 8 bits menos significativos y TMR1H para los más significativos
- El TMR2 se usa como base de tiempo para el PWM
- Los registros de configuración son T0CON, T1CON y T2CON

CONVERTIDOR ANALÓGICO / DIGITAL:

- Convierte con una precisión de 16 bits.
- Guarda los resultados en los registros ADRESH (MSB) y ADRESL (LSB).
- Tiene como registros de control ADCON0 y ADCON1
- Tiene 4 posibles frecuencias de reloj para hacer las conversiones (divisiones de la señal CLK principal del sistema)
- CHS2:CHS0: Bits para selección del canal que se va a convertir desde AN7 hasta AN0
- GO/DONE: Bandera activa cuando hay una conversión en progreso
- ADON: Bit de control para encender/apagar el ADC
- ADFM: Bit para eliminar los 4 bits MSB o LSB.
- Pueden programarse secuencias para muestrear todos los canales de entrada de manera secuencial

USART – Universal Synchronous/Asynchronous Receiver/Transmitter:

- Interfase para comunicación serial SCI.
- Acepta comunicación Full Duplex en asíncrono y Half Duplex en síncrono
- El reloj interesa solo para transmisiones sincrónicas
- Maneja comunicaciones de 9 y 8 bits configurables en registros TXSTA y RCSTA
- Puede habilitarse/deshabilitarse
- Selección de Baud-Rate según fracción de CLK en SPBRG
- Manejo de transmisiones continuas e interrumpidas
- Control de errores de “Frame” y “Overrun” para solicitud de retransmisiones
- El registro de datos para transmisión es RCREG para recepción y TXREG para envío.

SPI – Serial Peripheral Interface:

- Medio de comunicación con periféricos con 8 bits simultáneos de transmisión serial
- Aplica a periféricos de alta velocidad
- Puede usarse para importar o exportar datos o señales de reloj
- Opera como esclavo o maestro

CCP – Capture / Compare / PWM:

- Módulo de captura de 16 bits
- Módulo de comparación de 16 bits
- Módulo de salida PWM maestro y esclavo
- Utiliza los registros CCPR1H y CCPR1L
- El modo “Captura” guarda el valor del timer cada vez que ocurre un evento en el pin de entrada RC2
- El modo “Compara” compara el valor del registro CCPR1 con el timer. Cuando son iguales produce un cambio de estado en el pin RC2.
- El modo PWM produce una señal con ciclos de trabajo variables según el dato de 10 bits del registro CCPR1. La señal de salida se ubica en el pin RC2

EEPROM:

- Puede habilitarse/deshabilitarse para ser usada como memoria de almacenamiento secundario (Como el disco duro en un PC) o como memoria de programa con el registro EEPGD
- Se configura con los registros EECON1 y EECON2
- Si se usa como memoria de datos, en el registro EEDATA se escriben/leen los datos.
- Requiere de señales de control de flujo de información como EEWR para escritura y EERD para lectura
- Capacidad máxima de 256 bytes

PUERTO PARALELO:

- Ejecuta transferencias de 8 bits
- Utiliza 3 señales adicionales de control (RD/WR/CS)
- Se activa con el bit PSPIE del registro PIE1
- Usa la bandera PSPIF del registro PIR1 para manejo de interrupción
- Solo tolera la conexión a sistemas multiprocesador como esclavo

ORGANIZACIÓN DE MEMORIA:

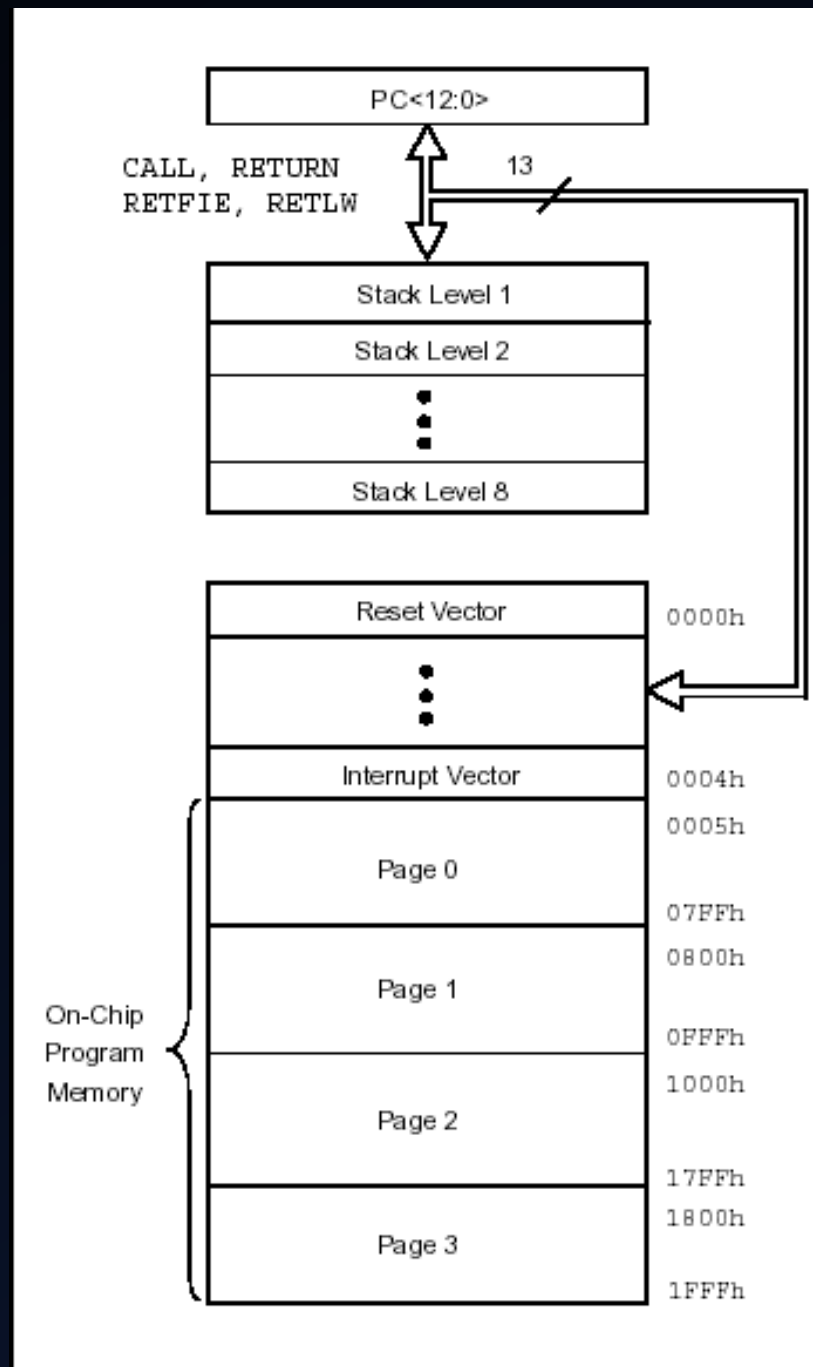
- En los PIC existen tres tipos de memoria:
 - a- Memoria de Programa
 - b- Memoria de Datos
 - c- EEPROM data MEM
- Cada bloque tiene una función dentro de la arquitectura

MEMORIA DE PROGRAMA:

- Esquema general:
 - Posee un contador de 13 bits
 - Maneja direccionamiento 8Kx14 ó 4Kx14
 - Vector de reset se ubica en 00H
 - Vector de interrupción ubicado en 04H
- Mapa de memoria

MAPA DE MEMORIA:

PIC 16F876/877



MEMORIA PARA DATOS:

- Particionada en múltiples bancos de registros de propósito general, seleccionados por RP0, RP1.
- Extensión de cada banco: 128 bytes
- Memoria tipo RAM estática
- Los registros permiten la configuración de las características del MCU

MAPA DE MEMORIA DE DATOS:

PIC 16F876/877

FIGURE 2-3: PIC16F877/876 REGISTER FILE MAP

								File Address	
Indirect addr. ^(*)	00h	Indirect addr. ^(*)	80h	Indirect addr. ^(*)	100h	Indirect addr. ^(*)	180h		
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h		
PCL	02h	PCL	82h	PCL	102h	PCL	182h		
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h		
FSR	04h	FSR	84h	FSR	104h	FSR	184h		
PORTA	05h	TRISA	85h		105h		185h		
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h		
PORTC	07h	TRISC	87h		107h		187h		
PORTD ^(*)	08h	TRISD ^(*)	88h		108h		188h		
PORTE ^(*)	09h	TRISE ^(*)	89h		109h		189h		
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah		
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh		
PIR1	0Ch	PIE1	8Ch	EEDATA	10Ch	EECON1	18Ch		
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2	18Dh		
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved ⁽²⁾	18Eh		
TMR1H	0Fh		8Fh	EEADRH	10Fh	Reserved ⁽²⁾	18Fh		
T1CON	10h		90h	General Purpose Register 16 Bytes	110h	General Purpose Register 16 Bytes	190h		
TMR2	11h	SSPCON2	91h		111h		191h		
T2CON	12h	PR2	92h		112h		192h		
SSPBUF	13h	SSPAD	93h		113h		193h		
SSPCON	14h	SSPSTAT	94h		114h		194h		
CCPR1L	15h		95h		115h		195h		
CCPR1H	16h		96h		116h		196h		
CCP1CON	17h		97h		117h		197h		
RCSTA	18h	TXSTA	98h		118h		198h		
TXREG	19h	SPBRG	99h		119h		199h		
RCREG	1Ah		9Ah		11Ah		19Ah		
CCPR2L	1Bh		9Bh		11Bh		19Bh		
CCPR2H	1Ch		9Ch		11Ch		19Ch		
CCP2CON	1Dh		9Dh		11Dh		19Dh		
ADRESH	1Eh	ADRESL	9Eh		11Eh		19Eh		
ADCON0	1Fh	ADCON1	9Fh		11Fh		19Fh		
	20h		A0h	General Purpose Register 80 Bytes	120h	General Purpose Register 80 Bytes	1A0h		
General Purpose Register 96 Bytes	7Fh	General Purpose Register 80 Bytes	EFh		16Fh		1EFh		
					170h		1F0h		
					17Fh		1FFh		
Bank 0		Bank 1		Bank 2		Bank 3			

■ Unimplemented data memory locations, read as '0'.

* Not a physical register.

Note 1: These registers are not implemented on 28-pin devices.

2: These registers are reserved, maintain these registers clear.

ALGUNOS REGISTROS IMPORTANTES:

- Los registros de función especial permiten configurar las diferentes posibilidades de operación del sistema:
- STATUS
- OPTION_REG REGISTER
- INTCON REGISTER
- PIE1 REGISTER

STATUS:

REGISTER 2-1: STATUS REGISTER (ADDRESS 03h, 83h, 103h, 183h)

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C
bit7							bit0

R = Readable bit
 W = Writable bit
 U = Unimplemented bit,
 read as '0'
 - n= Value at POR reset

bit 7: **IRP:** Register Bank Select bit (used for indirect addressing)
 1 = Bank 2, 3 (100h - 1FFh)
 0 = Bank 0, 1 (00h - FFh)

bit 6-5: **RP1:RP0:** Register Bank Select bits (used for direct addressing)
 11 = Bank 3 (180h - 1FFh)
 10 = Bank 2 (100h - 17Fh)
 01 = Bank 1 (80h - FFh)
 00 = Bank 0 (00h - 7Fh)
 Each bank is 128 bytes

bit 4: **\overline{TO} :** Time-out bit
 1 = After power-up, CLRWDI instruction, or SLEEP instruction
 0 = A WDT time-out occurred

bit 3: **\overline{PD} :** Power-down bit
 1 = After power-up or by the CLRWDI instruction
 0 = By execution of the SLEEP instruction

bit 2: **Z:** Zero bit
 1 = The result of an arithmetic or logic operation is zero
 0 = The result of an arithmetic or logic operation is not zero

bit 1: **DC:** Digit carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions)
 (for borrow the polarity is reversed)
 1 = A carry-out from the 4th low order bit of the result occurred
 0 = No carry-out from the 4th low order bit of the result

bit 0: **C:** Carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions)
 1 = A carry-out from the most significant bit of the result occurred
 0 = No carry-out from the most significant bit of the result occurred

OPTION_REG REGISTER:

REGISTER 2-2: OPTION_REG REGISTER (ADDRESS 81h, 181h)

R/W-1 R/W-1 R/W-1 R/W-1 R/W-1 R/W-1 R/W-1 R/W-1

RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
------	--------	------	------	-----	-----	-----	-----

bit7

bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit,
read as '0'
- n= Value at POR reset

- bit 7: **RBPU**: PORTB Pull-up Enable bit
1 = PORTB pull-ups are disabled
0 = PORTB pull-ups are enabled by individual port latch values
- bit 6: **INTEDG**: Interrupt Edge Select bit
1 = Interrupt on rising edge of RB0/INT pin
0 = Interrupt on falling edge of RB0/INT pin
- bit 5: **T0CS**: TMR0 Clock Source Select bit
1 = Transition on RA4/T0CKI pin
0 = Internal instruction cycle clock (CLKOUT)
- bit 4: **T0SE**: TMR0 Source Edge Select bit
1 = Increment on high-to-low transition on RA4/T0CKI pin
0 = Increment on low-to-high transition on RA4/T0CKI pin
- bit 3: **PSA**: Prescaler Assignment bit
1 = Prescaler is assigned to the WDT
0 = Prescaler is assigned to the Timer0 module
- bit 2-0: **PS2:PS0**: Prescaler Rate Select bits

Bit Value	TMR0 Rate	WDT Rate
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

INTCON REGISTER:

REGISTER 2-3: INTCON REGISTER (ADDRESS 0Bh, 8Bh, 10Bh, 18Bh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF
bit7						bit0	

R = Readable bit
W = Writable bit
U = Unimplemented bit,
read as '0'
- n= Value at POR reset

- bit 7: **GIE:** Global Interrupt Enable bit
1 = Enables all un-masked interrupts
0 = Disables all interrupts
- bit 6: **PEIE:** Peripheral Interrupt Enable bit
1 = Enables all un-masked peripheral interrupts
0 = Disables all peripheral interrupts
- bit 5: **TOIE:** TMR0 Overflow Interrupt Enable bit
1 = Enables the TMR0 interrupt
0 = Disables the TMR0 interrupt
- bit 4: **INTE:** RB0/INT External Interrupt Enable bit
1 = Enables the RB0/INT external interrupt
0 = Disables the RB0/INT external interrupt
- bit 3: **RBIE:** RB Port Change Interrupt Enable bit
1 = Enables the RB port change interrupt
0 = Disables the RB port change interrupt
- bit 2: **TOIF:** TMR0 Overflow Interrupt Flag bit
1 = TMR0 register has overflowed (must be cleared in software)
0 = TMR0 register did not overflow
- bit 1: **INTF:** RB0/INT External Interrupt Flag bit
1 = The RB0/INT external interrupt occurred (must be cleared in software)
0 = The RB0/INT external interrupt did not occur
- bit 0: **RBIF:** RB Port Change Interrupt Flag bit
1 = At least one of the RB7:RB4 pins changed state (must be cleared in software)
0 = None of the RB7:RB4 pins have changed state

PIE1 REGISTER:

REGISTER 2-4: PIE1 REGISTER (ADDRESS 8Ch)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit,
read as '0'
- n= Value at POR reset

- bit 7: **PSPIE⁽¹⁾**: Parallel Slave Port Read/Write Interrupt Enable bit
1 = Enables the PSP read/write interrupt
0 = Disables the PSP read/write interrupt
- bit 6: **ADIE**: A/D Converter Interrupt Enable bit
1 = Enables the A/D converter interrupt
0 = Disables the A/D converter interrupt
- bit 5: **RCIE**: USART Receive Interrupt Enable bit
1 = Enables the USART receive interrupt
0 = Disables the USART receive interrupt
- bit 4: **TXIE**: USART Transmit Interrupt Enable bit
1 = Enables the USART transmit interrupt
0 = Disables the USART transmit interrupt
- bit 3: **SSPIE**: Synchronous Serial Port Interrupt Enable bit
1 = Enables the SSP interrupt
0 = Disables the SSP interrupt
- bit 2: **CCP1IE**: CCP1 Interrupt Enable bit
1 = Enables the CCP1 interrupt
0 = Disables the CCP1 interrupt
- bit 1: **TMR2IE**: TMR2 to PR2 Match Interrupt Enable bit
1 = Enables the TMR2 to PR2 match interrupt
0 = Disables the TMR2 to PR2 match interrupt
- bit 0: **TMR1IE**: TMR1 Overflow Interrupt Enable bit
1 = Enables the TMR1 overflow interrupt
0 = Disables the TMR1 overflow interrupt

Note 1: PSPIE is reserved on 28-pin devices; always maintain this bit clear.

SET DE INSTRUCCIONES:

TABLE 13-2: PIC16CXXX INSTRUCTION SET

Mnemonic, Operands	Description	Cycles	14-Bit Opcode				Status Affected	Notes	
			MSb		LSb				
BYTE-ORIENTED FILE REGISTER OPERATIONS									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z	1,2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	1,2
CLRF	f	Clear f	1	00	0001	1fff	ffff	Z	2
CLRWF	-	Clear W	1	00	0001	0xxx	xxxx	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	1,2
DECF	f, d	Decrement f	1	00	0011	dfff	ffff	Z	1,2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1,2,3
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	1,2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1,2,3
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	1,2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	1,2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		
NOP	-	No Operation	1	00	0000	0xx0	0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	1,2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	1,2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z	1,2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		1,2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	1,2
BIT-ORIENTED FILE REGISTER OPERATIONS									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		1,2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		1,2
BTFSC	f, b	Bit Test f, Skip if Clear	1 (2)	01	10bb	bfff	ffff		3
BTFSS	f, b	Bit Test f, Skip if Set	1 (2)	01	11bb	bfff	ffff		3
LITERAL AND CONTROL OPERATIONS									
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk		
CLRWDT	-	Clear Watchdog Timer	1	00	0000	0110	0100	TO,PD	
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk		
RETFIE	-	Return from interrupt	2	00	0000	0000	1001		
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk		
RETURN	-	Return from Subroutine	2	00	0000	0000	1000		
SLEEP	-	Go into standby mode	1	00	0000	0110	0011	TO,PD	
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

CONCLUSIONES:

- Arquitectura RISC de 35 instrucciones.
- Operaciones de duración igual, excepto saltos.
- Compatible con otras familias de PIC.
- Pila de 8 niveles y 14 fuentes de interrupción.
- Protección de código programable.
- Frecuencia de operación programable.
- Comunicación serie
- ADC's de 10 bits de Resolución

COMENTARIOS.

