

Laboratorio de Estructura de Computadores

Curso 2016-2017

Práctica 1: Tutorial de VHDL

La entrega estará compuesta de un único fichero que incluya:

- Todos los “.vhd” solicitados.
- Un fichero llamado “autores.txt” que contenga los nombres completos e identificadores de la pareja.

Todos estos ficheros deben entregarse en un único fichero comprimido.

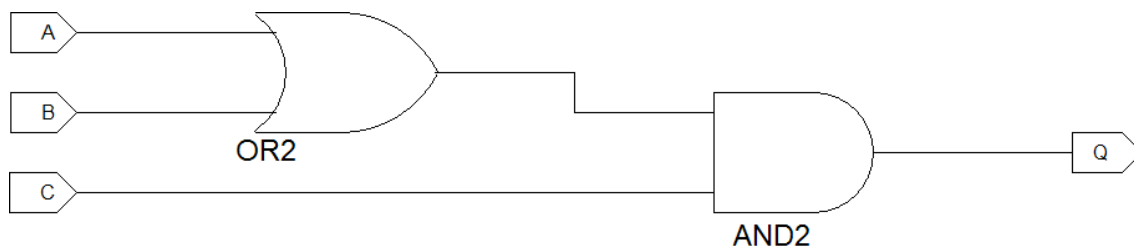
Los ejercicios deberán subirse a la actividad correspondiente de *Moodle*, identificada por el número de práctica (ej. La práctica 1 se entrega en la tarea «Entrega Práctica 1»). Sólo es necesario que suba los ficheros un miembro de la pareja. En caso de que ambos miembros de la pareja suban un fichero a *Moodle*, se corregirá sólo uno.

Todos los ficheros deberán contener en la cabecera los nombres de los autores y el identificador de la pareja. Asimismo, se recuerda que los ficheros deberán estar correctamente comentados. Dado que no se entrega una memoria adicional, los comentarios de los ficheros deben ser claros y concisos. No atenerse a estas normas implicará una penalización en la nota.

El límite de entrega de esta práctica será el día anterior al comienzo de la siguiente práctica. Las parejas que no hayan entregado en plazo y forma serán calificadas con un cero en esta práctica.

Ejercicio 1. Tutorial de ISE y realización de circuito combinacional básico (2 puntos).

En este ejercicio se debe seguir la presentación y obtener la descripción en VHDL del siguiente circuito. Asimismo se deberá generar el fichero de *testbench* (también siguiendo la presentación) y realizar la simulación del mismo.



Objetivo

Aprender a usar las herramientas que se utilizarán durante el curso e implementar un diseño combinacional básico.

Entrega

Se deben [entregar los ficheros “P1e1.vhd” y “P1e1_tb.vhd”](#). Estos ficheros deben seguir las normas de entrega de la asignatura.

Ejercicio 2. Estudio de registro simple

En este ejercicio se debe estudiar y comprender el diseño realizado para un registro de 1 bit, con *Reset* activo a nivel alto y señal de *Chip Enable* activa a nivel alto. El fichero “*Registro.vhd*” suministrado contiene la descripción de dicho módulo.

Objetivo

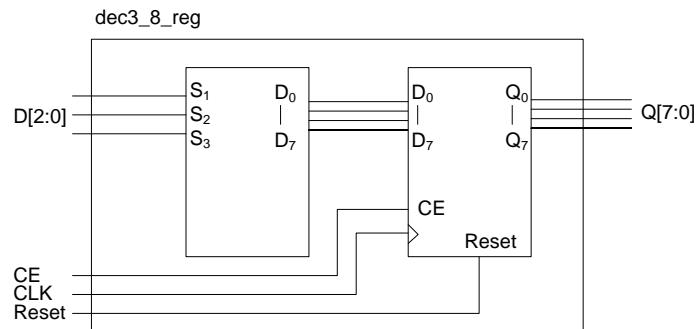
Comprender el diseño y la descripción del diseño suministrado.

Entrega

Este ejercicio **no requiere entregar nada**.

Ejercicio 3. Decodificador 3 a 8 con registro de 8 bits (4 puntos).

Se debe generar un circuito que haga las veces de decodificador 3 a 8 y mantenga el valor de la salida. El fichero suministrado "*Deco2a4.vhd*" contiene la descripción en VHDL de un decodificador 2 a 4. Utilizando un código similar al de este fichero y el registro de un bit del fichero "*Registro.vhd*" realizar la descripción equivalente al esquemático siguiente:



La entidad debe estar descrita como sigue:

```
entity Deco3a8Reg is
  port (
    D : in std_logic_vector (2 downto 0);
    CE : in std_logic;
    Clk : in std_logic;
    Reset : in std_logic;
    Q : out std_logic_vector (7 downto 0)
  );
end Deco3a8Reg;
```

Para verificar el correcto funcionamiento del desarrollo, utilizar el *testbench* incluido en el fichero "*Deco3a8RegTb.vhd*"

Objetivo

Codificar en VHDL el equivalente al esquemático suministrado. Además se debe respetar el formato de entidad suministrado para poder utilizar el *testbench* determinado.

Entrega

Se debe **entregar el fichero** "*Deco3a8Reg.vhd*" que contenga la solución al problema propuesto.

Ejercicio 4. Contador de 8 bits (4 puntos).

Utilizando como base, los ficheros de testbench suministrados en esta práctica, desarrollar un *testbench* para el contador de 8 bits suministrado (fichero "*Contador.vhd*"). Se deberá estudiar el diseño realizado en VHDL de dicho contador y generar todos los casos de prueba.

Objetivo.

Generar un testbench para probar el módulo suministrado.

Entrega.

Para este ejercicio, se deberá **entregar el fichero** "*ContadorTb.vhd*" que contenga el testbench para la entidad "Contador". Durante la corrección se utilizará el fichero "*Contador.vhd*" original.