



LAB 3

Pengantar Sistem Digital

2023-2024 Gasal

SFO

Petunjuk Pengerjaan

- Kerjakan semua soal sesuai dengan spesifikasi tiap soal.
- Mohon baca setiap spesifikasi soal dengan saksama sebelum bertanya kepada asisten dosen.
- Jika ada soal yang membingungkan atau kesalahan pada soal, silahkan bertanya kepada salah satu asisten dosen yang sudah *stand-by*.
- Lakukan submisi semua file (sesuai spesifikasi yang ada pada soal) di SCELE sebelum **Kamis, 28 September 2023 pukul 14:50** (**Toleransi keterlambatan pengumpulan yaitu 5 menit**).
- **Penalti sebesar 2 poin** akan dikenakan untuk keterlambatan **setiap menit**. Contoh: telat **5 menit**, maka dikenakan **penalti sebesar 10 poin**. **Jika terlambat selama > 2 jam**, lab **tidak akan dinilai**.

Pengumpulan Submisi

Kumpulkan satu *file* jawaban dengan format penamaan *file*:

LAB3_[Kode Asdos]_[NPM]_[Nama].zip

Sirkuit Logisim diberi nama dengan format penamaan file:

LAB3_[Kode Asdos]_[NPM]_[Nama].circ

Jawaban penjelasan diberi nama dengan format penamaan file:

LAB3_[Kode Asdos]_[NPM]_[Nama].pdf

Catatan: Tanda '[' dan ']' tidak perlu ditulis!

Contoh:

- LAB3_ABC_2306123456_PakEsde.zip
- LAB3_ABC_2306123456_PakEsde.circ
- LAB3_ABC_2306123456_PakEsde.pdf

Format penamaan *file* yang salah akan diberikan penalti sebesar 5 poin.

Combinatorial Logic Project 2

(100 Poin)

Rilis - 27/09/2023

Revisi 1 - 28/09/2023

Horee!! Berkat bantuan kalian, Pak Esde berhasil memecahkan *password* dan membuka *file* yang terkunci sebelumnya. Untuk menghindari kejadian yang sama, Pak Esde berencana untuk melakukan enkripsi pada *file* yang dimilikinya dengan mengubah konfigurasi di *assembly* dari **BCD** menjadi Excess-5. Pak Esde kembali meminta bantuan kalian sebagai mahasiswa yang baik untuk membuat sebuah **BCD to Excess-5 Code Converter**. Namun, sayangnya Pak Esde memiliki sumber daya yang terbatas. Kalian diminta untuk membuat rangkaian dengan NOR gate saja.

Pada lab kali ini, kalian diminta untuk membuat sirkuit **dan** *design procedure* nya (tanpa prosedur *verification*). Silahkan membuat *design procedure* memakai *tools* apapun, ex. GDocs, OneNote, dll.

Ketentuan tugas:

1. Buatlah *design procedure* yang sesuai dari tahap spesifikasi sampai membuat rangkaian (tidak perlu prosedur verifikasi).
2. Buatlah *truth table* dengan input A, B, C, D (input **BCD**) dan output W, X, Y, Z (output Excess-5).
3. Buatlah formula dalam bentuk **SOP** atau **POS** (tidak perlu keduanya).
4. Buatlah rangkaian menggunakan **NOR** gate saja. (akan ada penalti jika menggunakan selain NOR).
5. **Format Penamaan Rangkaian, Input, dan Output:**
Nama Rangkaian : Code_Converter
Nama Input : A, B, C, D
Nama Output : W, X, Y, Z

Catatan:

- A dan W merupakan *Most Significant Bit* (MSB). Jika kalian ingin melakukan testing pada rangkaian yang sudah kalian buat, cukup melakukan testing input dari 0-9.
- Mahasiswa diperbolehkan untuk membuat rangkaian lain untuk mengimplementasikan gerbang OR, AND, dan NOT menggunakan NOR. Yang terpenting adalah rangkaian pada nomor 5 (Code_Converter).

Format penamaan rangkaian, input, dan output yang salah akan diberikan penalti sebesar 1 poin untuk setiap kesalahan. Perhatikan besar dan kecilnya huruf.

Perhatikan bahwa plagiarisme adalah pelanggaran serius dengan sanksi nilai 0.