

Tugas Mandiri 8 PSD

Nama: Arzawa Raffan Hawardhi

Kelas: PSD-C

NPM: 2306052393

a. Perbedaan Ripple Counter dan Synchronous Counter:

Jawab:

Pada Ripple Counter (Asynchronous Counter), clock pemacu sebuah flip-flop tidak semuanya berasal dari clock langsung. LSB memang mendapatkan clock pemacu langsung, namun bit seterusnya mendapatkan supply clock dari output flip-flop sebelumnya, lebih tepatnya output \bar{Q} bit sebelumnya.

Sedangkan pada Synchronous Counter, clock pemacu untuk setiap flip-flop merupakan / berasal dari clock bersamaan. Output per-flip-flop digunakan untuk mengubah bit selanjutnya.

b. Komponen utama register transfer operation

Jawab:

- ①. Set dan register di dalam sistem
- ②. Operasi yang dilakukan kepada data yang disimpan dalam register
- ③. Unit kontrol yang mengendalikan operasi dalam sistem

c. Hal tersebut bisa dilakukan karena setiap dedicated - mux bisa digunakan peralihan yang sama atau berbeda sehingga ^{lebih} mux di-set menerima data, maka data dari R0 bisa masuk ke R1 dan data dari R1 bisa masuk ke R2 dan swap data dapat dilakukan.

	Input ke-	Cx	Cy	Serial Output	Serial Input	Deskripsi Operasi	Isi Register	A = 01101 B = 10010
Awal	-	-	-	-	-	-	01101	
1	1	0	1	0	Shift Right	00110		
2	0	1	0	1	Shift Left	01101		Cx'.Cy' : A ← A (Hold)
3	1	0	1	0	Shift Right	00110		Cx'.Cy' : A ← B/2 (Shift Left)
4	1	0	0	1	Shift Right	10011		Cx.Cy' : A ← Shift (Shift Right)
5	1	0	1	0	Shift Right	01001		Cx.Cy' : A ← A ∨ B (Bitwise OR)
6	1	1	x	x	Bitwise A ∨ B	11011		
7	0	1	1	0	Shift Left	10110		
8	0	0	x	x	Hold	10110		
9	1	1	x	x	Bitwise A ∨ B	10110		
10	0	1	1	0	Shift Left	01100		
11	0	1	0	1	Shift Left	11001		
12	1	0	1	0	Shift Right	01100		
13	1	1	x	x	Bitwise A ∨ B	11110		
14	0	1	1	0	Shift Left	11100		
KAKY 15	0	0	x	x	Hold	11100		

③. $Cy : A \leftarrow A \oplus B$ (Binary XOR)

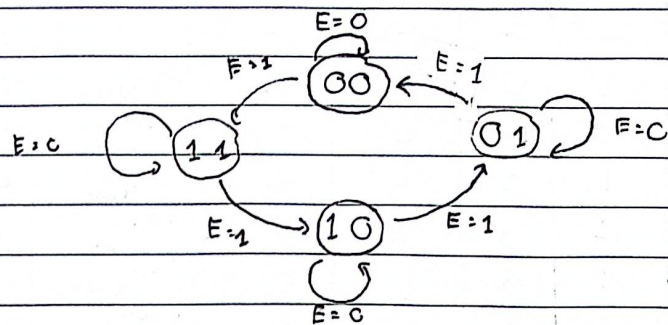
$Cx : A \leftarrow A' \oplus B$

$Cx.Cy : A \leftarrow A \wedge B'$

Hold state (0,0)

Input				Next State
Cx	Cy	A	B	$A(t+1)$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

④. a. State Diagram



b. State Tabel 1-Amona

Current State		Enable	Next State	
A(t)	B(t)	E	A(t+1)	B(t+1)
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	0	0
1	0	0	1	0
1	0	1	0	1
1	1	0	1	1
1	1	1	Φ	0

D₁ atau A(t+1)

A(t)	B(t)			
	0 ⁰	1 ¹	0 ³	0 ²
0 ⁴	0 ⁵	1 ²	1 ⁶	
E				

$$D_1 = A(t) \cdot E' + A(t) \cdot B(t) + A(t)' \cdot B(t)' \cdot E$$

$$\text{simplified: } A(t) (B(t) + E') + A(t)' (B(t)' \cdot E)$$

$$\Rightarrow A(t) \odot (B(t) + E')$$

D₀ atau B(t+1)

A(t)	B(t)			
	0 ⁰	1 ¹	0 ³	1 ²
0 ⁴	1 ⁵	0 ⁷	1 ⁶	
E				

$$D_0 \Rightarrow B(t)' E + B(t) E'$$

$$\text{simplified: } B(t) \oplus E$$