Tugas Mandiri 7

Date.

Nama: Arzaka Raffan Mawardi
Kelas: PSD - C
NPM: 2306152393

1. a. Register adalah unit penyimpanan atau koleksi kecil dari sebuah binary. Register berperan sebagai lokasi penyimpanan sementara untuk data yang sedang diproses. Biasanya register digunakan untuk melakukan penyimpanan data² yang kecil, perpindahan data, dan proses operasi data.

b. Karena tujuan register adalah menyimpan data, struktur dari register juga harus terdiri dari unit yang bisa menyimpan data juga. Salah satu unit ini adalah flip-flop, dimana flip flop dapat menyimpan 1 bit data pada setiap periode clock

c. Microoperations merupakan operasi² dasar yang dilakukan pada level terendah dalam unit pemrosesan data di dalam sebuah komputer. Microoperations dijalankan pada level bit di dalam register.

d. I. Transfer Microoperations : Merupakan prosedur memindahkan data dari suatu register ke register lainnya.

Contoh RTL : $R_1 \leftarrow R_2$ (data dari R_2 di-transfer ke R_1)

II. Arithmetic operations: Merupakan sebuah prosedur untuk menerapkan proses aritmatika dari data di register. operations: (+, -, *, /)

Contoh RTL : $R_3 \longleftarrow R_1 + R_2$ (penjumlahan data R_1 dan R_2 disimpan di dalam R_3)

III. Logic Microoperations : Merupakan sebuah prosedur untuk memanipulasi data atau menggunakan operasi bitwise (operasi per bit) kepada data.

operations: ($\vee$, $\wedge$, $\oplus$, $\overline{\ \ }$)

Date.

Contoh RTL : $R_1 \leftarrow R_2 \oplus R_2$ (data di R_1 di-XOR dgn data di R_2 secara bitwise dan di-store di R_1)

IV. Shift microoperations : Sebuah proses shift data atau menggeser data

Contoh RTL : sl R_1 (shift left R_1)

$R_0 \leftarrow sr R_2$ (shift right R_2 lalu store di R_0)

(2.) R_1 = 0100 0101 R_2 = 1101 0111

a. $R_0 \leftarrow R_1 + \overline{R_2} + 1$

=> R_1 => 0100 0101

$\overline{R_2}$ => 0010 1000

1 +

R_0 = 0110 1110

b. $R_0 \leftarrow \overline{R_1 \wedge R_2}$

R_1 => 0100 0101

R_2 => 1101 0111 Bitwise and (^)

$R_1 \wedge R_2$ 0100 0101

$\overline{R_1 \wedge R_2}$ => 1011 1010

distore ke R_0 R_0 => 1011 1010

c. $R_0 \leftarrow$ sl R_1

R_1 => 0100 0101

sl R_1 => 1000 1010

distore ke R_0 R_0 => 1000 1010

Date.

(d). $R_0 \leftarrow \overline{R_1} \oplus \overline{R_2}$

$\overline{R_1}$ => 1011 1010

$\overline{R_2}$ => 0010 1000 Bitwise xor ($\oplus$)

R_0 => 1001 0010

e. $R_0 \leftarrow$ ASR R_2

R_2 => 1 1 0 1 0 1 1 1

ASR

R_0 => 1 1 1 0 1 0 1 1

(3). R_A = 1010 0101

R_B = 1100 1100

R_C = 0110 1001

a $R_A \leftarrow \overline{R_A} + \overline{R_C}$

$\overline{R_A}$ => 0101 1010

$\overline{R_C}$ => 1001 0110 +

R_A => 1111 0000

b. $R_B \leftarrow$ cir $\overline{R_B}$

$\overline{R_B}$ => 0011 0011

~~$\overline{R_B}$~~ cir

R_B 1001 1001

Date.

c. $R_C \leftarrow R_B \oplus R_C$

$R_B \Rightarrow$ 1001 1001

$R_C \Rightarrow$ 0110 1001 Bitwise XOR ($\oplus$)

$R_C \Rightarrow$ 1111 0000

d. $R_A \leftarrow R_A + \overline{R_C} + 1$

$R_A \Rightarrow$ 1111 0000

$\overline{R_C} \Rightarrow$ 0000 1111

1

(1) 0000 0000 +

$R_A \Rightarrow$ 0000 0000

buang overflow

e. $R_B \leftarrow \overline{R_B \vee R_C}$

disederhanakan dulu $\Rightarrow \overline{R_B \vee R_C} \Rightarrow \overline{R_B} \wedge R_C$

$\overline{R_B} \Rightarrow$ 0110 0110

$R_C \Rightarrow$ 1111 0000 Bitwise and ($\wedge$)

$R_B \Rightarrow$ 0110 0000

f. $R_C \leftarrow \overline{R_B \oplus R_C}$

$\overline{R_B} \Rightarrow$ 1001 1111

$\overline{R_C} \Rightarrow$ 0000 1111 Bitwise XOR ($\oplus$)

$\overline{R_B} \oplus \overline{R_C}$ 1001 0000

$\overline{R_B \oplus \overline{R_C}} \Rightarrow$ 0110 1111

transfer ke R_C: $R_C \Rightarrow$ 0110 1111

Date.

4. a. $Cx\ \overline{Cy}$: $A \leftarrow \overline{A} \vee B$

$Cx\ Cy$: $A \leftarrow \overline{B}$

$\overline{Cx}\ \overline{Cy}$: $A \leftarrow A \oplus B$

$\overline{Cx}\ Cy$: $A \leftarrow \overline{A \wedge B}$

b.

Control Input		Present State	Input	Next state
Cx	Cy	A (t)	B (t)	A (t+1)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0