Hochschule Karlsruhe
University of Applied Sciences
Studiengang EITB SS 22

Digitaltechnik Labor 2

Von halben und vollen Addierern

Vorbereitung

Jan Hoegen*

Erstellt am: 10. April 2022
Betreuer: Prof. Dr. -Ing. Jan Bauer

Inhaltsverzeichnis

1 Umformung des Halbaddierers **2**
1.1 Umformen der Gleichung . . . 2
1.2 Schaltbild des umgeformten Halbaddierers . . . 2
1.3 Simulation der Schaltung . . . 2

2 Umformen des Volladdierers **2**
2.1 Umformen der Gleichung . . . 3
2.2 Schaltbild des umgeformten Volladdierers . . . 3
2.3 Simulation der Schaltung . . . 3

3 Umformen des 2-Bit-Addierer-Netz **4**
3.1 Blockschaltbild des 2-Bit Ripple-Carry-Addiernetz . . . 4
3.2 Umformen des Schaltbilds . . . 4
3.3 Simulation der Schaltung . . . 5

*Matrikelnumer: 82358

1 Umformung des Halbaddierers

In diesem Abschnitt wird ein Halbaddierer durch ausschließlich NAND- und NOR-Gatter realisiert. Nachdem im nächsten Abschnitt auf gleiche Weise Ein Volladdierer umgeformt wird, kann schließlich ein 2-Bit-Ripple-Carry-Addierer nur durch NANDs und NOrs gebildet werden.

1.1 Umformen der Gleichung

Für den *Carry-Out* des Halbaddieres gilt gemäß der Laboranleitung:

$$c_0 = a \wedge b$$

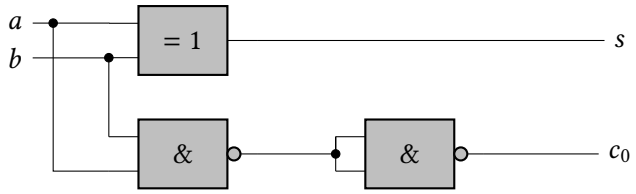
Nach Umformen durch Idempotenz und Involution ergibt sich:

$$\begin{aligned} c_0 &= a \wedge b \\ c_0 &= (a \wedge b) \wedge (a \wedge b) \\ c_0 &= \overline{\overline{(a \wedge b) \wedge (a \wedge b)}} \\ c_0 &= \overline{\overline{(a \wedge b)} \wedge \overline{(a \wedge b)}} \end{aligned}$$

Dies entspricht 2 NAND-Gattern, der Ausgang des Ersten liegt dabei auf beiden Eingängen des Zweiten.

1.2 Schaltbild des umgeformten Halbaddierers

Der vollständige Halbaddierer mit Umformung nach oben stehender Rechnung ergibt folgendes Schaltbild:



1.3 Simulation der Schaltung

Die oben stehende Schaltung in logisim-evolution aufgebaut erzeugt die Wahrheitstabelle aus 1. Sie stimmt mit der eines Halbaddierers überein, die Schaltung erfüllt damit weiterhin ihre Funktion.

2 Umformen des Volladdierers

Nachdem zuerst der Halbaddierer durch NORs und NANDs realisiert wurde, wird nun analog mit dem Volladdierer vorgegangen.

Tabelle 1: Wahrheitstabelle des simulierten Halbaddierers

a	b	c	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

2.1 Umformen der Gleichung

Für den Ausgang des *Carry-Out* eines Volladdierers gilt gemäß der Laboranleitung:

$$c_0 = (a \wedge b) \vee (\bar{s} \wedge c_i)$$

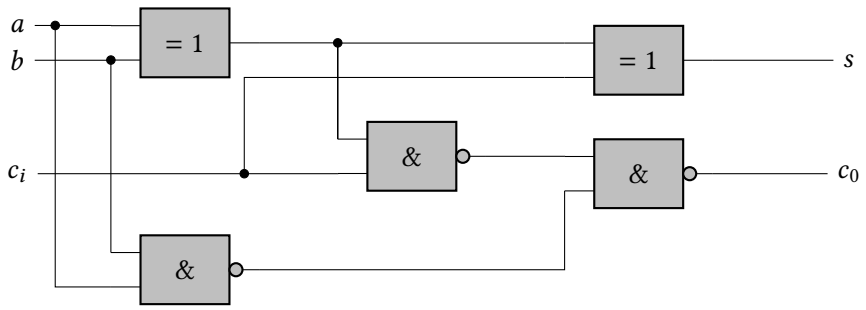
Nach Umformen durch Involution ergibt sich:

$$c_0 = (a \wedge b) \vee (\bar{s} \wedge c_i)$$
$$c_0 = \overline{\overline{(a \wedge b) \vee (\bar{s} \wedge c_i)}}$$
$$c_0 = \overline{(\overline{a \wedge b}) \wedge (\overline{\bar{s} \wedge c_i})}$$

Dies entspricht drei NAND-Gattern. Jede Klammer sowie ihre Verknüpfung ist ein NAND-Gatter.

2.2 Schaltbild des umgeformten Volladdierers

Das vollständige Schaltbild eines Volladdierers nach oben stehender Umformung sieht dann so aus:



2.3 Simulation der Schaltung

Diese Schaltung in logisim-evolution aufgebaut erzeugt die Wahrheitstabelle in 2. Sie stimmt mit der eines Volladdierers überein, die Schaltung erfüllt also weiterhin ihre Funktion.

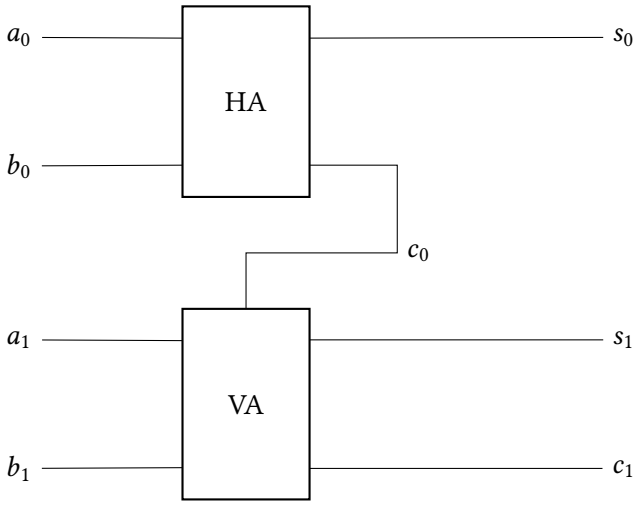
Tabelle 2: Wahrheitstabelle des simulierten Volladdierers

a	b	c_i	c_0	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

3 Umformen des 2-Bit-Addierer-Netz

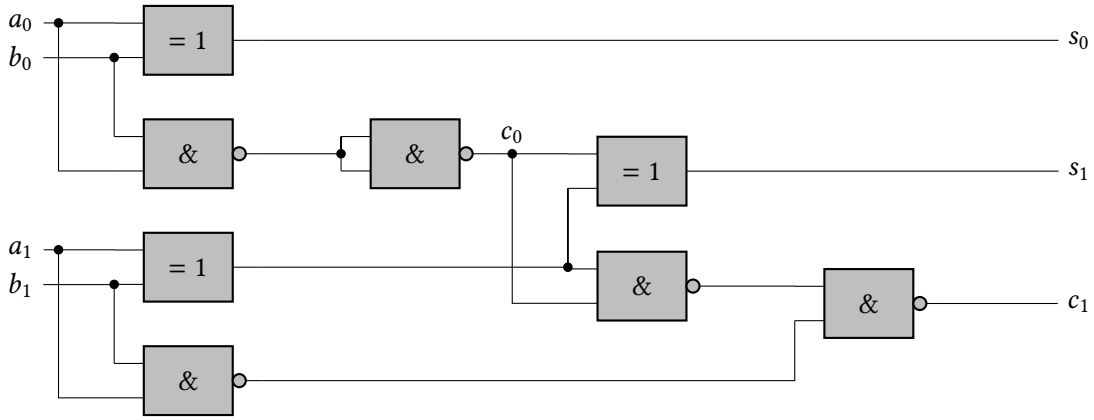
3.1 Blockschaltbild des 2-Bit Ripple-Carry-Addiernetz

Das Schaltbild des 2-Bit Ripple-Carry-Addiernetz in Blockschaltung sieht so aus:



3.2 Umformen des Schaltbilds

Das vollständige Schaltbild mit einsetzen der Layouts aus Abschnitt 1.2 und 2.2 ergibt:



3.3 Simulation der Schaltung

Diese Schaltung in logisim-evolution aufgebaut erzeugt die Wahrheitstabelle in 3. Sie stimmt mit der eines 2-Bit-Ripple-Carry-Addierers überein, die Schaltung erfüllt also weiterhin ihre Funktion.

Tabelle 3: Wahrheitstabelle des simulierten 2-Bit-Ripple-Carry-Addierer

a_0	b_0	a_1	b_1	c_1	s_1	s_0
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	1
0	1	1	0	0	1	1
0	1	1	1	1	0	1
1	0	0	0	0	0	1
1	0	0	1	0	1	1
1	0	1	0	0	1	1
1	0	1	1	1	0	1
1	1	0	0	0	1	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	1	1	0