

## **Studiengang Elektro- und Informationstechnik (Bachelor)**

# **Bericht Digitaltechnik**

### **Versuch 6: It all adds up now!**

von Jan Hoegen\*

erstellt am 25. Mai 2022

Betreuer: Prof. Dr.-Ing. Jan Bauer

\*Matrikelnummer: 82358. E-Mail: [jan.hoegen@web.de](mailto:jan.hoegen@web.de)

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung und Zielsetzung</b>	<b>3</b>
<b>2</b>	<b>Hardwareentwurf</b>	<b>4</b>
2.1	Funktionsbeschreibung . . . . .	4
2.2	Entwurf auf dem Breadboard . . . . .	4
<b>3</b>	<b>VHDL-Umsetzung</b>	<b>5</b>
3.1	Hardwarebeschreibung . . . . .	5
3.1.1	halbaddierer . . . . .	5
3.1.2	Volladdierer . . . . .	5
3.1.3	Addiernetz . . . . .	5
3.2	Siumulationsergebnis . . . . .	5
3.3	Syntheseergebnis . . . . .	5
<b>4</b>	<b>Aufbau der Schaltung</b>	<b>6</b>
<b>5</b>	<b>Analyseergebnis der Hardware</b>	<b>7</b>
<b>6</b>	<b>Schlussfolgerungen und Fazit</b>	<b>8</b>
<b>7</b>	<b>Anhang</b>	<b>9</b>

# 1 Einleitung und Zielsetzung

Digitale Addition Xilinx Vivaldo Vergleich zu Versuch 2. Deutlich weniger steckaufwand, keien 6 IC mehr nötig und dennoch doppelt so viele bitstellen.

4 bit addiernetz in vhdl beschrieben, real mit fpga testen.

## 2 Hardwareentwurf

### 2.1 Funktionsbeschreibung

abbildung addierernetz kein carry in carry out ist MSB

Mit 4 bit DIP Schalter Zahlen einstellen btn0: dip wert für b speichern btn1: dip wert für a speichern

ausgangszustand mit leds darstellen 4 bits der summe s auf dem breadboard carry out über LED1 auf dem Board

### 2.2 Entwurf auf dem Breadboard

top level system abbildung adder 4 bit muss entwickelt werden latch 4 bit speichert den summanden. bereits vorgegeben

pin zuweisung

## **3 VHDL-Umsetzung**

### **3.1 Hardwarebeschreibung**

top level system Entwurf aus der laboranleitung

#### **3.1.1 halbaddierer**

schaltbild halbaddierer

vhdl entity halbaddierer

#### **3.1.2 Volladdierer**

Schaltbild Volladdierer

vhdl entity Volladdierer

#### **3.1.3 Addiernetz**

referenz abbildung 4 bit addiernetz

vhdl entity addiernetz

### **3.2 Simulationsergebnis**

testmuster halbaddierer, testmuster volladdierer

bewertung

### **3.3 Syntheseergebnis**

constraints file

## 4 Aufbau der Schaltung

foto der schaltung auf dem breadboard

## **5 Analyseergebnis der Hardware**

video testen der schaltung mit testmuster aus 4bit adder

## **6 Schlussfolgerungen und Fazit**



## 7 Anhang

vhdl entity latch 4 bit