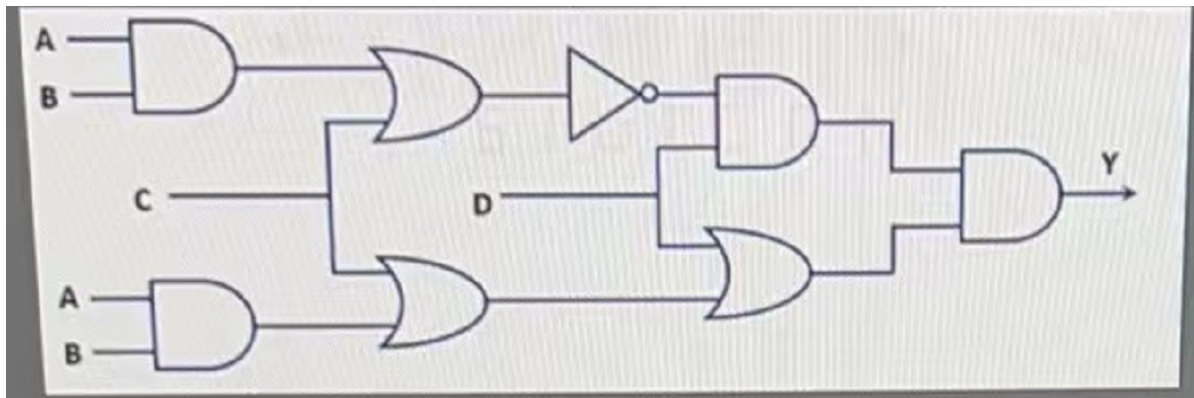


## 雷老师组硬件组2023培训

### 培训专题2：数字电路基本组件-课后任务

1. (简答) 仅使用2选1MUX实现异或逻辑, 至少需要几个选择器? 请画出逻辑电路图。
2. (单选) 将两输入的异或门作为反相器使用时, 另一端的接法应该是? ( )
  - A. 接高电平
  - B. 接低电平
  - C. 悬空
3. (不定项选择) 逻辑电路中用与非门能够实现以下哪些运算? ( )
  - A. AND
  - B. OR
  - C. NOT
  - D. XOR
4. (简答) 写出下图中输出Y的逻辑函数表达式, 并描述电路的功能。



5. (不定项选择) Regarding to latch and Flip-Flop, which of the following statements are true? ( )
  - A. Both belong to sequential logic.
  - B. The latch output may generate glitches.
  - C. Flip-Flop will only sample the current input at trigger edge of the clock to generate the output.
  - D. Latch has no clock input.
6. (单选) 晶体管的B、C、E对应于 ( )
  - A. 基极、发射极、集电极
  - B. 基极、集电极、发射极
  - C. 集电极、发射极、基极
  - D. 集电极、基极、发射极
7. (编程) 若目前能使用的全加器最大位宽为4bit, 请在2拍内实现8bit全加运算。

```

module add_8 (
    input      clk,
    input      rst,
    input [7:0] add_a,
    input [7:0] add_b,
    input      ci,
    output [7:0] sum,
    output     co
);

endmodule

```

8.（编程）现有三个4bit的输入数据，需要设计一个模块，对这三个数据进行大小排序并输出。

（1）用组合逻辑在1拍内输出结果；

```

module sort_3 (
    input  [3:0] data_a,
    input  [3:0] data_b,
    input  [3:0] data_c,
    output [3:0] max_value,
    output [3:0] next_max_value,
    output [3:0] min_value
);

endmodule

```

（2）用时序逻辑，以流水拍方式输出结果（即不使用比较器级联，每个时钟周期都有数据输入，第一个数据输入后可以间隔若干周期后再输出，但开始输出后输出数据之间不能有间隔，每个周期都需要输出结果）；

提示：可以先试着画出分步比较流程

```

module sort_3_seq (
    input      clk,
    input      rst,
    input [3:0] data_a,
    input [3:0] data_b,
    input [3:0] data_c,
    input      data_vld,
    output [3:0] max_value,
    output [3:0] next_max_value,
    output [3:0] min_value,
    output      result_vld
);

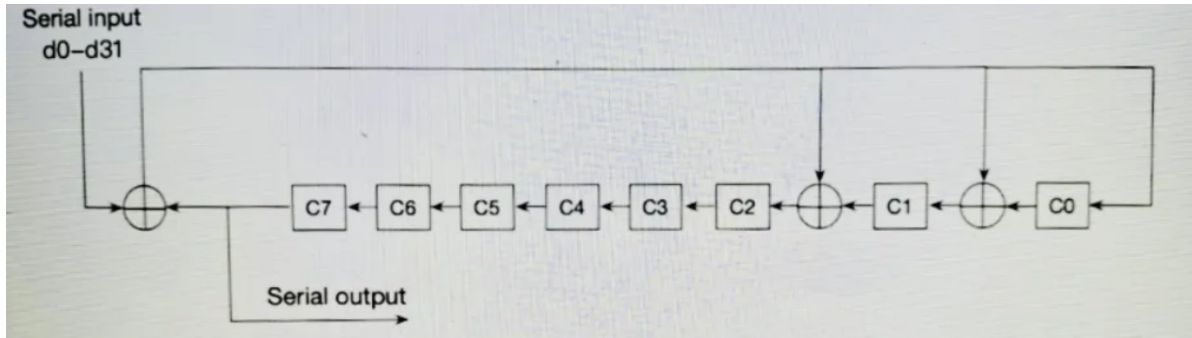
endmodule

```

（3）现将需要比较的数增加到4个，仍采用流水拍的方式实现，但不能使用比较器，只提供若干触发器和一块可预先配置好数据的ROM。请确定ROM的位宽、深度和各地址中存储的数据，并描述模块的设计（不需要编写代码）。

提示：两个关键问题，如何用ROM代替比较器和如何完成4个数的比较，这两个问题可以分开考虑

9. (编程) 实现CRC-8串行计算,  $g(x) = x^8 + x^2 + x + 1$ 。串行输入数据共32bit, 串行输出数据共8bit。



```
module CRC_8 (
    input  clk,
    input  rst_n,
    input  crc_start,
    input  data,
    input  data_valid,
    output crc_out,
    output crc_valid
);

endmodule
```

10. (编程) 实现可配置、可切换的时钟分频, 输入源时钟、分频系数 (值0-3分别对应1-4分频, 1分频即输出原时钟即可), 输出分频后的时钟。

```
module clk_divider (
    input      clk,
    input      rst,
    input [1:0] divide_para,
    output     clk_div
);

endmodule
```

11. (编程) 实现不同要求的1101序列检测器。其中data\_vld指示有效输入, data\_vld为低电平时, 输入数据无效; result为检测结果, 当满足序列检测要求的下一个周期, 拉高一个周期。

(1) 用移位寄存器写法实现不重叠检测;

```
module detect_1101 (
    input  clk,
    input  rst,
    input  data_in,
    input  data_vld,
    output result
);

endmodule
```

(2) 用状态机写法实现重叠检测；

(3) 增加一个3bit输入num，检测到 (num+1) 次的1101序列后，result输出高电平。

```
module detect_1101_n (  
    input      clk,  
    input      rst,  
    input      data_in,  
    input      data_vld,  
    input [2:0] num,  
    output     result  
);  
  
endmodule
```

12. (补充) 自己回顾一下课件内的重点知识：D锁存器和D触发器的结构，锁存器和触发器的区别，什么情况下会生成锁存器，存储器的分类，各种存储器的特点等；其他需要掌握代码的电路，可以参考晚上资料或牛客网刷题。