

1. 8位补码(AE)对应的十进制数为。
2. 函数  $F = (A+B)C + \bar{B}$  的对偶函数为。
3. 已知F(ABC)中最小编号为011, 则该项的表达式为。
4. 逻辑代数的三个重要规则是:
5. 'timescale 1ns / 1ps, 这个语句声明模块中的时间精度为。
6. 组合逻辑的verilog设计中, 分支条件覆盖不全会综合成( )。
7. n位带符号数(补码)正确的运算结果应该在( )范围内。如果~~有溢出~~结果不在该范围, 则产生了( ), 可以在最高位进位 $C_n$ 和次高位进位 $C_{n-1}$ 之间采用( )门来检测运算结果是否正常。
8. 下降沿触发的特性方程是。
9. 用 Verilog HDL 设计8个1位的寄存器( )。
10. 按照输出逻辑的不同, 有限状态机分成( ), ( )两种类型。
11. 定义reg类型的变量一定会综合成寄存器。请用X或者√回答。
12. 在 Verilog 中, 对于条件表达式  $X = (Y > Z) ? W1 : W0$ , 当  $Y > Z$  不成立时  $X =$  ( )。
13. Verilog 中,  $4'bxx11 \& 4'b1011$  的计算结果是 ( )。
14. 时序逻辑电路中, 从寄存器到寄存器的电路中延时最长的逻辑路径叫做 ( )。
15. 由连续赋值语句 assign 对值的变量必须是 (Moore) 类型。在 always 模块中, 被赋值的变量必须是 ( ) 类型。

## 二. 根据 Verilog 代码, 画电路图, 标注输入输出。(1题, 5分)

```

1. module mymod3 (X1, X2, X3, X4, clk, y1, y2);
    input X1, X2, X3, X4, clk;
    output reg y1, y2;
    always @ (posedge clk)
    begin
        y1 = (X1 & X2) | (X3 & X4);
        y2 = (X1 | X2) & (X3 | X4);
    end.
endmodule.

```

```

2. module mymod1 (c, b, a, clk).
    output c, b;
    input clk, a;
    reg c, b;
    always @ (posedge clk)
    begin
        c = b;
        b = a;
    end
endmodule.

```

### 三、逻辑分析设计题 (每题 15 分)

1. 设计判断献血者与受血者的血型是否相容的电路。输入献血者和受血者的血型, 输出血型是否相容。  
 的判定。血型相容规则是: 人类有四种基本血型 A(00), B(01), AB(10), 和 O(11) 型。O 型血可以输给任何血型的人, 而只能接受 O 型。AB 型可以接受任意血型, 但他只能输给 AB 型。A 型能输给 A 型或 AB 型, 可以接受 A 型或 O 型。B 型能输给 B 型或 AB 型, 可以接受 B 型或 O 型。  
 设变量  $w, x$  表示献血者的血型,  $y, z$  表示受血者的血型。电路的输出用  $F$  表示。当血型相容时  $F$  为 1, 否则  $F$  为 0。  
 请完成以下设计任务。

- 根据逻辑功能要求, 列出真值表。
- 根据真值表, 采用卡诺图化简, 写出输出的逻辑表达式。
- 根据化简后的逻辑表达式, 画出该电路图。

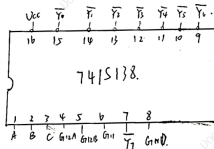
### 2. 用 3-8 译码器实现 1 位全减器。

如下图所示, 给出了 74LS138 译码器的真值表。利用 74LS138 译码器, 结合部分门电路, 实现 1 位全减器功能。  
 全减器输入包括来自低位的借位信号, 被减数, 减数。输出包括本位差和向高位的借位。  
 要求: (1) 设被减数为  $A$ , 减数为  $B$ ,  $C_i$  为低位的借位信号,  $S$  为本位差,  $C_O$  为向高位的借位。列出全减器真值表。

真值表

(2) 画出利用 74LS138 译码器实现该全减器的电路图。

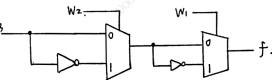
输入端			输出端							
$C$	$B$	$A$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0



Verilog程序设计题。

使用 Verilog 代码给出普通 8:3 编码器 的行为描述, 对一个 8 位数据源 (a) 进行编码, 并输出 3 位编码信号 (b), 并输出 1 位有效信号提示输入是否有效 (高电平有效)。(10分)

电路原理如图 4-1 所示, 请给出 Verilog 代码。(10分)



用 Verilog 代码中的 always 块和分支语句实现一个带异步清零 (低电平有效) 的 JK 触发器的行为描述。输入信号为: j, k, reset, clk; 输出信号为: q。(10分)

用 Moore 状态机设计一个 "111" 序列检测器, 当连续输入三个或三个以上的 "1" 时, 电路输出为 1。 (15分)