

分析报告

1.上升沿同步触发器

```
{
    always @(posedge clk) begin
        if(!rst_n) begin           // 同步复位条件
            test_r <= 1'b1;        // 复位时，输出寄存器置1
        end
        else begin                 // 正常工作状态
            test_r <= in;          // 时钟上升沿采样输入in，更新输出寄存器
        end
    end
end
}
```

2.下降沿同步触发器

```
{
    always @(negedge clk) begin
        if(!rst_n) begin           // 同步复位条件
            test_r <= 1'b1;        // 复位时，输出寄存器置1
        end
        else begin                 // 正常工作状态
            test_r <= in;          // 时钟下降沿采样输入in，更新输出寄存器
        end
    end
end
}
```

3.上升沿异步触发器

```
{
    always @(posedge clk or negedge rst_n) begin
        if(!rst_n) begin           // 异步复位条件（下降沿立即生效，无需时钟）
            sd_init_flag_r <= 1'b0; // 复位时，初始化标志置0
        end
        else begin                 // 正常工作状态
            if(in)                 // 若输入in为高,时钟上升沿将标志位置1
                sd_init_flag_r <= 1'b1;
        end
    end
}
```

```
end  
}
```

4.下降沿异步触发器

```
{  
    always @(posedge clk or negedge rst_n) begin  
        if(!rst_n) begin                // 异步复位条件（下降沿立即生效，无需时钟）  
            sd_init_flag_r <= 1'b0;      // 复位时，标志寄存器置0  
        end  
        else begin  
            if(in)                        // 控制信号in为高：置位标志  
                sd_init_flag_r <= 1'b1;  
            else                          // 控制信号in为低：清零标志  
                sd_init_flag_r <= 1'b0;  
        end  
    end  
end  
}
```

5.同步与异步的分析

特性：

- 时序控制: 同步所有时序元件的状态变化都由一个或一组全局时钟信号的特定边制，而异步时序元件的状态变化由非时钟信号的瞬时变化直接触发
- 操作时间: 同步状态变化发生在时钟边沿，异步状态变化是即时的，一旦触发信号有效就立即发生

6.上升沿与下降沿的分析

特性:

- 发生瞬间: 上升沿为时钟信号从低电平跳变到高电平的瞬间，下降沿为时钟信号从高电平跳变到低电平的瞬间

7.总结为什么会生成触发器

- 存在时钟控制（同步性）：只有触发器这种边沿敏感的存储单元才能实现这种同步采样和更新的行为
- 存在状态保持：能够保持旧值并等待时钟边沿才更新的元件，通常是触发器

from 20241280 汤英琦 此pdf由markdown编写