湖南科技大学计算机科学与工程学院考查课程报告

**课程名称：** EDA技术与VHDL设计

**专 业：** 计算机科学与技术

**班 级：** 七班

**姓 名：** 周俊哲

**学 号：** 2205010711

**授课教师：** 王浩宇

|  |
| --- |
| 授课教师评语：    **成绩： 等级：**  **签名：**  **年 月 日** |

目录

1. 问题描述；·····························2
2. 设计方案；·····························2
3. 系统实现（各个具体模块实现原理描述，原理图说明，代码说明）；····3
4. 仿真（部分功能的仿真设计和结果分析）；···············7
5. 测试（板载测试的过程和结果分析）；·················7
6. 问题和解决；····························10
7. 总结（总结主要工作内容和结果，描述设计心得和体会）·········10
8. **问题描述**

**自动售货机设计**

1）6个数码管代表六种商品，每种商品数量0-9；

2）6个按键代表对应商品的选择按钮，按下表示选择购买，只有该商品数量大于0是可以购买，为零时提示缺货，用一个LED灯指示；

3）使用一组LED显示选中商品的价格，并开始计时（用剩下两个数码管显示倒计时），60秒内没有收到成功付款（扫码付款）信号，则取消该交易，恢复成选择购买前状态；

4）用剩下按键或者拨码开关给出成功付款信号，收到该信号，倒计时结束，并出货（用led等指示已出货），该商品数量减一。

1. **设计方案**

**2.1设计思路**

1、初始化商品数量和价格；

2、设计购买商品模块；

3、设计60秒倒计时模块；

4、设计数码管显示模块；

5、使用两个时钟信号，高频率的用在控制数码管的输出，低频率的用在实现60秒倒计时模块。

**2.2总体模块划分和外部接口**

主模块

entity zidongshouhuoji is

port(

clk,clkk,reset,pay: in std\_logic;

choose1,choose2,choose3,choose4,choose5,choose6: in std\_logic;

quehuo1,quehuo2,quehuo3,quehuo4,quehuo5,quehuo6: out std\_logic;

chuhuo,showjs: out std\_logic;

price: out std\_logic\_vector(3 downto 0);

smg,smgnuum: out std\_logic\_vector(7 downto 0));

end zidongshouhuoji;

初始化模块

component init

port(

price1,price2,price3,price4,price5,price6: out std\_logic\_vector(3 downto 0);

goods1,goods2,goods3,goods4,goods5,goods6: out std\_logic\_vector(3 downto 0));

end component;

分时器模块

component clkdiv

port(

clk: in std\_logic;

ksjs,pay: in std\_logic;

chaoshi,chuhuo: out std\_logic;

gewei,shiwei: out std\_logic\_vector(3 downto 0));

end component;

数码管显示模块

component showsmg

port(

clk: in std\_logic;

nin0,nin1,nin2,nin3,nin4,nin5,nin6,nin7: in std\_logic\_vector(3 downto 0);

smg,smgnum: out std\_logic\_vector(7 downto 0));

end component;

商品出售模块

component goods

port(

clk: in std\_logic;

Pricein,goods: in std\_logic\_vector(3 downto 0);

Priceout,goodsnum: out std\_logic\_vector(3 downto 0);

pay0,choose,chaoshi,reset: in std\_logic;

Quehuo,jishi: out std\_logic);

end component;

6选1模块

component xuanze

port(

price: out std\_logic\_vector(3 downto 0);

price1,price2,price3,price4,price5,price6:in std\_logic\_vector(3 downto 0);

jishi1,jishi2,jishi3,jishi4,jishi5,jishi6: in std\_logic;

ksjs,showjs: out std\_logic);

end component;

1. **系统实现**

1）初始化模板（init.vhd）

初始化商品个数和商品价格。

goods1<=”1001”; .....

price1<=”0001”: .....

2）计时器模板（clkdiv.vhd）

采用分频器对较高频率的时钟进行分频操作，得到较低频率的时钟信号。通过说明书可知clk4的频率基准为100Hz，则使用占空比为1/100的100分频电路即可得到1Hz的时钟信号。当接收到开始计时（ksjs）信号时，开始计时，输出个位数、十位数。

关键代码：

process(clk)

begin

if(clk'event and clk='1') then

if(count=100) then

count<= 0;

else

count<=count + 1;

end if;

end if;

if(clk'event and clk='1') then

if(count=100) then

clkdiv<='1';

else

clkdiv<='0';

end if;

end if;

end process;

process(clkdiv)

begin

if(ksjs='1') then

if(clkdiv='1') then

if(gewei1="1111" and shiwei1="1111") then

gewei1<="0000"; shiwei1<="0110";

elsif(gewei1="0000" and shiwei1/="0000") then

gewei1<="1001";shiwei1<=shiwei1-1;

elsif(gewei1="0000" and shiwei1="0000") then

gewei1<="1111";shiwei1<="1111";chaoshi0<='1';

else

gewei1<=gewei1-1;

end if;

end if;

else

gewei1<="1111";shiwei1<="1111";chaoshi0<='0';

end if;

gewei<=gewei1;shiwei<=shiwei1;chaoshi<=chaoshi0;

end process;

1. 购买商品模板（goods.vhd）

当第一次调用模板时，初始化商品信息。当选择某件商品后，如果商品数为0，则输出缺货信号（quehuo），否则输出商品价格（price），计时信号（jishi），定义状态为购买中（buying）。如果处在购买状态，且接收到付款信号，输出商品数量减一；当超时时，恢复最初状态。

关键代码：

if(clk'event and clk='1') then

if(init='0') then

goodsnum1<=goods;init<='1';

jishi0<='0';

price0<="0000";

end if;

if(reset='1') then

goodsnum1<=goods;

price0<="0000";

jishi0<='0';

buying<='0';

quehuo0<='0';

end if;

if(choose='0') then

if(goodsnum1="0000") then

quehuo0<='1';

price0<="0000";

else

price0<=pricein;

quehuo0<='0';

buying<='1';

jishi0<='1';

end if;

end if;

if(buying='1') then

if(pay0='0') then

buying<='0';

jishi0<='0';

price0<="0000";

goodsnum1<=goodsnum1-1;

end if;

if(chaoshi='1') then

price0<="0000";

buying<='0';

jishi0<='0';

end if;

end if;

goodsnum<=goodsnum1;

quehuo<=quehuo0;

jishi<=jishi0;

priceout<=price0;

end if;

1. 数码管显示模块（showmsg.vhd）

接收要显示的8个数字，以时钟沿上端为控制信号交替选择数码管并显示，利用高频率扫描和人眼的视觉暂留，使用户观察到8个数码管同时发光，并且每个数码管显示的值互不干扰。sel为选择点亮的数码管号，num为选择显示的数字，smg作为数码管的选通信号，smgnum作为数码管选择信号。

关键代码

if clk'event and clk='1' then

if temp=7 then temp<=0;

else temp<=temp+1;

end if;

case temp is

when 0=>sel<="000";num<=nin0;

when 1=>sel<="001";num<=nin1;

when 2=>sel<="010";num<=nin2;

when 3=>sel<="011";num<=nin3;

when 4=>sel<="100";num<=nin4;

when 5=>sel<="101";num<=nin5;

when 6=>sel<="110";num<=nin6;

when 7=>sel<="111";num<=nin7;

end case;

end if;

end process;

process(num)

begin

case num is

when "0000"=>smg<="00111111";

when "0001"=>smg<="00000110";

when "0010"=>smg<="01011011";

when "0011"=>smg<="01001111";

when "0100"=>smg<="01100110";

when "0101"=>smg<="01101101";

when "0110"=>smg<="01111101";

when "0111"=>smg<="00100111";

when "1000"=>smg<="01111111";

when "1001"=>smg<="01101111";

when others=>smg<="00000000";

end case;

end process;

smgnum<="11111110" when sel=0 else

"11111101" when sel=1 else

"11111011" when sel=2 else

"11110111" when sel=3 else

"11101111" when sel=4 else

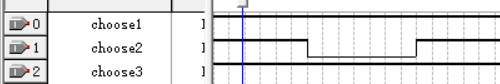
"11011111" when sel=5 else

"10111111" when sel=6 else

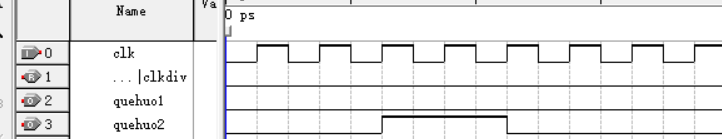
"01111111" when sel=7 else

"11111111";

**四、仿真**

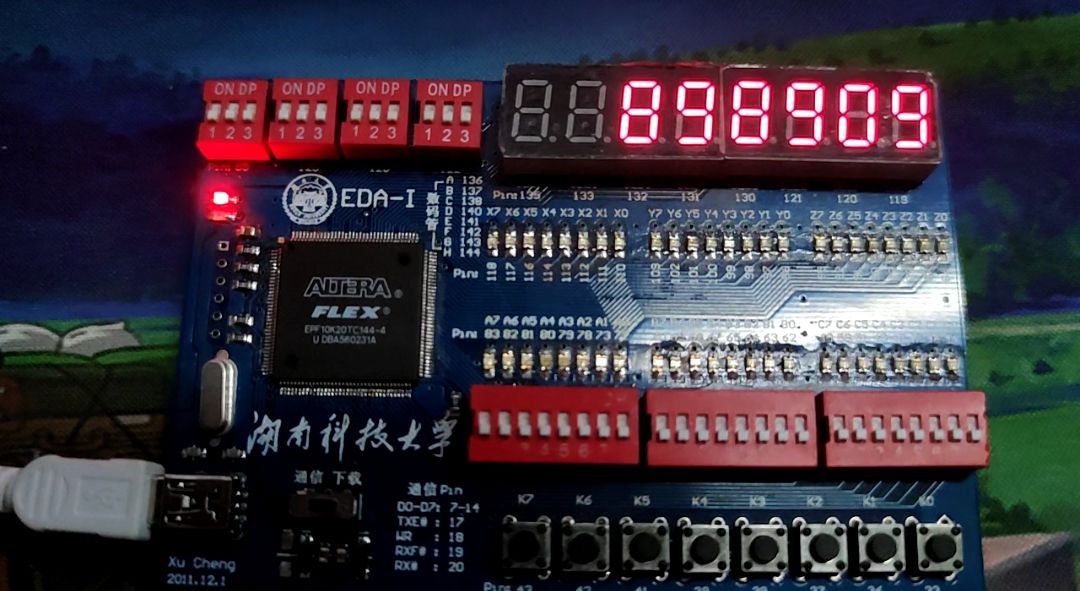


选择货物2，但是货物2的初始值为0，应输出缺货



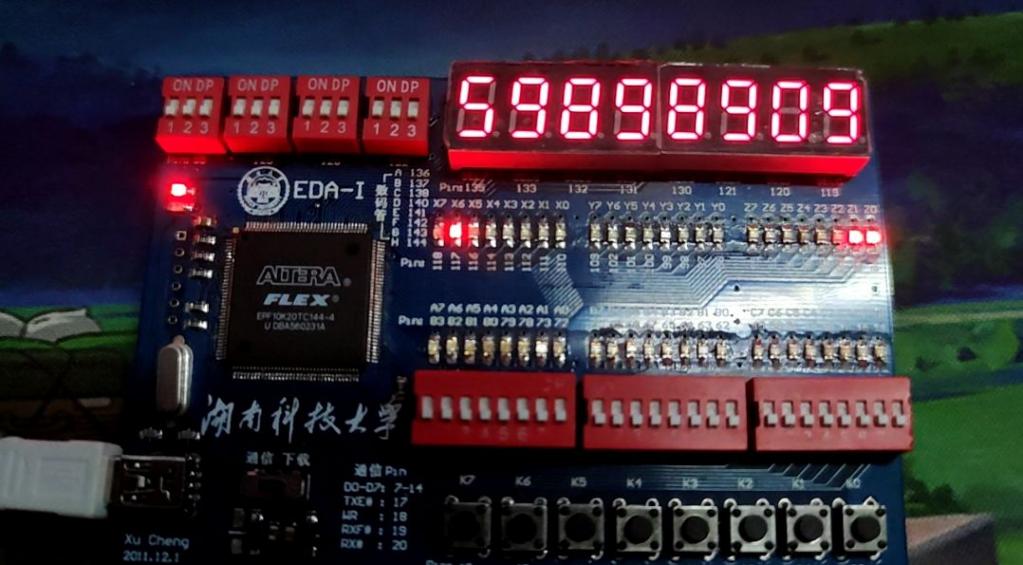
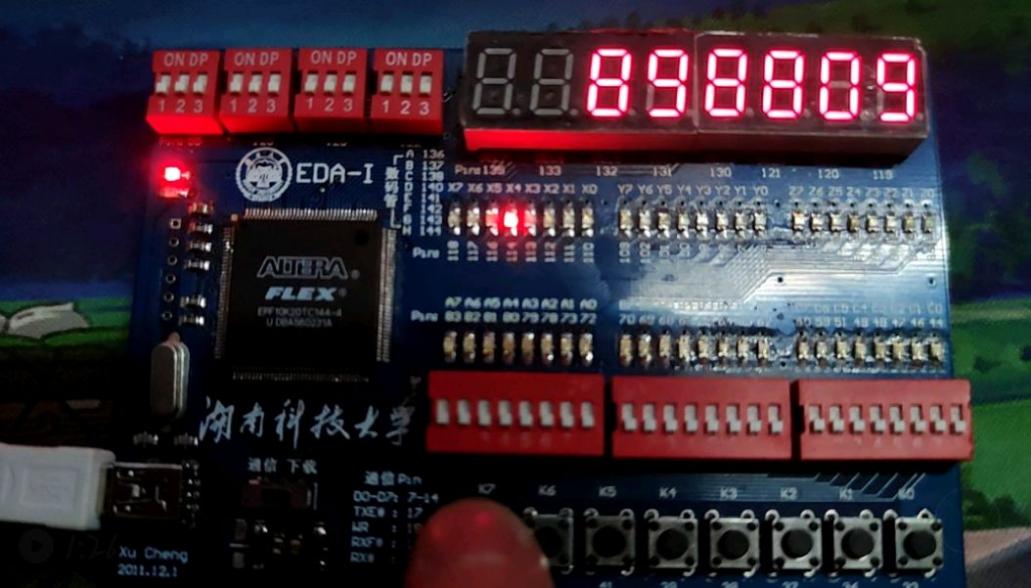
**五、测试**



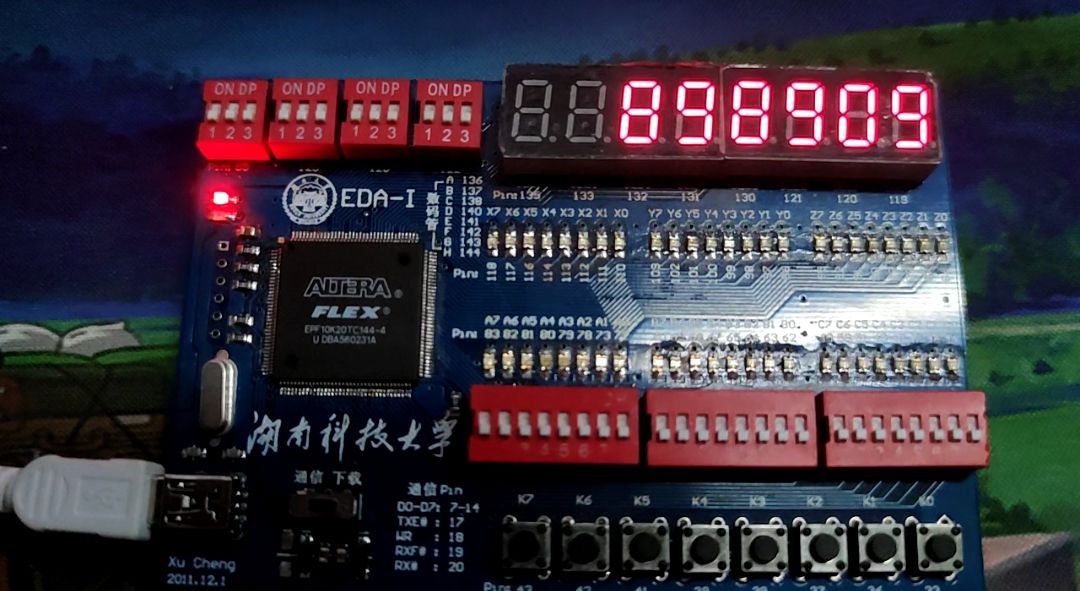
****

靠右6个数码管显示商品数，靠左2个数码管不显示。接下来以购买商品3为例，此时观察得商品3的数量为9。

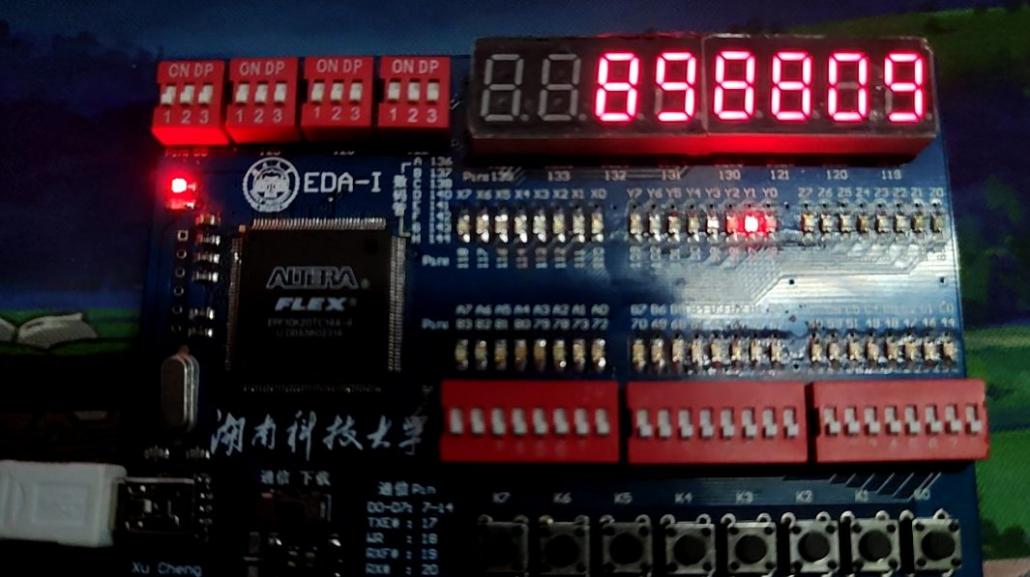
按下选择购买键，60秒倒计时启动，117号数码管表示购买中，86到89号数码管表示商品价格，所以商品3的价格为3元。



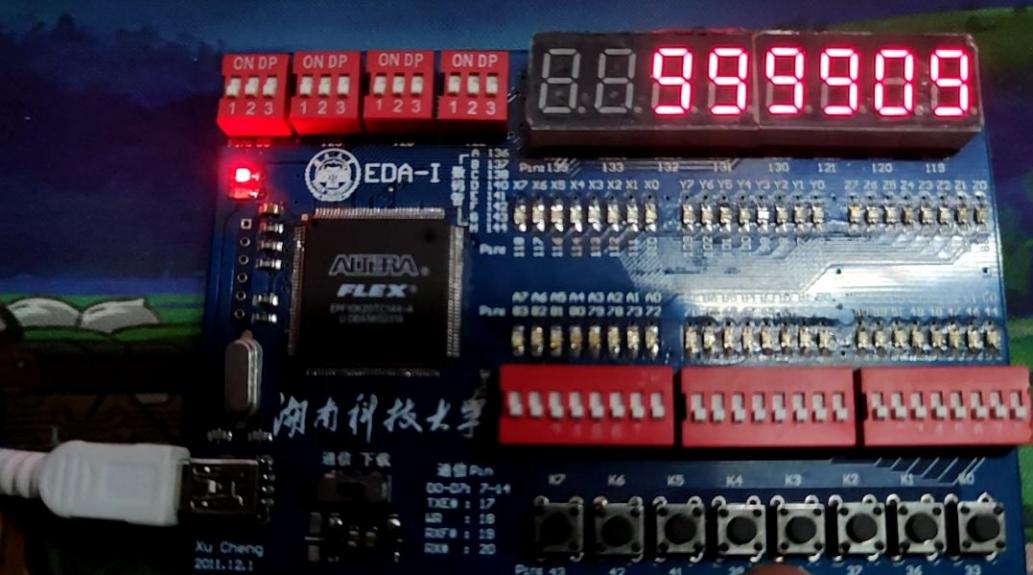
按下付款键给出成功付款信号，收到该信号，倒计时结束，并出货（使用114号led灯指示），商品3数量减一，等于8。

****

当倒计时结束时，没有收到成功付款信号，则取消该交易，恢复成购买前状态。



当选择要购买的商品数等于0时（如商品2），使用led灯指示缺货。



将83号拨码开关拨到1，给出补货成功信号，商品数和状态恢复到初始值，即补货。

1. **问题与解决**
2. 课程学习

有关eda和vhdl的知识相当薄弱，所以在着手大作业之前我花了大量时间

恶补基础知识，阅读教科书、代码等。虽然对基本的程序编写有所了解，但在着手编写代码时还是产生了大量的问题，这些都是由于基础知识的不牢固而产生的。比如在时钟沿之后加上了elsif,else语句导致编译失败。

2、软件和板载实验

1）从网上下载软件安装包，安装并破解。打开软件后完全不知道如何操作，于是去网上查找资料并请教其他同学后学会了基本操作。

2）最初连接实验板win10不识别，上完查后发现是没有安装好驱动，网上找资料安装完驱动后任然无法识别，但错误信息不同，在尝试网上各种解决办法后任无法解决。于是怀疑实验板或者数据线是坏的，在使用室友的实验板后成功识别出实验板。

3）在将代码下载至实验板时又出现错误，错误信息显示无法连接实验板，怀疑是数据线连接不稳定，多次尝试后成功下载，并开始板载测试。

3、代码编写

在代码编写中遇到了各种各样的编译错误，下来列出一些我在编写程序中

遇到的一些错误，这些错误都通过上网搜索和翻书查阅得到解决。

1. Error(10028):Cant’t resolve multiple constant drivers for net “” at \*\* .v。两个进程里都有同一个条件判断时，会产生并行信号冲突的问题。同一个信号不允许在多个进程中赋值，否则为多驱动。
2. 输入输出端口接反，比如某个端口本来是输出端，但被接到了输入端。
3. Error: Run Generate Functional Simulation Netlist (quartus\_map cnt4 --generate\_functional\_sim\_netlist) to generate functional simulation netlist for top level entity "cnt4" before running the Simulator (quartus\_sim)。这是因为运行了功能仿真，默认是时序仿真。在进行功能仿真前，要生成功能仿真网表的。 在processing菜单下，有个Generate Functional Simulation Netlist 选项，运行下这个之后，在点击开始仿真的按钮就不会报错了
4. **总结**

本次实验基本符合预期要求，板载测试也很理想，与预期结果相同。通过这次大作业的学习和实践，对eda和vhdl有了更多的了解，熟悉了Quartusii 软件的基本使用和一般硬件系统的设计思路。在这个过程中学会了很多，懂得了自己解决问题的重要性。