

Pré-distorcedor digital descrito em linguagem VHDL e baseado em polinômio com memória

Leonardo de Andrade Santos
Sibilla Batista da Luz França

Universidade Federal do Paraná

2024

Programação

- 1 Fundamentação teórica
 - Sistema de comunicação
 - Motivação
 - Pré-distorcedor
 - Polinômio de Memória
 - Field Programmable Gate Array (FPGA)
 - Metodologia
 - Dados Utilizados
- 2 Implementação e software
 - Modelagem do PA
 - Ajuste da Resolução do Sinal
 - Modelagem do DPD
- 3 Implementação em Hardware
 - Desenvolvimento do VHDL
 - Resultado simulação FPGA
 - Conclusão

Introdução

- Devido à evolução dos sistemas de comunicação móveis, que oferecem diversos serviços, como aplicações multimídia, desenvolvimento web e IoT, houve um aumento na necessidade de criar sistemas mais energeticamente eficientes. Além disso, a largura de banda reservada para comunicações sem fio tornou-se mais limitada.
- Largura de banda reservada para sistemas de comunicação sem fio reduzida
- A modulação de amplitude (AM) é sensível à linearidade.
- Uma alternativa para superar esses desafios é a implementação de um DPD (Pré-Distorcedor Digital) em cascata com o amplificador

Objetivos

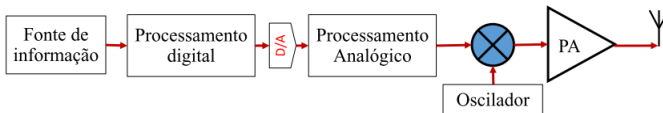
Objetivo deste trabalho construir e validar um código em linguagem de descrição de hardware capaz de processar, em tempo real, as características de transferência inversa de um amplificador, reproduzindo suas não linearidades. Além disso, o código deve ocupar a quantidade mínima de recursos lógicos do circuito digital que irá sintetizá-lo, visando à redução do consumo de energia.

- Realizar a modelagem de um PA e do DPD com o modelo de polinômio de memória.
- Implementar a descrição de hardware em linguagem VHDL.
- Validar o sistema em FPGA.

Fundamentação teórica

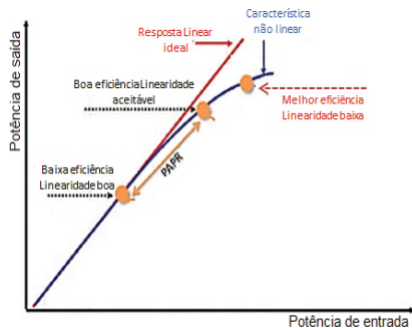
Sistema de comunicação

- A comunicação sem fio é dividida em 3 sub-sistemas principais: o transmissor, o meio transmissor (ar), receptor.
- O PA é o componente de maior demanda energética por ser o componente que transfere potência da fonte para potência irradiada pela antena

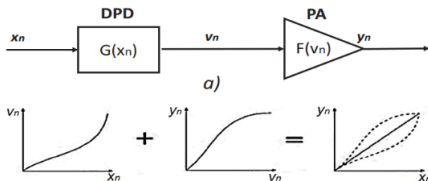


Motivação

- A característica de transferência não linear do PA é caracterizada pela potência de saída que decai 1 dB da potência ideal, ou ponto de 1 dB de compressão de ganho (OCP1dB).
- Efeito chamado memória causado devido aos componentes armazenadores (capacitâncias de energia e indutâncias), contribuindo significativamente na distorção.
- O DPD operando em banda base é uma solução eficiente com baixo custo computacional.



Pré-distorcedor



- De maneira sucinta, o DPD é conectado em cascata ao PARF (Amplificador de Potência de Rádio Frequência), e é projetado para apresentar a função de transferência inversa ao PARF.
- Modelagem física: alto custo computacional.
- Modelagem matemática: baixo custo computacional.

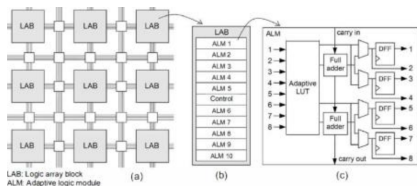
Polinômio de Memória

$$y(n) = \sum_{p=1}^P \sum_{m=0}^M h_{p,m} x(n-m) |x(n-m)|^{p-1} \quad (1)$$

$$\begin{bmatrix} y(1) \\ y(2) \\ y(3) \\ y(4) \\ y(5) \end{bmatrix} = \begin{bmatrix} x(1) & x(0) & x(1)|x(1)|^2 & x(0)|x(0)|^2 \\ x(2) & x(1) & x(2)|x(2)|^2 & x(1)|x(1)|^2 \\ x(3) & x(2) & x(3)|x(3)|^2 & x(2)|x(2)|^2 \\ x(4) & x(3) & x(4)|x(4)|^2 & x(3)|x(3)|^2 \\ x(5) & x(4) & x(5)|x(5)|^2 & x(4)|x(4)|^2 \end{bmatrix} \begin{bmatrix} h_{1,0} \\ h_{1,1} \\ h_{2,0} \\ h_{2,1} \end{bmatrix}$$

- Utilizado na modelagem comportamental simplificada das séries de Volterra.
- Considera apenas componentes unidimensionais.
- Modelo compacto.
- Baixo custo computacional.
- Modelo linear nos coeficientes.

Field Programmable Gate Array (FPGA)

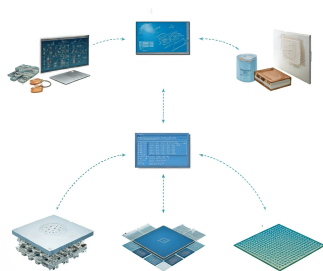


- FPGAs compõem uma classe de dispositivos lógicos programáveis.
- Eles possuem a capacidade de sintetizar arquiteturas complexas de eletrônica digital.
- São descritas como um conjunto de blocos digitais interconectados.
- Permite que tarefas possam ocorrer de forma paralela e sequencial.

Metodologia

O trabalho foi dividido em quatro etapas:

- Etapa 1: Estudos do DPD e modelagem matemática do PA.
- Etapa 2: Implementação do DPD em software.
- Etapa 3: Implementação do DPD em FPGA.
- Etapa 4: Simulação em FPGA.



Dados Utilizados

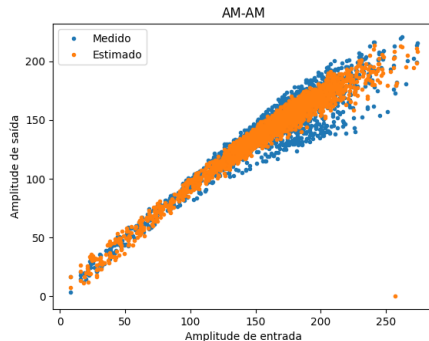
- Amplificador de potência classe AB, HEMT (transistor de efeito de campo de heterojunção) fabricado em tecnologia GaN.
- Excitado por um sinal portadora de frequência de 900 MHz.
- Modulado por um sinal de envoltória WCDMA 3GPP 3,84 MHz de largura de banda.
- Os dados de entrada e saída do amplificador de potência foram medidos usando um analisador de sinal vetorial (VSA) Rohde & Schwarz FSQ com uma taxa de amostragem de 61,44 MHz.



Implementação e software

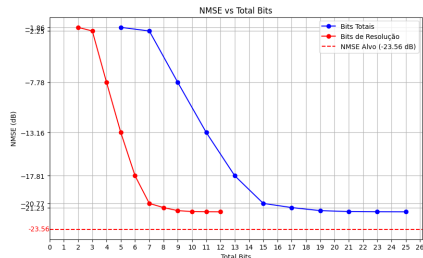
Modelagem do PA

- Implementação em Python.
- Modelagem do PA, com cálculo em vírgula flutuante.
- NMSE de -23,57 dB, para um Polinômio de 2^o grau com uma amostra de memória.



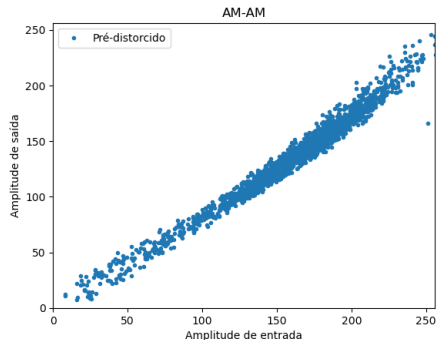
Ajuste da Resolução do Sinal

- Adaptação para realizar dos cálculos em vírgula fixa, com uma resolução N de bits.
- Inicialmente foi realizado uma normalização dos dados e em seguida são feitos os cálculos em vírgula fixa.
- Dados DPD com polinômio de memória de grau 2 com um sinal de memória.



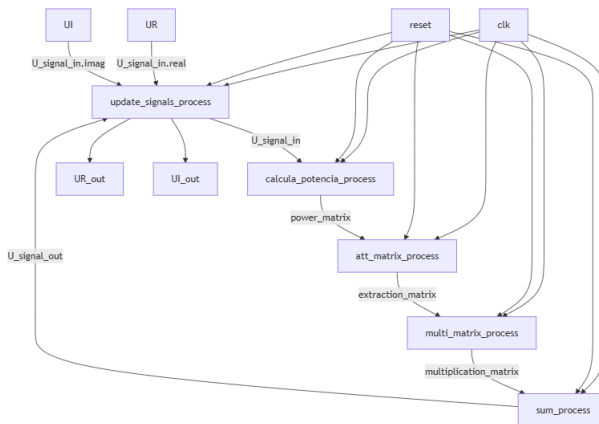
Modelagem do DPD

- Cálculo do módulo DPD da mesma forma que do PA, apenas invertendo os dados de entrada com os de saída.



Implementação em Hardware

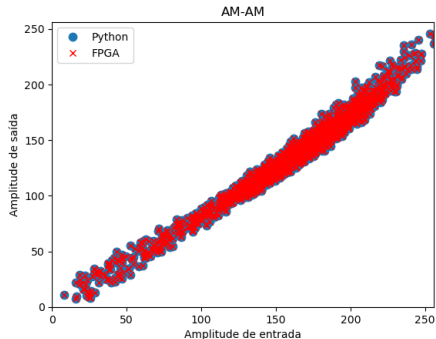
Desenvolvimento do VHDL



Resultado simulação FPGA

- FPGA Virtex5 XC5VLX50T;
- frequência de operação 62,5 MHz.






Recursos	Unidade	Percentual
Registradores	150	1%
LUTs	692	2%
DSP48E	4	8%



Conclusão

A evolução dos sistemas de comunicação sem fio exige eficiência máxima, e a implementação de um Pré-Distorcedor Digital (DPD) em cascata com o Amplificador de Potência (PA) oferece uma solução de baixo custo para melhorar o desempenho. Este trabalho validou um código em linguagem de descrição de hardware capaz de processar em tempo real as características não lineares e efeitos de memória de um amplificador, minimizando o uso de recursos lógicos e o consumo de energia. Esse trabalho foi validado em uma FPGA Virtex5 XC5VLX50T, utilizando um total de 150 registradores, 692 LUTs e 4 DSP48Es, operando a uma frequência de 62,5 MHz.

Referências

-  Elton John, "Modelagem comportamental de amplificadores de potência de radio frequência usando termos unidimensionais e bidimensionais de séries de Volterra", 2016.
-  Peter Kenington, "High Linearity RF Amplifier Design", 2000.
-  Steve Cripps, "RF Power Amplifiers for Wireless Communications", 2006.
-  Joel Huanca Chavez, "Estudo comparativo entre as arquiteturas de identificação de pré-distorcedores digitais através das aprendizagens direta e indireta", 2018.
-  Volnei Pedroni, "Eletrônica Digital e VHDL ", 2010.
-  Eduardo Gonçalves de Lima and Giovanni Ghione, "Behavioral modeling and digital base-band predistortion of RF power amplifiers", 2009.
-  Luis Schuartz and Eduardo Lima, "Polinômios com Memória de Complexidade Reduzida e sua Aplicação na Pré-distorção Digital de Amplificadores de Potência", 2017.
-  Elton J Bonfim and Eduardo G De Lima, "A Modified Two Dimensional Volterra-Based Series for the Low-Pass Equivalent Behavioral Modeling of RF Power Amplifiers", vol. 47, pp. 27-35, 2016.