

Projeto de um circuito integrado de um pré-distorcedor digital baseado em polinômio de memória

Leonardo de Andrade Santos

Universidade Federal do Paraná

2024

Programação

1 Fundamentação teórica

- Sistema de comunicação
- Problema
- Mudar
- Pré-distorcedor
- Séries de Volterra
- Polinômio de Memória
- Field Port Gate Array (FPGA)
- Metodologia
- Dados Utilizados

2 Implementação e software

- Modelagem do PA
- Modelagem do DPD

3 Implementação em Hardware

- Fluxo de cálculo

Introdução

- Devido a evolução dos sistemas de comunicação moveis, que apresentam diversos serviços como aplicações multimídias, desenvolvimento web e aplicações IoT, aumentou a necessidade de desenvolver sistemas cada vez mais energeticamente eficientes;
- Largura de banda reservada para sistemas de comunicação sem fio reduzidas;
- Modulação na amplitude (AM) sensível a linearidade;
- Alternativa para contornar esses obstáculos é a implementação de um DPD em cascata ao Amplificador de Potência (PA);

Objetivos

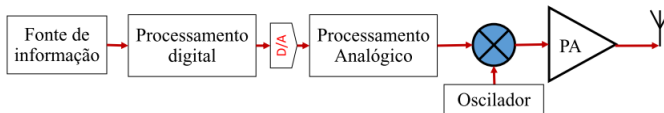
Objetivo deste trabalho é desenvolver um circuito integrado dedicado de um DPD.

- Realizar a modelagem de um PA e do DPD com o modelo de polinômio de memória;
- Implementar a descrição de hardware em linguagem VHDL;
- Fazer o desing do circuito integrado utilizando as ferramentas de design do Cadence;

Fundamentação teórica

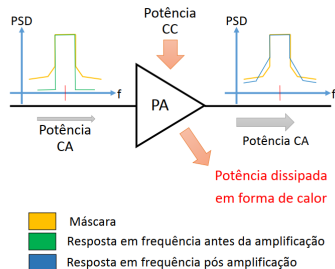
Sistema de comunicação

- A comunicação sem fio é dividida em 3 sub-sistemas principais: o transmissor, o meio transmissor (ar), receptor;
- O PA é o componente de maior demanda energética por ser o componente que transfere potência da fonte para potência irradiada pela antena



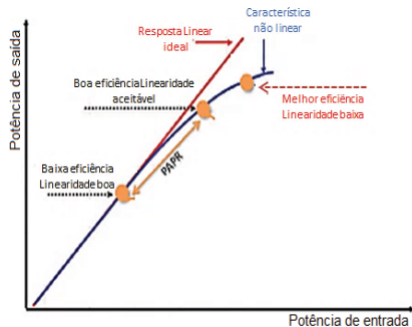
Problema

- A curva amarela representa a restrição imposta pela norma regulamentadora;
- A curva em verde representa a resposta em frequência do sinal da amplificação;
- A curva em azul representa o sinal após a amplificação;
- As diferenças de densidade de potência nas bandas adjacentes ao canal representam a distorção causada pela não linearidade do PA;
- Maior eficiência implica em maior distorção do sinal.

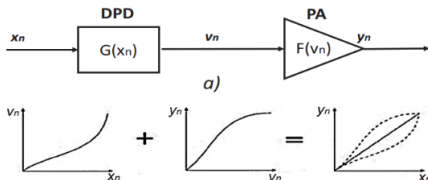


Mudar

- A característica de transferência não linear do PA é caracterizada pela potência de saída que decai 1 dB da potência ideal, ou ponto de 1 dB de compressão de ganho (OCP1dB)
- Efeito chamado memória causado devido aos componentes armazenadores (capacitâncias de energia e indutâncias), contribuindo significativamente na distorção.
- O DPD, operando em banda base é uma solução eficiente com baixo custo computacional



Pré-distorcedor



- De maneira sucinta, o DPD é conectado em cascata ao PARF, e é projetado para apresentar a função de transferência inversa ao PARF;
- Modelagem física: alto custo computacional;
- Modelagem matemática: baixo custo computacional;
- Se todos os parâmetros fossem conhecidos, conhecendo o equacionamento completo do circuito, uma função inversa poderia ser encontrada, possivelmente complexa como as séries de Volterra;

Séries de Volterra

- As séries de Volterra são bastante difundidas para a modelagem comportamental;
- Não dependerem de parâmetros físicos do circuito;
- Podem ser aplicados na modelagem de qualquer PA;
- Apenas medidas das informações de entrada (in) e saída (out) em domínio temporal são necessárias;

$$y(t) = h_0 + \int h_1(\tau_1)x(t - \tau_1) d\tau_1 + \int \int h_2(\tau_1, \tau_2)x(t - \tau_1)x(t - \tau_2) d\tau_1 d\tau_2 + \dots$$

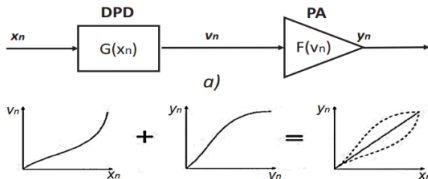
Polinômio de Memória

$$y(n) = \sum_{p=1}^P \sum_{m=0}^M h_{p,m} x(n-m) |x(n-m)|^{p-1} \quad (1)$$

$$\begin{bmatrix} y(1) \\ y(2) \\ y(3) \\ y(4) \\ y(5) \end{bmatrix} = \begin{bmatrix} x(1) & x(0) & x(1)x(1) & x(0)x(0) \\ x(2) & x(1) & x(2)x(2) & x(1)x(1) \\ x(3) & x(2) & x(3)x(3) & x(2)x(2) \\ x(4) & x(3) & x(4)x(4) & x(3)x(3) \\ x(5) & x(4) & x(5)x(5) & x(4)x(4) \end{bmatrix} \begin{bmatrix} h_{1,0} \\ h_{1,1} \\ h_{2,0} \\ h_{2,1} \end{bmatrix}$$

- Utilizado na modelagem comportamental simplificada das séries de Volterra.
- Considera apenas componentes unidimensionais²;
- Modelo compacto;
- Baixo custo computacional;
- Modelo linear nos coeficientes;

Field Port Gate Array (FPGA)

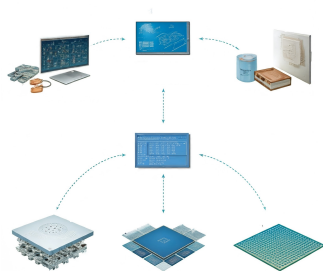


- FPGAs compõem uma classe de dispositivos lógicos programáveis;
- Eles possuem a capacidade de sintetizar arquiteturas complexas de eletrônica digital;
- São descritas como um conjunto de blocos digitais interconectados;
- Permite que tarefas possam ocorrer de forma paralela e sequencial;

Metodologia

O trabalho foi dividido em quatro etapas:

- Etapa 1: Estudos do DPD e modelagem matemática do PA.
- Etapa 2: Implementação do DPD em software.
- Etapa 3: Implementação do DPD em FPGA.
- Etapa 4: Simulação em FPGA.



Dados Utilizados

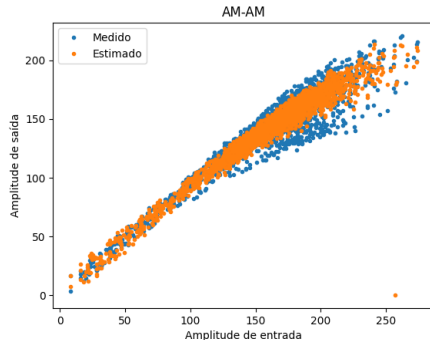
- Amplificador de potência classe AB, HEMT (transistor de efeito de campo de heterojunção) fabricado em tecnologia GaN.
- Excitado por um sinal portadora de frequência de 900 MHz.
- Modulado por um sinal de envoltória WCDMA 3GPP 3,84 MHz de largura de banda.
- Os dados de entrada e saída do amplificador de potência foram medidos usando um analisador de sinal vetorial (VSA) Rohde & Schwarz FSQ com uma taxa de amostragem de 61,44 MHz.



Implementação e software

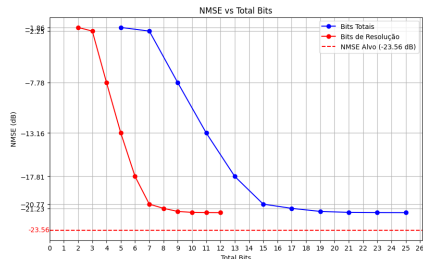
Modelagem do PA

- Implementação em Python;
- Modelagem do PA, com cálculo em vírgula flutuante;
- NMSE de -23,57 dB, para um Polinômio de 2º grau com uma amostra de memória;



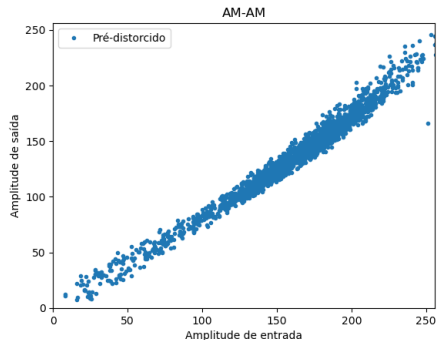
Ajuste da Resolução do Sinal

- Adaptação para realização dos cálculos em vírgula fixa, com uma resolução N de bits;
- Inicialmente realizado uma normalização dos dados e em seguida é feitos os cálculos em vírgula fixa Dados DPD com polinômio de memória de grau 2 com um sinal de memória
- Dados DPD com polinômio de memória de grau 2 com um sinal de memória



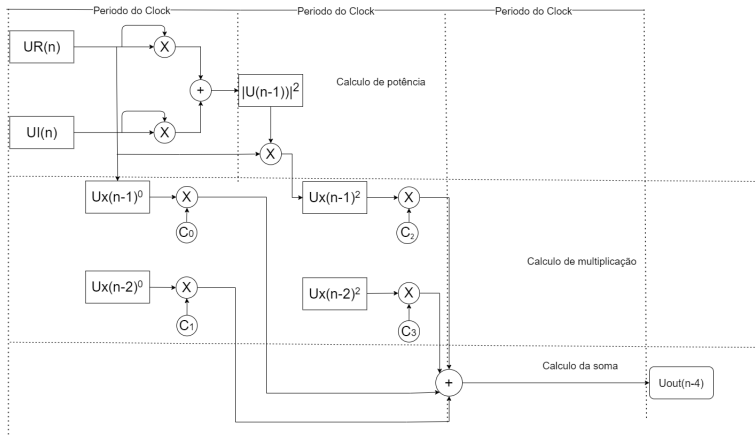
Modelagem do DPD

- Cálculo do modulo DPD da mesma forma que do PA, apenas invertendo os dados de entrada com os de saída.

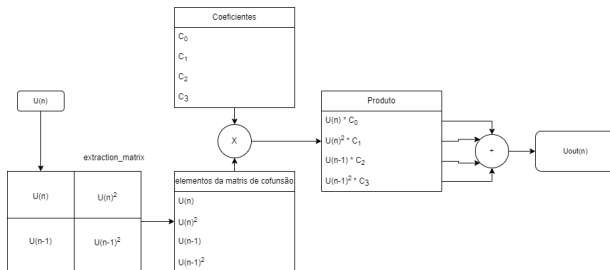


Implementação em Hardware

Desenvolvimento do VHDL



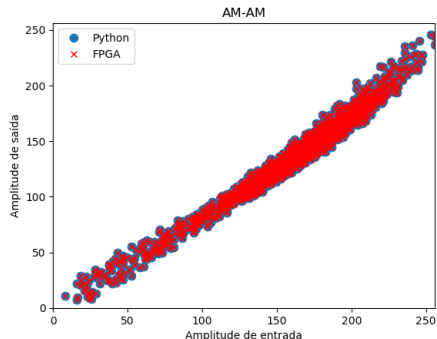
Fluxo de cálculo



Resultado da simulação da FPGA

- FPGA Virtex5 XC5VLX50T;
- frequência de operação 62,5 MHz.

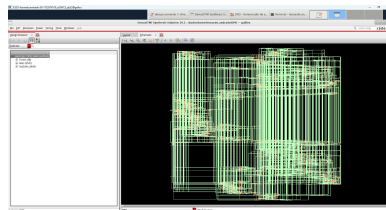
Recursos	Unidade	Percentual
Registradores	150	1%
LUTs	692	2%
DSP48E	4	8%



Síntese Lógica

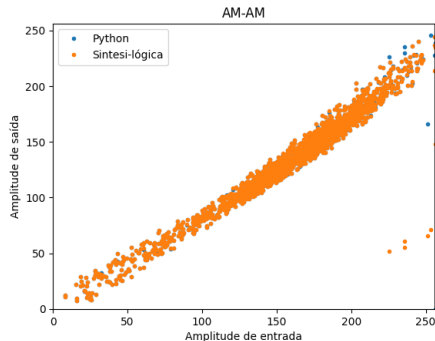
■ Tecnologia 8HP 130nm.

Recursos	Quantidade
Células lógicas	1567
Consumo	1.6 mW
Área	28116 μm^2



Resultado simulação da Síntese Lógica

- Frequência de operação 33,34 MHz.
- Mesmo Testbench utilizado na FPGA.



Conclusão

A evolução dos sistemas de comunicação sem fio exige eficiência máxima, e a implementação de um Pré-Distorcedor Digital (DPD) em cascata com o Amplificador de Potência (PA) oferece uma solução de baixo custo para melhorar o desempenho. Este trabalho validou um código em linguagem de descrição de hardware capaz de processar em tempo real as características não lineares e efeitos de memória de um amplificador, minimizando o uso de recursos lógicos e o consumo de energia. Esse trabalho foi validado em uma FPGA Virtex5 XC5VLX50T, utilizando um total de 150 registradores, 692 LUTs e 4 DSP48Es, operando a uma frequência de 62,5 MHz.

Referências



Elton John, "Modelagem comportamental de amplificadores de potência de radiofrequência usando termos unidimensionais e bidimensionais de séries de Volterra", 2016.



Peter Kenington, "High Linearity RF Amplifier Design", 2000.



Steve Cripps, "RF Power Amplifiers for Wireless Communications", 2006.



Joel Huanca Chavez, "Estudo comparativo entre as arquiteturas de identificação de pré-distorcedores digitais através das aprendizagens direta e indireta", 2018.



Volnei Pedroni, "Eletrônica Digital e VHDL ", 2010.



Eduardo Gonçalves de Lima and Giovanni Ghione, "Behavioral modeling and digital base-band predistortion of RF power amplifiers", 2009.



Luis Schuartz and Eduardo Lima, "Polinômios com Memória de Complexidade Reduzida e sua Aplicação na Pré-distorção Digital de Amplificadores de Potência", 2017.



Elton J Bonfim and Eduardo G De Lima, "A Modified Two Dimensional Volterra-Based Series for the Low-Pass Equivalent Behavioral Modeling of RF Power Amplifiers", vol. 47, pp. 27-35, 2016.