

ACA2

Leonardo Santos - GRR20196154

Conforme solicitado pelo roteiro, foi realizada a simulação do divisor de potência apresentado no slide 08 do capítulo 06, cujo esquemático está disponível a seguir na Figura 1.

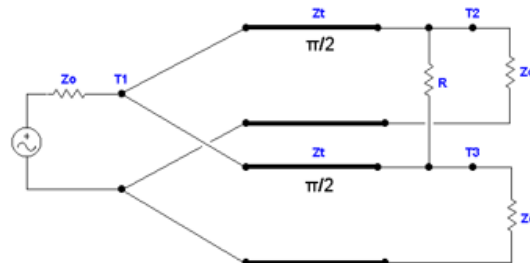


Figura 1: Esquemático do Slide

Inicialmente, as larguras e comprimentos da linha de transmissão foram calculados utilizando a calculadora do QUCs. O resultado está disponível na Figura 2 a seguir.

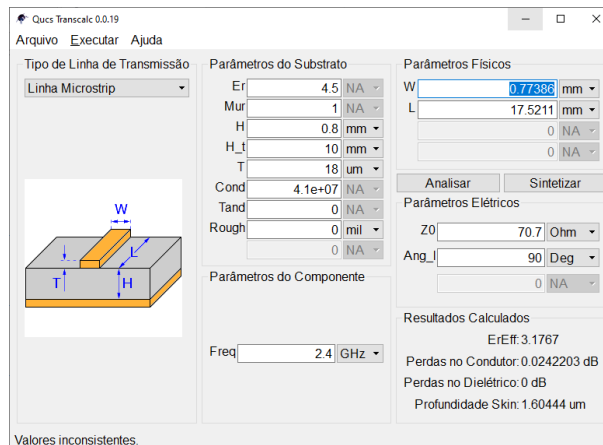


Figura 2: Calculadora do QUCs

Em seguida foi desenvolvido o circuito esquemático no QUCs conforme ilustrado pela Figura 3 a seguir:

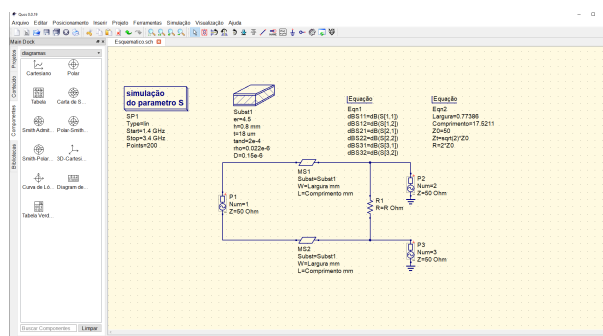


Figura 3: Circuito simulado no QUCs

Os resultados da simulação do circuito utilizando o Figura 3 são ilustrados abaixo pela Figura 4:

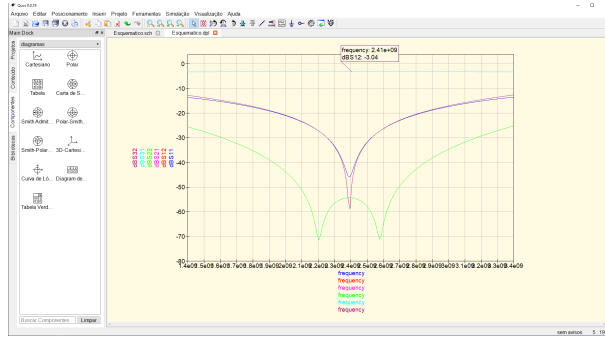


Figura 4: Resultado do circuito simulado no QUCs

Ao analisar os gráficos, fica perceptível que eles coincidem com o que é teoricamente esperado.

$$|S| = -\frac{j}{\sqrt{2}} \begin{pmatrix} 0 & 1 & 1 \\ 1 & 0 & 0 \\ 1 & 0 & 0 \end{pmatrix}$$

Na frequência de 2,4 GHz, os parâmetros S_{11} , S_{22} e S_{32} tendem a zero, indicando uma perda abaixo de -40 dB, enquanto os parâmetros S_{21} e S_{31} apresentam uma perda próxima a -3 dB.

$$|S_{21}| = |S_{31}| = 20 \log\left(\frac{1}{\sqrt{2}}\right)$$

$$|S_{21}| = |S_{31}| = -3.01 \text{ dB}$$

Portanto, notou-se que o circuito apresentou o comportamento desejado.