



LIVE AND  
DISCOVER

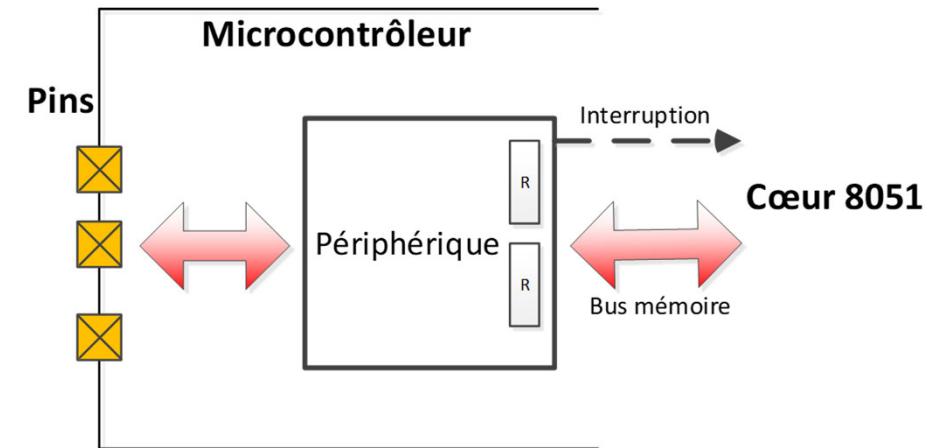
4ETI Bases des systèmes embarqués

**Périphériques analogiques dans le 8051F020**

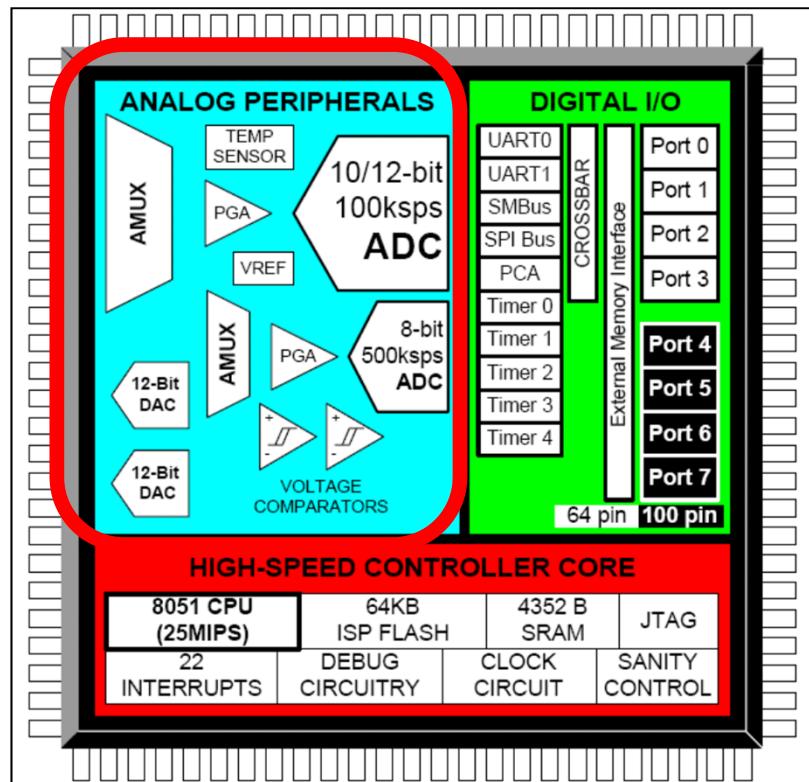
**ADC- DAC      Version 2022 - 03/12/2022 18:30**

# Proposition de méthodologie de mise en œuvre d'un périphérique...

1. Comprendre la fonctionnalité globale de ce type de périphérique
2. Etudier les fonctionnalités particulières de ce périphérique
  - Performances
  - Matériel
  - Logiciel
  - Modes de fonctionnement
3. Identifier les registres du périphérique (configuration, contrôle et donnée)
4. Identifier les contraintes matérielles liées à l'environnement interne et externe
5. Coder les fonctions de configuration
6. Coder les fonctions d'utilisation
7. Faire des tests unitaires pour valider le fonctionnement matériel et logiciel du périphérique



# Périphériques analogiques dans le C8051F020

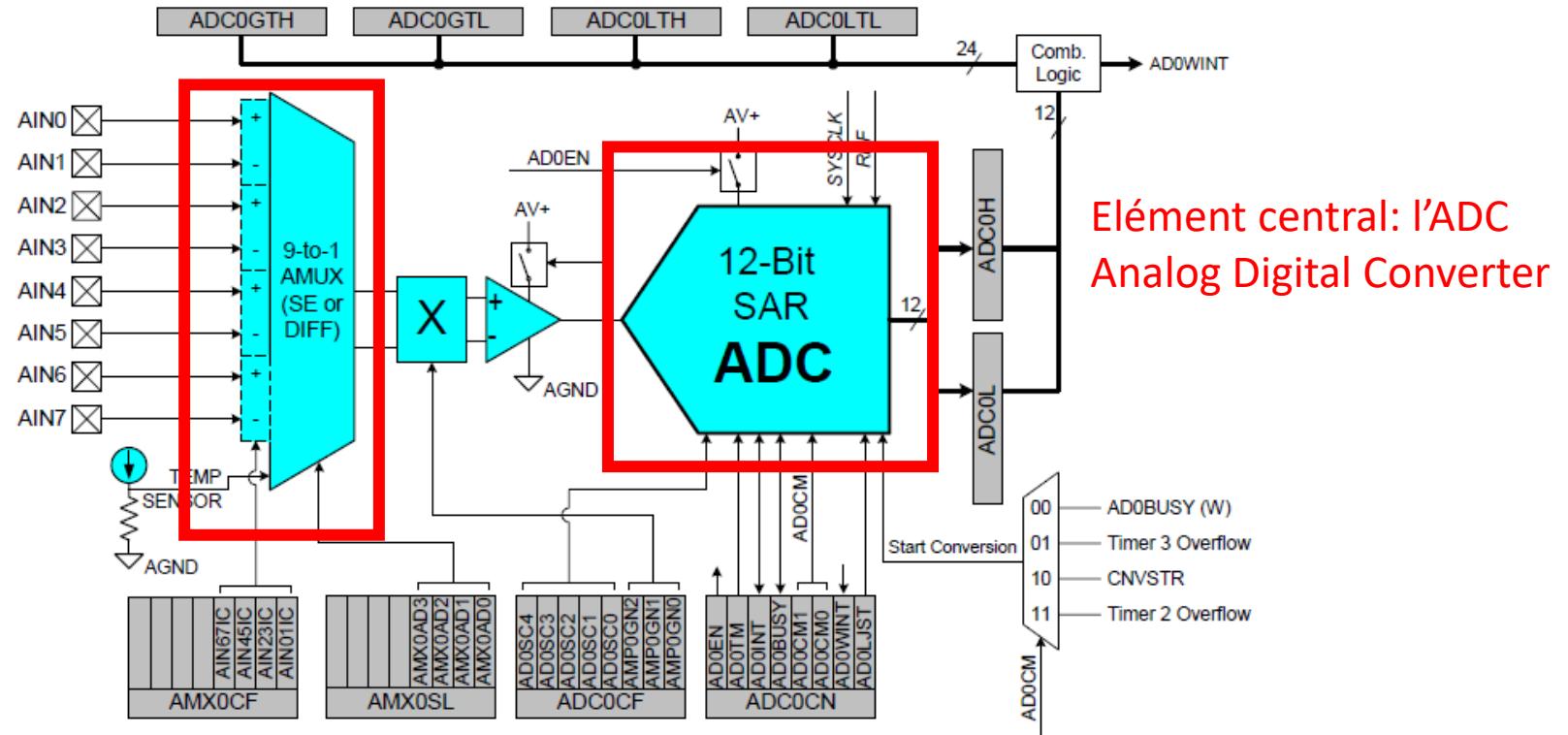


Peak Throughput	25 MIPS
FLASH Program Memory	64K
On-chip Data RAM	4352 bytes
Full-duplex UARTS	x 2
16-bit Timers	x 5
Digital I/O Ports	64 pins
12-bit 100ksps ADC	8 channels
8-bit 500ksps ADC	8 channels
DAC Resolution	12 bits
DAC Outputs	x 2
Analog Comparators	x 2
Interrupts	Two levels
Programmable Counter Arrays (PCA)	

# Le convertisseur Analogique-Numérique ADC0 du 8051F020

# 1 – Comprendre la fonctionnalité globale de ce type de périphérique

## Etude d'un périphérique analogique du 8051F020: L'ADC0



# 1 – ADC – Fonctionnalité globale

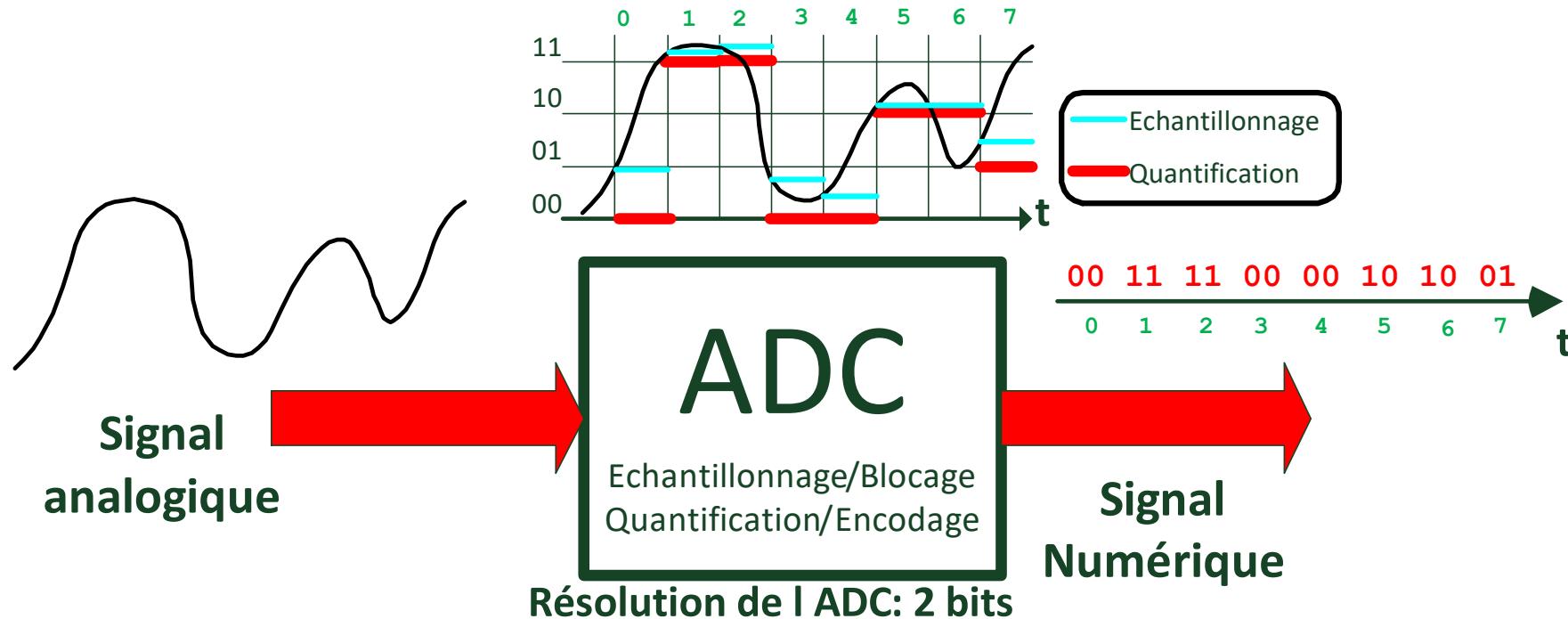
ADC = Analog to Digital Converter

**Conversion d'un signal analogique en un signal numérique**

2 opérations dans une conversion Analogique-Numérique:

**Echantillonnage:** Prélèvement de la valeur du signal à intervalles de temps réguliers

**Quantification:** transformation de la valeur du signal échantillonné (nombre de valeurs « infini ») en une valeur numérique (nombre de valeurs fini)



# 1 – ADC – Paramètres essentiels

- Temps de conversion



**Ne pas confondre: Temps de conversion et fréquence d'échantillonnage!**

Le **temps de conversion** est le temps que met le convertisseur pour effectuer une conversion, il est lié à la technologie de l'ADC  
La **fréquence d'échantillonnage** correspond à la « cadence » de conversion que **vous imposez** au convertisseur

**Dans tous les cas on doit avoir:**

**Temps de conversion < Période d'échantillonnage**

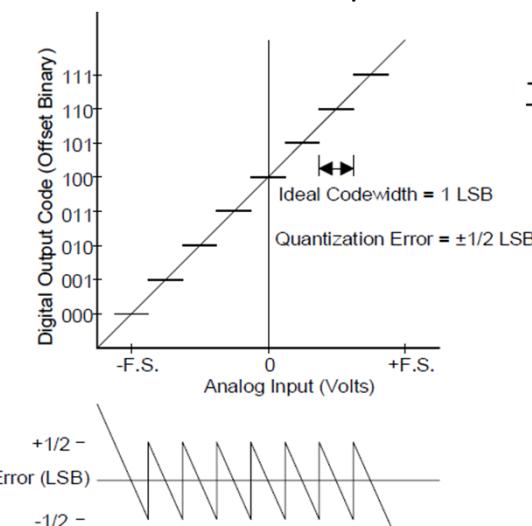
- Plage de tension d'entrée

- Contrainte liées aux tensions d'alimentation (Plage de sécurité)
- Contrainte liée à Vref (Plage utile)

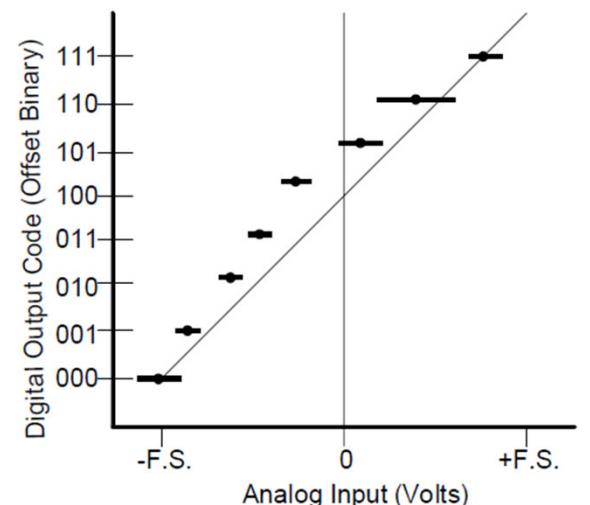
- Résolution (8 - 10 - 12 – 16... bits)
- Précision

Avant de connecter un signal analogique sur une entrée de convertisseur, il faut s'assurer que l'excursion maximale en tension de ce signal respecte:  
- La plage de sécurité (impératif!!)  
- La plage utile (préférable)

Fonction de transfert idéale  
Avec erreur de quantification



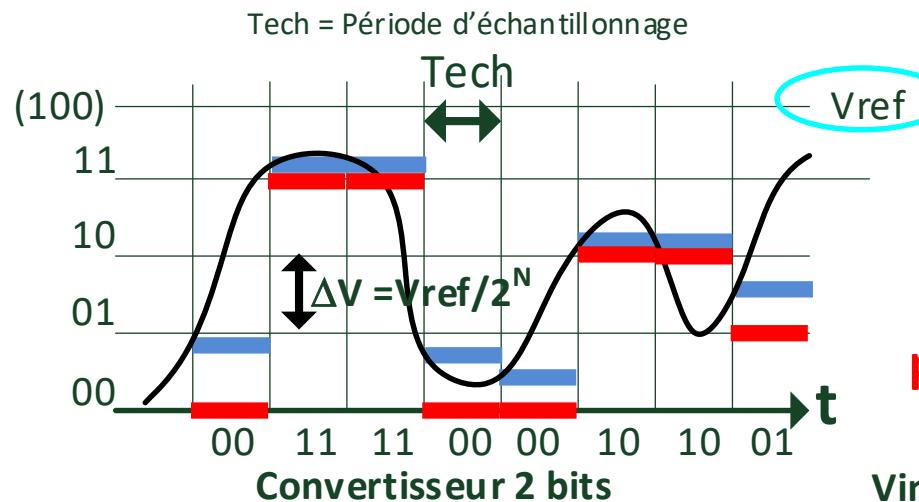
Fonction de transfert réelle



# 1 – ADC – Paramètres essentiels - Vref

La tension de référence est un élément essentiel dans un ADC (et aussi dans un DAC)

Le résultat de la conversion analogique numérique est une valeur relative exprimée par rapport à une tension de référence Vref



Code Sortie ADC =  
partie entière  $((V_{in}/V_{ref}) * 2^N)$

$$V_{in} = \text{CodeADC} * \Delta V = \text{CodeADC} * V_{ref}/2^N$$

Exemple: soit une tension Vin de 1,88V en entrée d'un convertisseur 10 bits avec un Vref de 2,5V:

$$\text{CodeADC} = \text{partie entière } (1,88/2,5) * 2^{10} = 0,752 * 1024 = 770 = 0x302$$

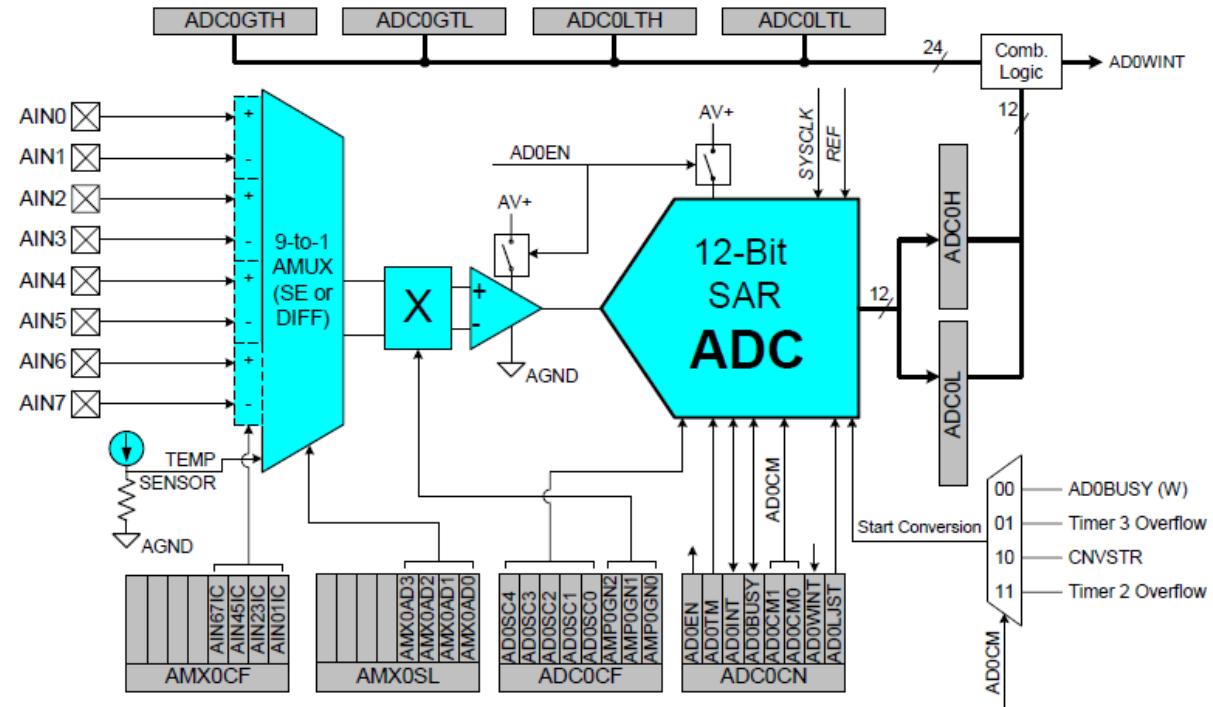
# 1 – ADC – Paramètres secondaires

- Technologie du convertisseur
    - Convertisseur à rampe
    - Convertisseur Flash
    - Convertisseur Sigma-Delta
    - Convertisseur à approximations successives
  - Caractéristiques des entrées
    - Impédance
    - Multiplexage
    - Broches dédiées ou partagées
  - Caractéristiques des sorties
    - Registres
    - Type de représentation binaire
  - Modes de fonctionnement
    - Déclenchement
    - Avertissement fin de conversion - Interruptions
- Fonctionnalités auxiliaires
- Seuils
  - Comparateurs
  - ....

## 2 – Etudier les fonctionnalités particulières de CE périphérique

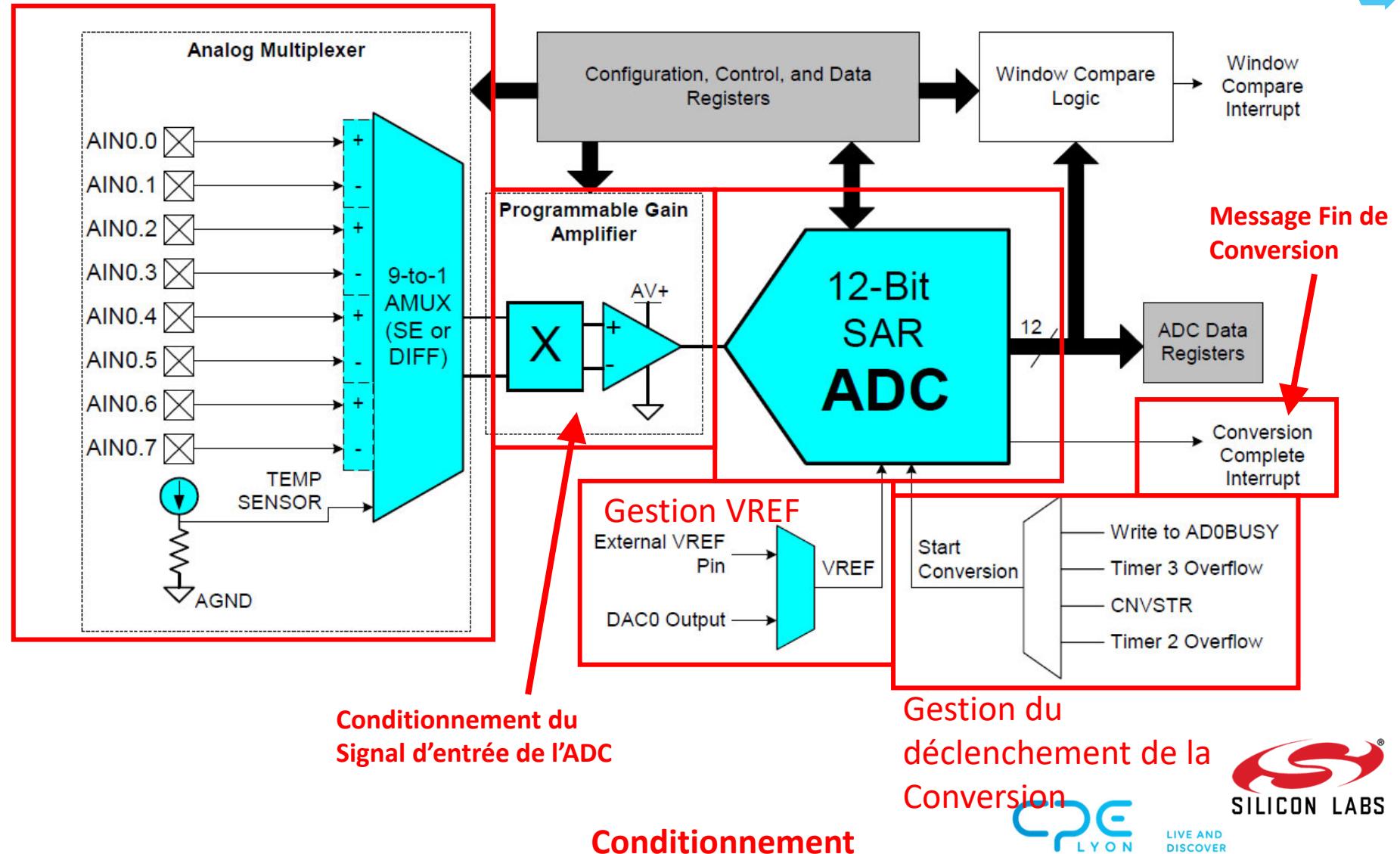
### Etude détaillée de L'ADC0

Après avoir étudié les paramètres essentiels d'un système de conversion analogique numérique, on s'intéresse à son implémentation dans le 8051F020



## 2 – ADC – Schéma Bloc

Gestion des voies d'entrée



## 2 – ADC – Paramètres essentiels

- Temps de conversion : 10 µS (au mieux) déduite du « Throughput rate »

CONVERSION RATE		Min	Typ	Max	
SAR Clock Frequency				2.5	MHz
Conversion Time in SAR Clocks		16			clocks
Track/Hold Acquisition Time		1.5			µs
Throughput Rate				100	ksp/s

- Plage de tension d'entrée
  - Contrainte tensions d'alimentation: 0-3V3 (Plage de sécurité)
  - Contrainte Vref: Entrée sur broche externe ou VDAC (Plage de mesure)
- Résolution: 12 bits
- Précision:

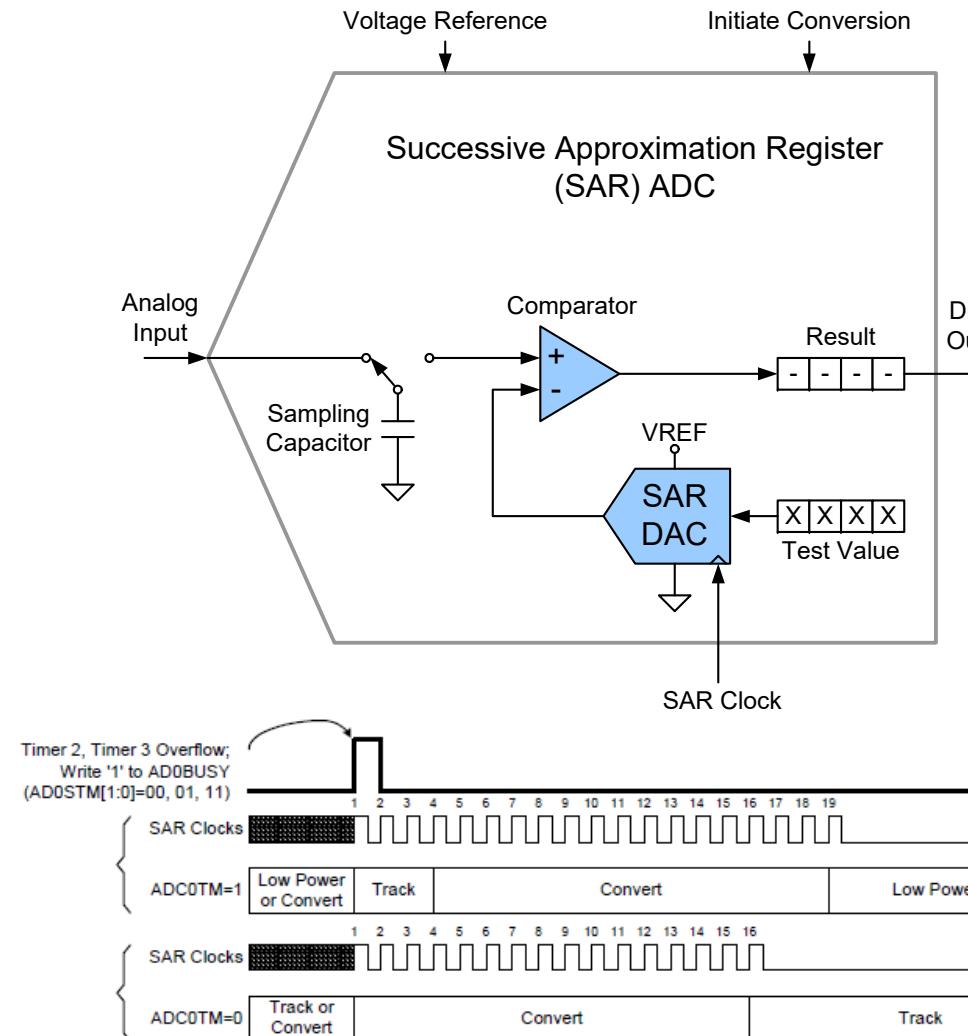
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>					
Resolution		12			bits
Integral Nonlinearity				±1	LSB
Differential Nonlinearity	Guaranteed Monotonic			±1	LSB
Offset Error		-3±1			LSB
Full Scale Error	Differential mode	-7±3			LSB
Offset Temperature Coefficient		±0.25			ppm/°C
<b>DYNAMIC PERFORMANCE (10 kHz sine-wave input, 0 to 1 dB below Full Scale, 100 ksp/s)</b>					
Signal-to-Noise Plus Distortion		66			dB
Total Harmonic Distortion	Up to the 5 <sup>th</sup> harmonic		-75		dB
Spurious-Free Dynamic Range		80			dB



## 2 – ADC – Paramètres secondaires

- Technologie du convertisseur: SAR ADC (Successive Approximation Register)
- Caractéristiques des entrées:
  - 8 + 1 voies d'entrées
  - 8 Unipolaires ou 4 différentielles
  - Impédance d'entrée?
- Caractéristiques des sorties: registres (résultat 12 bits stocké dans 2 registres 8 bits)
- Modes de fonctionnement: plusieurs possibilités de déclenchement de la conversion (Hard/Soft)
- Fonctionnalités auxiliaires:
  - Amplificateur programmable
  - Comparateur à fenêtre

## 2 – ADC – techno SAR ADC



1 Conversion = 16 ou 19 coups d'horloge CLKsar

12/12/2022 (selon le mode choisi)

Conséquence de la technologie SAR ADC:

**Le convertisseur a besoin d'une horloge pour séquencer la conversion.**

Une conversion demande au moins N coups d'horloge (avec N, résolution de la conversion).

Ainsi, il sera possible de modifier le **temps de conversion**, en modifiant la fréquence de l'horloge qui pilote le SAR ADC

Exemple:

SYSCLK = 22,1184Mhz

Configuration faite de telle manière que CLKSAR = SYSCLK/12 = 1,84 MHz

Conversion réalisée en 8,64us / 10,3us (16 ou 19 bits)

## 2 – ADC – Entrées

### Broches dédiées à la conversion

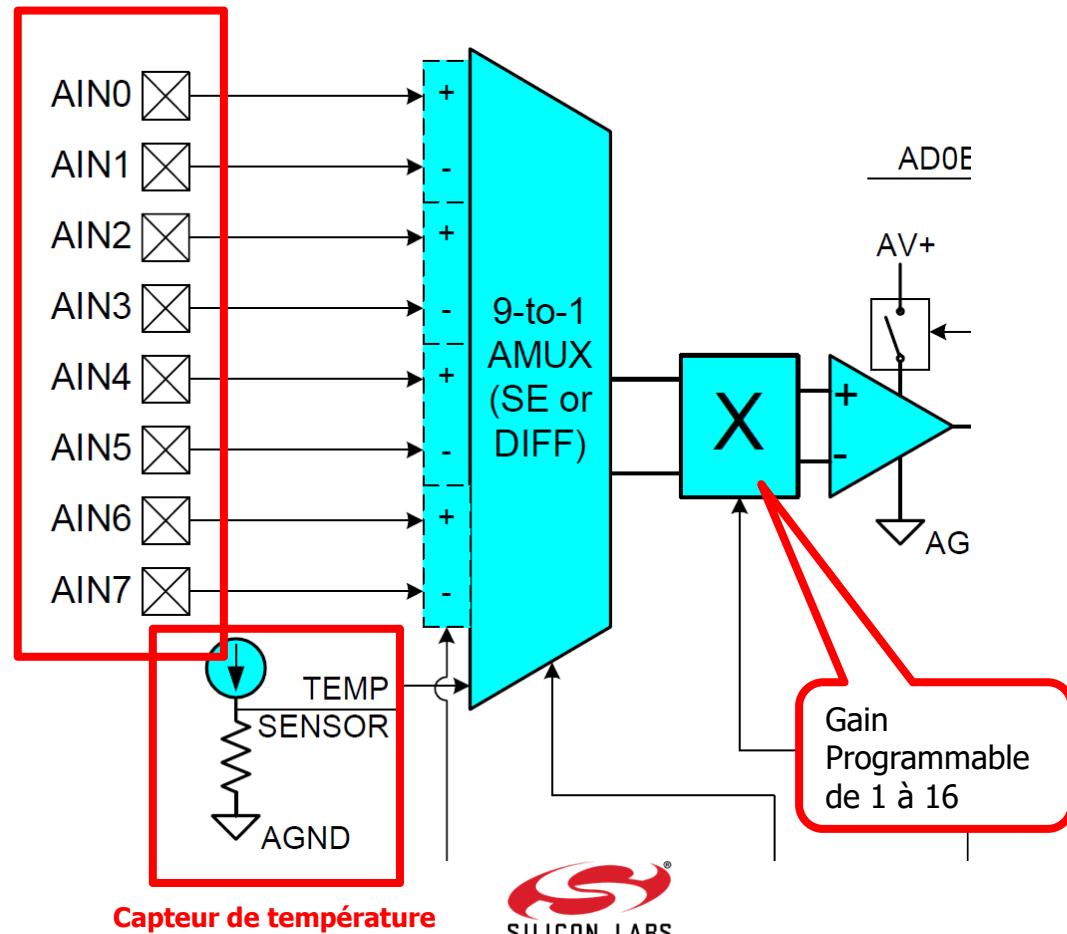
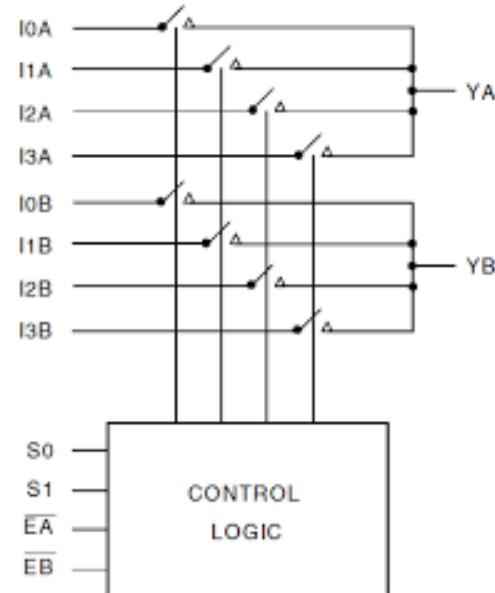
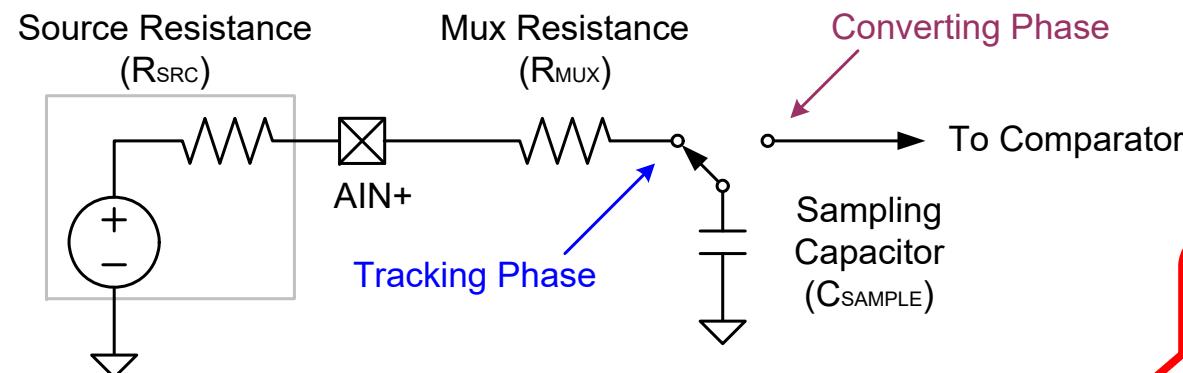
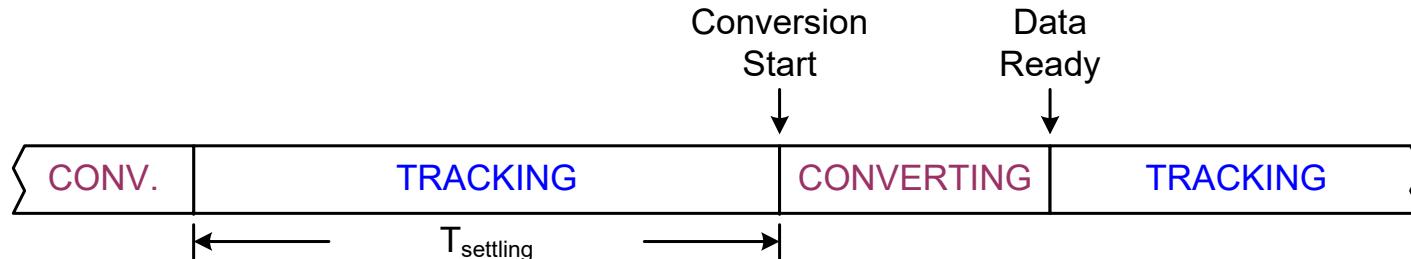


Schéma équivalent du multiplexeur analogique



## 2 – ADC – temps d'établissement



Temps d'établissement (Settling Time):

$$\text{Settling Time} = \ln(2^N/\text{SA}) \times (R_{SRC} + R_{MUX}) \times C_{SAMPLE}$$

Avec SA: Précision liée au temps d'établissement exprimée en LSB

Pour le 8051F020:  $R_{MUX} = 5K$ ,  $C_{SAMPLE} = 10\text{pF}$

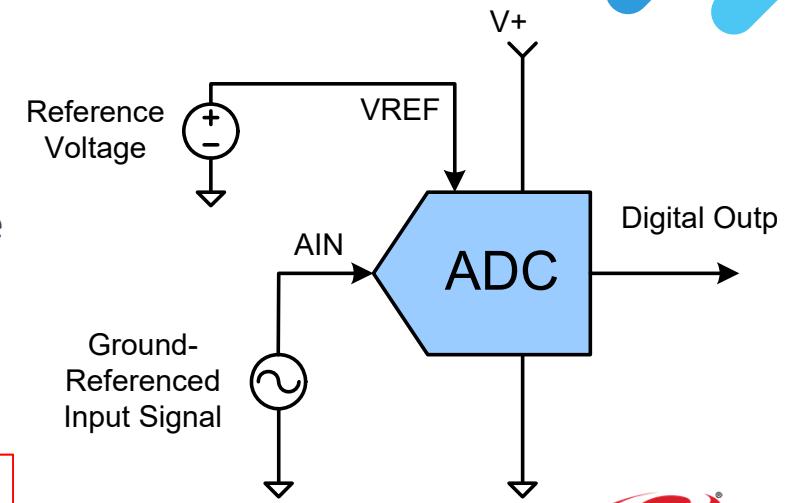
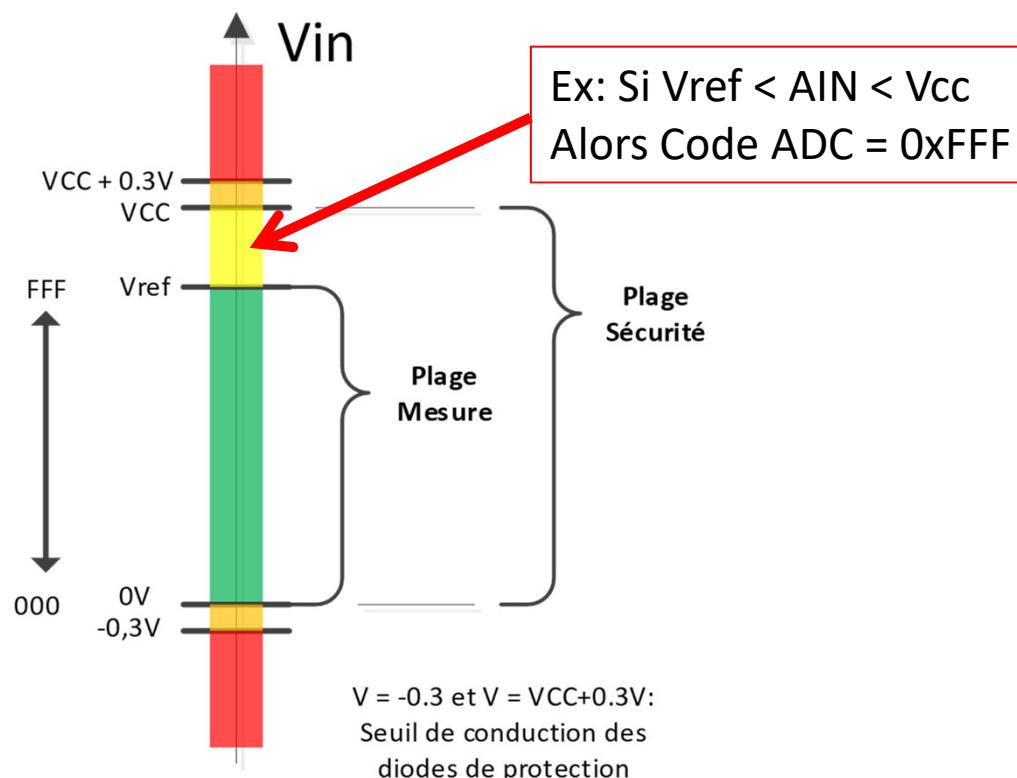
Cas favorable: impédance de source quasi nulle ( $R_{SRC} = 0$ ) : Pour SA=0,25  $\rightarrow t = 0,5\mu\text{s}$

Cas moins favorable avec impédance de source élevée ( $R_{SRC} = 100K$ ) : SA=0,25  $\rightarrow t = 10,5\mu\text{s}$

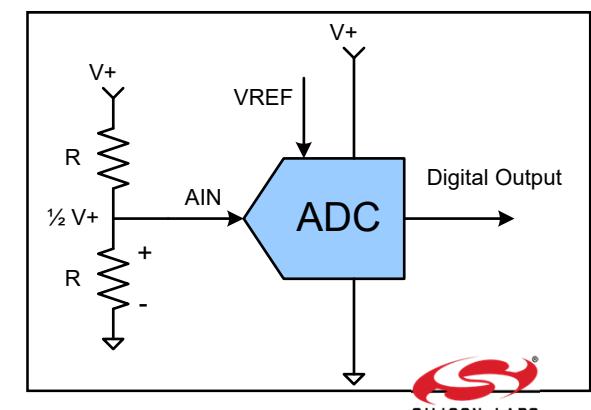
## 2 – ADC – Entrées unipolaires (Single Ended)

La Tension d'entrée AIN est mesurée par rapport au 0V (GND)

- Plage de sécurité:  $0V < Ain < V_+ \text{ -- Si la tension AIN sort de cette plage de sécurité, on risque la destruction du convertisseur}$
- Plage de mesure:  $0V < Ain < V_{ref} \text{ -- Si la tension AIN sort de cette plage de mesure, tout en restant dans la plage de sécurité, le résultat de la conversion sera faussé.}$



Exemple typique d'utilisation:  
Surveillance d'une tension d'alimentation

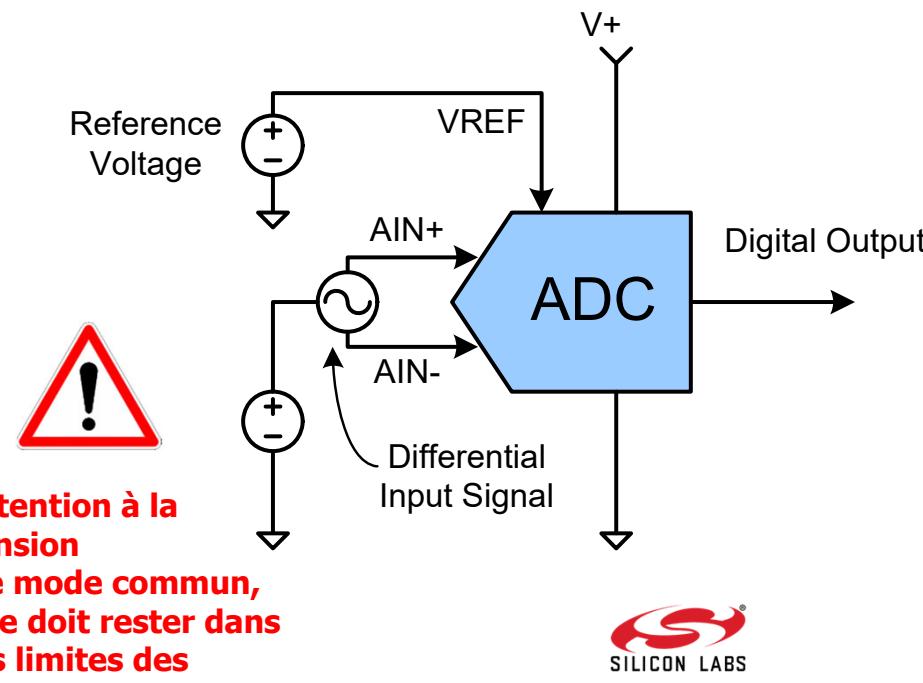


## 2 – ADC – Entrées différentielles (Differential)

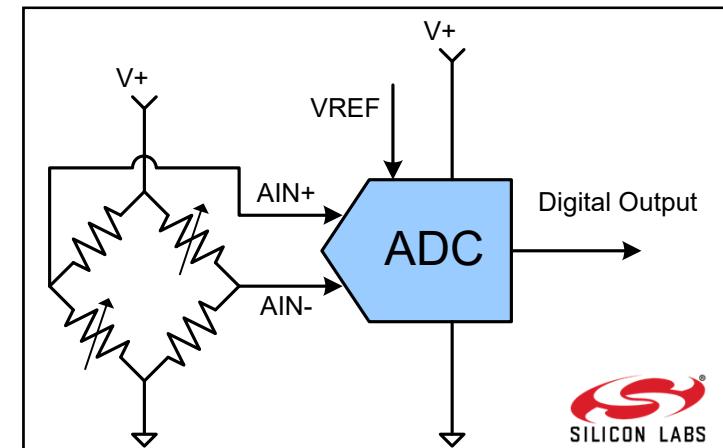
C'est la différence de potentiel entre AIN+ et AIN- qui est mesurée

Plage de sécurité:  $0V < \text{Ain}+ < V_+ (\text{Vcc})$  et  $0V < \text{Ain}- < V_+ (\text{Vcc})$

Plage de mesure:  $-\text{Vref} < (\text{AIN}+ - \text{AIN}-) < \text{Vref}$



Exemple typique d'utilisation:  
Mesure sur un pont de Wheatstone



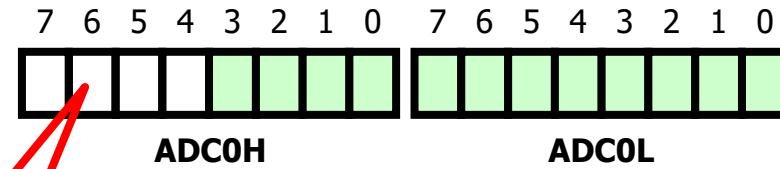
## 2 – ADC – Les sorties



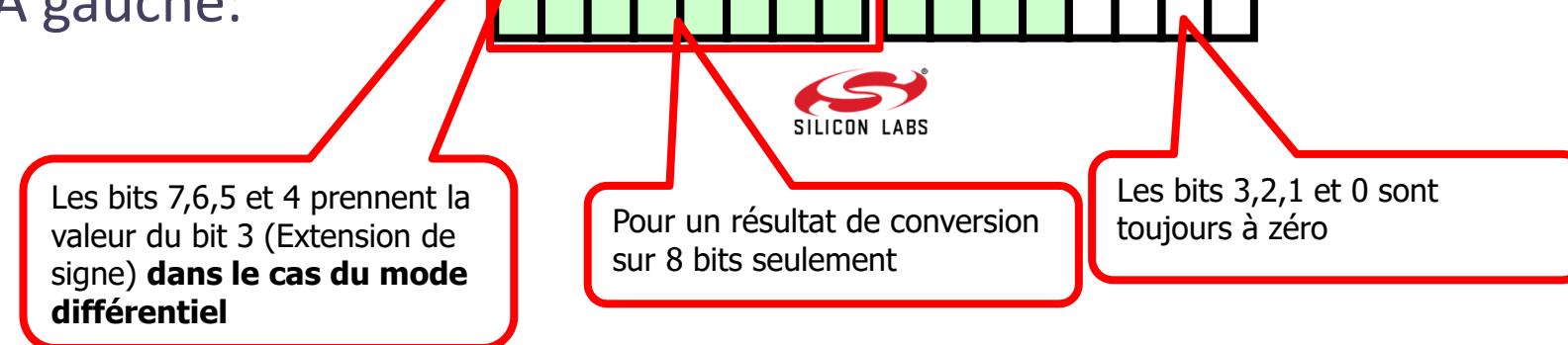
Le résultat de la conversion est accessible dans 2 registres 8 bits ADC0H et ADC0L.

Justification **configurable** à droite ou à gauche avec extension de signe

A droite:



A gauche:



## 2 – ADC – Codage



### Unipolaire

Cas d'une justification à droite

Input Voltage	Output Code (12-bit)
$\geq V_{REF}$	4095 (0xFFFF)*
$V_{REF} - 1 \text{ LSB}$	4095 (0xFFFF)
$\frac{1}{2} V_{REF}$	2048 (0x0800)
$\frac{1}{4} V_{REF}$	1024 (0x0400)
0 V	0 (0x0000)

\* Output of ADC is saturated

$$1 \text{ LSB} = V_{ref}/2^N$$

$$\text{Pour } V_{ref}=2,4V \quad 1\text{LSB} = 0,59mV$$

LSB: Least Significant Bit



### Différentiel

Input Voltage	Output Code (12-bit, sign extended)
$\geq V_{REF}$	2047 (0x07FF)*
$V_{REF} - 1 \text{ LSB}$	2047 (0x07FF)
$\frac{1}{2} V_{REF}$	1024 (0x0400)
0 V	0 (0x0000)
$- \frac{1}{2} V_{REF}$	-1024 (0xFC00)
$-V_{REF}$	-2048 (0xF800)
$< -V_{REF}$	-2048 (0xF800)*

\*Output of ADC is saturated



$$1 \text{ LSB} = 2*V_{ref}/2^N$$

$$\text{Pour } V_{ref}=2,4V \quad 1\text{LSB} = 1,17mV$$

Extension de signe

## 2 – ADC – Exemple de Codage



Hypothèse de configuration de l'ADC0

- Résultat de conversion calé à droite dans ADC0H-ADC0L
- Gain interne de 2
- Vref interne de 2,43V

### En unipolaire

Rappel: 1 LSB =  $V_{ref}/2^N$  -- Pour  $V_{ref}=2,4V$  1LSB = 0,59mV

$$\text{Code ADC} = (2 \cdot V_{in}/V_{ref}) \cdot 2^N = V_{in}/V_{ref} \cdot 2^{N+1}$$

Exemple pour  $V_{in} = 0,5V$  → Code ADC = 1686 = 0x696

### En différentiel

Rappel 1 LSB =  $2 \cdot V_{ref}/2^N$  -- Pour  $V_{ref}=2,4V$  1LSB = 1,17mV

$$\text{Code ADC} = (2 \cdot V_{in}/V_{ref}) \cdot 2^{N-1} = V_{in}/V_{ref} \cdot 2^N$$

Exemple pour  $V_{in} = 0,5V$  → Code ADC = 843 = 0x34B

$V_{in} = -0,5V$  → Code ADC = -843 = 0xFCB5



## 2 – ADC – Fonctionnalités Auxiliaires

- Amplificateur à gain programmable – Gain ajustable de 1 à 16
- Comparateur à fenêtre – possibilité de produire directement une interruption en fonction d'un résultat de comparaison (si le résultat de la conversion est en dehors ou à l'intérieur d'une plage de valeurs, déclenchement possible d'une interruption)

The diagram illustrates the relationship between Input Voltage and ADC Data Word values, and how they affect the AD0WINT flag.

**Left Table:**

Input Voltage (AD0 - AGND)	ADC Data Word	Notes
REF x (4095/4096)	0x0FFF	Flag AD0WINT not affected
	0x0201	
REF x (512/4096)	0x0200	Registres ADC0LTH:ADC0LTL
	0x01FF	AD0WINT=1
REF x (256/4096)	0x0100	ADC0GTH:ADC0GTL
	0x00FF	AD0WINT not affected
12/12/2022 0	0x0000	

**Right Table:**

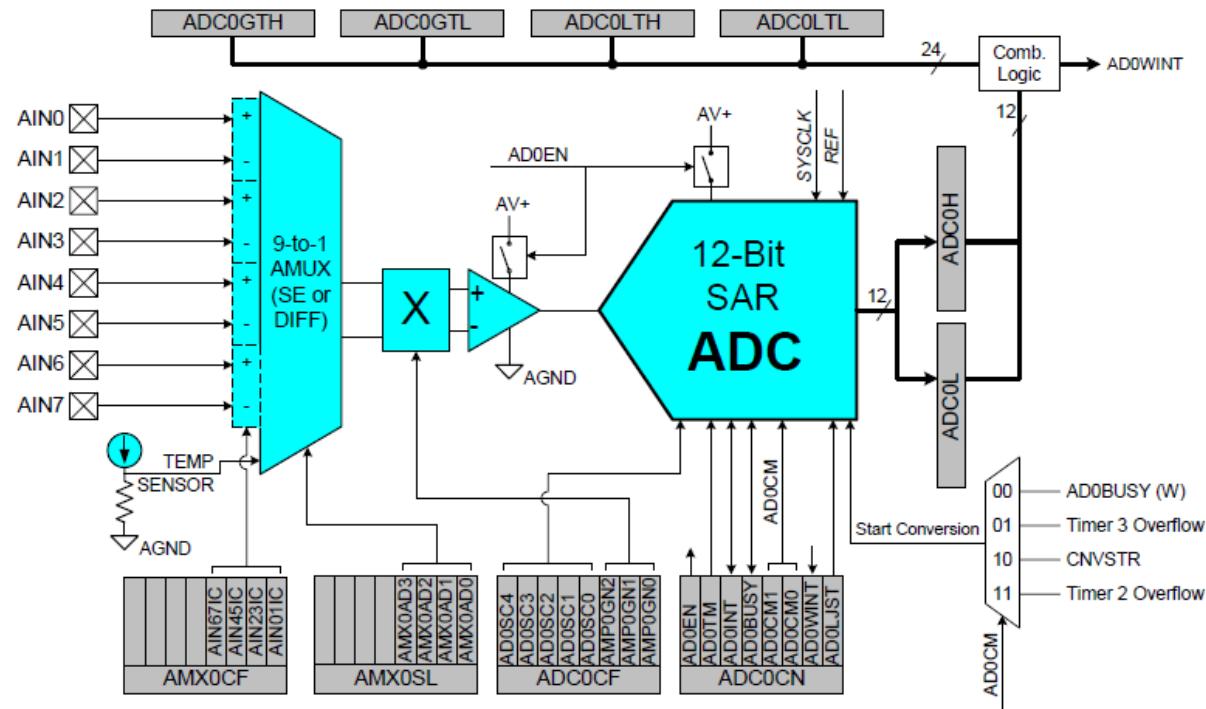
Input Voltage (AD0 - AGND)	ADC Data Word	Notes
REF x (4095/4096)	0x0FFF	
	0x0201	
REF x (512/4096)	0x0200	ADC0GTH:ADC0GTL
	0x01FF	AD0WINT=1
REF x (256/4096)	0x0100	ADC0LTH:ADC0LTL
	0x00FF	AD0WINT=1
0	0x0000	

Annotations in red highlight specific rows and columns:
 

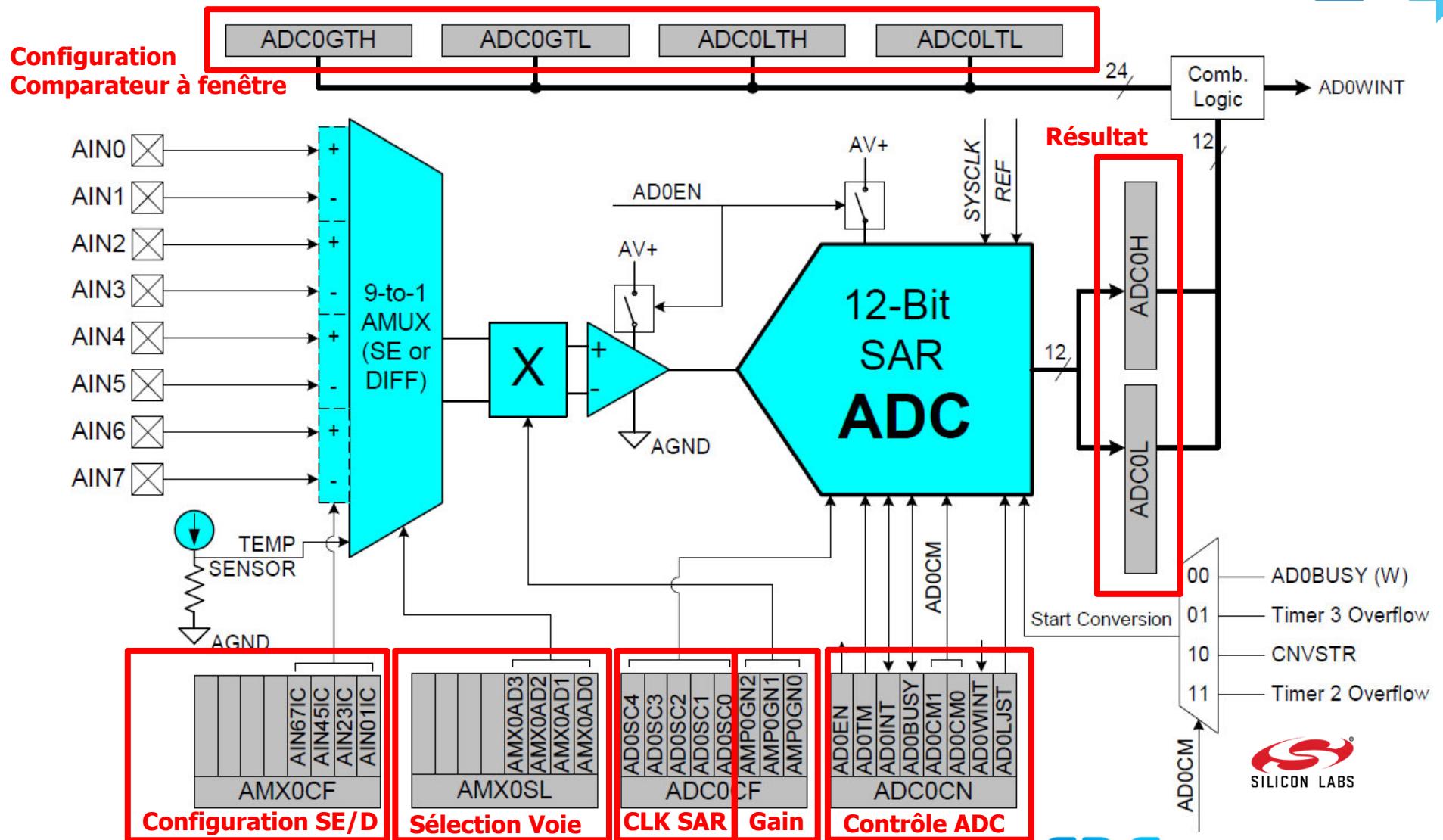
- A red box labeled "Flag" points to the first row of the left table.
- A red box labeled "Registres" points to the second row of the left table.
- A red bracket labeled "AD0WINT=1" groups the second and third rows of the left table.
- A red arrow points from the second row of the left table to the second row of the right table.
- A red arrow points from the third row of the left table to the third row of the right table.
- A red bracket labeled "AD0WINT=1" groups the second and third rows of the right table.
- A red arrow points from the fourth row of the left table to the fourth row of the right table.
- A red bracket labeled "AD0WINT not affected" groups the fifth and sixth rows of the left table.

### 3 – Identifier les registres du périphérique (configuration, contrôle et donnée)

#### Etude d'un périphérique analogique du 8051F020: L'ADC0



# 3 – ADC – Les registres de configuration



# 3 – ADC – AMX0CF

## AMUX0 Configuration Register

La sélection Unipolaire/Différentielle est liée au câblage. Elle sera faite **une fois pour toute** durant la configuration.

**Figure 5.5. AMX0CF: AMUX0 Configuration Register (C8051F020/1)**

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
-	-	-	-	AIN67IC	AIN45IC	AIN23IC	AIN01IC	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0xBA

Bits7-4: UNUSED. Read = 0000b; Write = don't care

Bit3: AIN67IC: AIN6, AIN7 Input Pair Configuration Bit  
0: AIN6 and AIN7 are independent single-ended inputs  
1: AIN6, AIN7 are (respectively) +, - differential input pair

Bit2: AIN45IC: AIN4, AIN5 Input Pair Configuration Bit  
0: AIN4 and AIN5 are independent single-ended inputs  
1: AIN4, AIN5 are (respectively) +, - differential input pair

Bit1: AIN23IC: AIN2, AIN3 Input Pair Configuration Bit  
0: AIN2 and AIN3 are independent single-ended inputs  
1: AIN2, AIN3 are (respectively) +, - differential input pair

Bit0: AIN01IC: AIN0, AIN1 Input Pair Configuration Bit  
0: AIN0 and AIN1 are independent single-ended inputs  
1: AIN0, AIN1 are (respectively) +, - differential input pair

**NOTE:** The ADC0 Data Word is in 2's complement format for channels configured as differential.



# 3 – ADC – AMXOSL

## AMUX0 – Channel Select Register

Figure 5.6. AMXOSL: AMUX0 Channel Select Register (C8051F020/1)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value																																																																																																																																																																										
-	-	-	-	AMX0AD3	AMX0AD2	AMX0AD1	AMX0AD0	00000000																																																																																																																																																																										
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0xBB																																																																																																																																																																										
Bits7-4: UNUSED. Read = 0000b; Write = don't care																																																																																																																																																																																		
Bits3-0: AMX0AD3-0: AMX0 Address Bits 0000-1111b: ADC Inputs selected per chart below																																																																																																																																																																																		
 <b>AMX0AD3-0</b> <b>SILICON LABS</b>																																																																																																																																																																																		
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th></th> <th>0000</th> <th>0001</th> <th>0010</th> <th>0011</th> <th>0100</th> <th>0101</th> <th>0110</th> <th>0111</th> <th>Ixxx</th> </tr> </thead> <tbody> <tr> <td><b>0000</b></td> <td>AIN0</td> <td>AIN1</td> <td>AIN2</td> <td>AIN3</td> <td>AIN4</td> <td>AIN5</td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>0001</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>AIN2</td> <td>AIN3</td> <td>AIN4</td> <td>AIN5</td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>0010</b></td> <td>AIN0</td> <td>AIN1</td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>AIN4</td> <td>AIN5</td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>0011</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>AIN4</td> <td>AIN5</td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>0100</b></td> <td>AIN0</td> <td>AIN1</td> <td>AIN2</td> <td>AIN3</td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>0101</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>AIN2</td> <td>AIN3</td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>0110</b></td> <td>AIN0</td> <td>AIN1</td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>0111</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>AIN6</td> <td>AIN7</td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1000</b></td> <td>AIN0</td> <td>AIN1</td> <td>AIN2</td> <td>AIN3</td> <td>AIN4</td> <td>AIN5</td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1001</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>AIN2</td> <td>AIN3</td> <td>AIN4</td> <td>AIN5</td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1010</b></td> <td>AIN0</td> <td>AIN1</td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>AIN4</td> <td>AIN5</td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1011</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>AIN4</td> <td>AIN5</td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1100</b></td> <td>AIN0</td> <td>AIN1</td> <td>AIN2</td> <td>AIN3</td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1101</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>AIN2</td> <td>AIN3</td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1110</b></td> <td>AIN0</td> <td>AIN1</td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> <tr> <td><b>1111</b></td> <td>+ (AIN0) -(AIN1)</td> <td></td> <td>+ (AIN2) -(AIN3)</td> <td></td> <td>+ (AIN4) -(AIN5)</td> <td></td> <td>+ (AIN6) -(AIN7)</td> <td></td> <td>TEMP SENSOR</td> </tr> </tbody> </table>										0000	0001	0010	0011	0100	0101	0110	0111	Ixxx	<b>0000</b>	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	TEMP SENSOR	<b>0001</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	TEMP SENSOR	<b>0010</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	TEMP SENSOR	<b>0011</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	TEMP SENSOR	<b>0100</b>	AIN0	AIN1	AIN2	AIN3	+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR	<b>0101</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR	<b>0110</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR	<b>0111</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR	<b>1000</b>	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR	<b>1001</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR	<b>1010</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR	<b>1011</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR	<b>1100</b>	AIN0	AIN1	AIN2	AIN3	+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR	<b>1101</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR	<b>1110</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR	<b>1111</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR
	0000	0001	0010	0011	0100	0101	0110	0111	Ixxx																																																																																																																																																																									
<b>0000</b>	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>0001</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>0010</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>0011</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		AIN4	AIN5	AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>0100</b>	AIN0	AIN1	AIN2	AIN3	+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>0101</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>0110</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>0111</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		AIN6	AIN7	TEMP SENSOR																																																																																																																																																																									
<b>1000</b>	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									
<b>1001</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									
<b>1010</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									
<b>1011</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		AIN4	AIN5	+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									
<b>1100</b>	AIN0	AIN1	AIN2	AIN3	+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									
<b>1101</b>	+ (AIN0) -(AIN1)		AIN2	AIN3	+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									
<b>1110</b>	AIN0	AIN1	+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									
<b>1111</b>	+ (AIN0) -(AIN1)		+ (AIN2) -(AIN3)		+ (AIN4) -(AIN5)		+ (AIN6) -(AIN7)		TEMP SENSOR																																																																																																																																																																									

**AMX0CF**

AMX0CF Bits 3-0

Ce registre pourra être manipulé au cours de l'application pour changer la voie de conversion (dans le cas où l'on fait une conversion sur plusieurs voies)

Mode d'emploi de ce tableau:

Supposons la configuration suivante:

- AIN0-AIN1 en différentiel
- AIN2 et AIN3 en unipolaires
- AIN4-AIN5 en différentiels
- AIN6 et AIN7 en unipolaires

Configuration des voies:

→ Config AMX0CF = 0x05

Sélection des voies de conversion

Pour sélectionner la voie AIN0-AIN1  
→ AMXOSL = 0x00

Pour sélectionner la voie AIN2

→ AMXOSL = 0x02

Pour sélectionner la voie AIN3

→ AMXOSL = 0x03

Pour sélectionner la voie AIN4-AIN5

→ AMXOSL = 0x04

Pour sélectionner la voie AIN6

→ AMXOSL = 0x06

Pour sélectionner la voie AIN7

→ AMXOSL = 0x07

Pour sélectionner le capteur de température

→ AMXOSL = 0x08

# 3 – ADC – ADC0CF

## ADC0 Configuration Register

Configuration du gain de l'amplificateur et de l'horloge du convertisseur.

$$\text{CLK sar} = \text{SYSCLK} / (\text{AD0SC} + 1)$$

**Figure 5.7. ADC0CF: ADC0 Configuration Register (C8051F020/1)**

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
AD0SC4	AD0SC3	AD0SC2	AD0SC1	AD0SC0	AMP0GN2	AMP0GN1	AMP0GN0	11111000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0xBC

Cfg CLK SAR
Cfg Gain ampli d'entrée

Bits7-3: AD0SC4-0: ADC0 SAR Conversion Clock Period Bits  
 SAR Conversion clock is derived from system clock by the following equation, where  $AD0SC$  refers to the 5-bit value held in AD0SC4-0, and  $CLK_{SAR0}$  refers to the desired ADC0 SAR clock. See Table 5.1 on page 58 for SAR clock setting requirements.

$$AD0SC = \frac{SYSCLK}{CLK_{SAR0}} - 1$$

Attention!! CLKSAR MAX = 2,5MHz

Bits2-0: AMP0GN2-0: ADC0 Internal Amplifier Gain (PGA)  
 000: Gain = 1  
 001: Gain = 2  
 010: Gain = 4  
 011: Gain = 8  
 10X: Gain = 16  
 11x: Gain = 0.5

Le réglage de la fréquence de l'horloge SAR influe sur le temps de conversion

**Exemple de calcul d'horloge SAR.**

On suppose:  
 $\text{SYSCLK} = 22,1184 \text{ MHz}$

On cherche un temps de conversion minimum, donc  $\text{CLK SAR}$  au plus proche de 2,5Mhz  
 $AD0SC = (22,1184/2,5) - 1 = 7,85$ .

On arrondit à l'entier supérieur: 8  
 CLK SAR effective: 2,46Mhz  
 Et donc un temps de conversion compris entre 6,5US et 7,8US selon le mode de conversion configuré



# 3 – ADC – ADC0CN Bits 7 à 4 ADC0 Control Register

Figure 5.8. ADC0CN: ADC0 Control Register (C8051F020/1)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
AD0EN	AD0TM	AD0INT	AD0BUSY	AD0CM1	AD0CM0	AD0WINT	AD0LJST	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: (bit addressable) 0xE8
Config <b>ADC ON/OFF</b>	Bit7:	AD0EN: ADC0 Enable Bit. 0: ADC0 Disabled. ADC0 is in low-power shutdown. 1: ADC0 Enabled. ADC0 is active and ready for data conversions.						
Config <b>Track Mode</b>	Bit6:	AD0TM: ADC Track Mode Bit 0: When the ADC is enabled, tracking is continuous unless a conversion is in process 1: Tracking Defined by ADSTM1-0 bits						Ce drapeau indique que la conversion est terminée
<b>Flag fin de conversion</b>	Bit5:	AD0INT: ADC0 Conversion Complete Interrupt Flag. This flag must be cleared by software. 0: ADC0 has not completed a data conversion since the last time this flag was cleared. 1: ADC0 has completed a data conversion.						
<b>WR: Start Conversion RD: Status ADC0 Busy</b>	Bit4:	AD0BUSY: ADC0 Busy Bit. Read: 0: ADC0 Conversion is complete or a conversion is not currently in progress. AD0INT is set to logic 1 on the falling edge of AD0BUSY. 1: ADC0 Conversion is in progress. Write: 0: No Effect. 1: Initiates ADC0 Conversion if AD0STM1-0 = 00b						

# 3 – ADC – ADC0CN Bits 3 à 0

## ADC0 Control Register

Il existe plusieurs  
manière de déclencher  
une conversion

### Config Start Mode

- Bit3-2: AD0CM1-0: ADC0 Start of Conversion Mode Select.  
If AD0TM = 0:  
00: ADC0 conversion initiated on every write of '1' to AD0BUSY.  
01: ADC0 conversion initiated on overflow of Timer 3.  
10: ADC0 conversion initiated on rising edge of external CNVSTR.  
11: ADC0 conversion initiated on overflow of Timer 2.
- If AD0TM = 1:  
00: Tracking starts with the write of '1' to AD0BUSY and lasts for 3 SAR clocks, followed by conversion.  
01: Tracking started by the overflow of Timer 3 and last for 3 SAR clocks, followed by conversion.  
10: ADC0 tracks only when CNVSTR input is logic low; conversion starts on rising CNVSTR edge.  
11: Tracking started by the overflow of Timer 2 and last for 3 SAR clocks, followed by conversion.

### Flag Comparateur

- Bit1: AD0WINT: ADC0 Window Compare Interrupt Flag.  
This bit must be cleared by software.  
0: ADC0 Window Comparison Data match has not occurred since this flag was last cleared.  
1: ADC0 Window Comparison Data match has occurred.

### Config Justification

- Bit0: AD0LJST: ADC0 Left Justify Select.  
0: Data in ADC0H:ADC0L registers are right-justified.  
1: Data in ADC0H:ADC0L registers are left-justified.

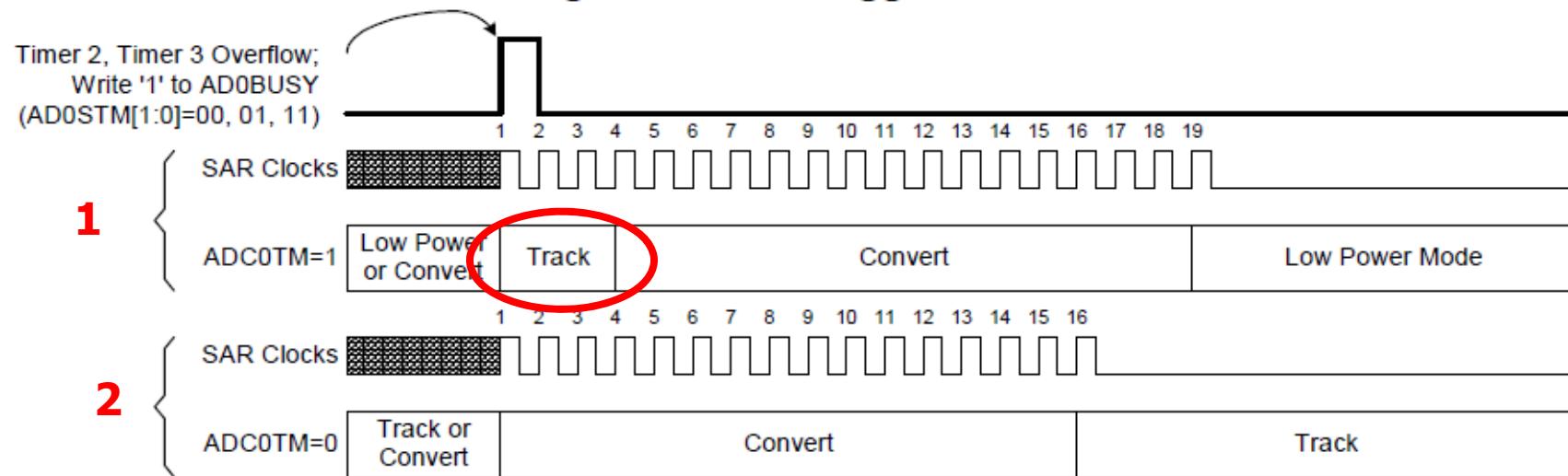


# 3 – ADC – ADC Timing for Internal Trigger Sources



## Tracking Modes – Bit 6 de ADC0CN

### B. ADC Timing for Internal Trigger Sources

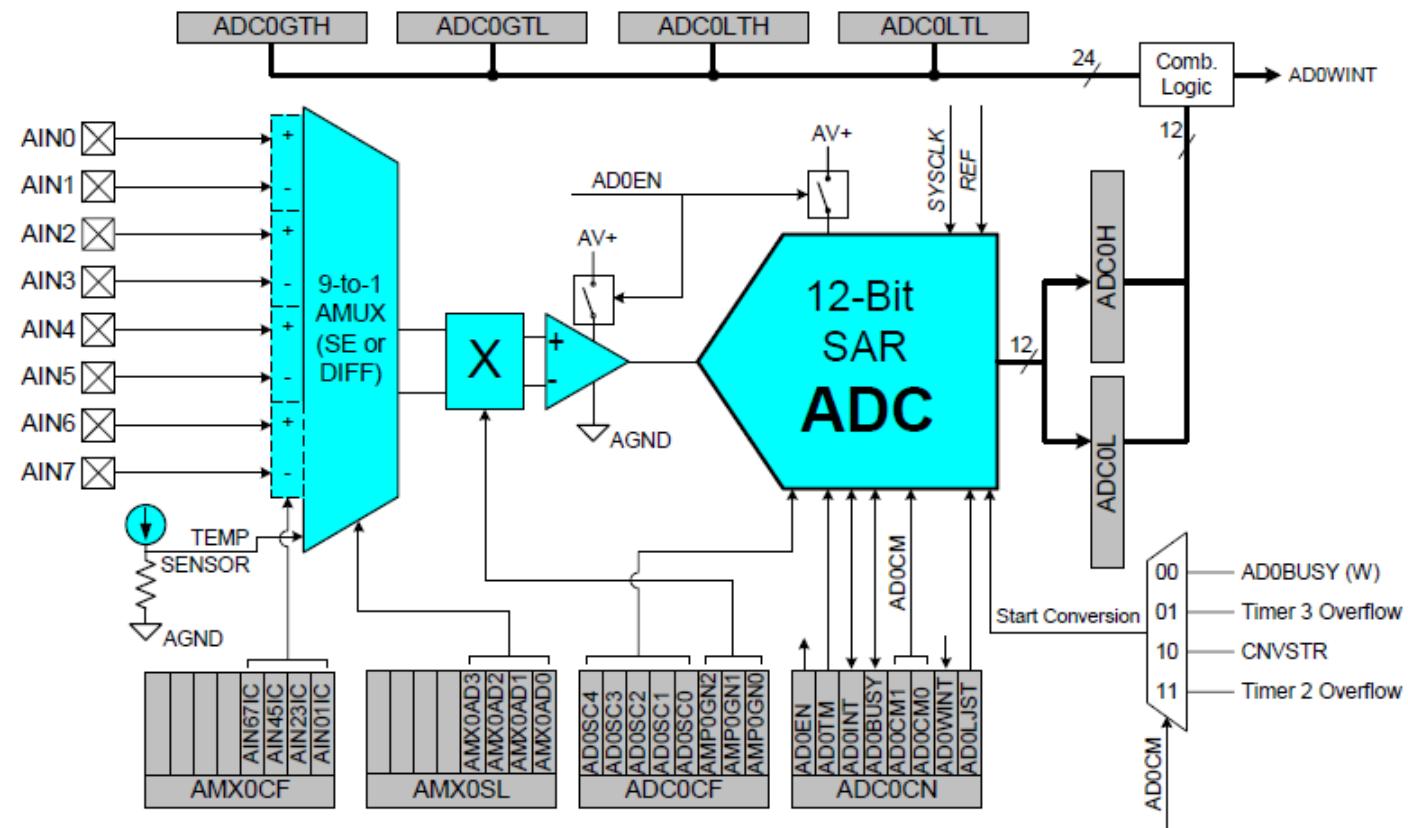


Le mode 1 augmente le temps de conversion de 3 cycles CLK SAR,  
Mais en insérant 3 cycles de Tracking, on évite en général les erreurs de temps  
d'établissement surtout en cas de conversion multi-voies



## 4 – Identifier les contraintes matérielles

### Etude d'un périphérique analogique du 8051F020: L'ADC0



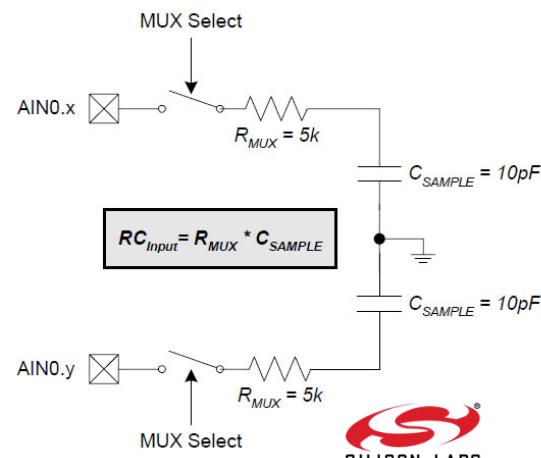
# 4 – ADC – Les contraintes matérielles

## Les entrées de l'ADC

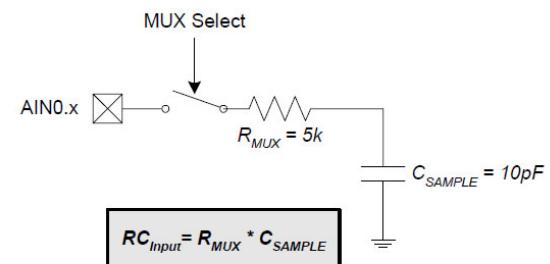
### Caractéristiques physiques des voies d'entrée

L'impédance du circuit branché sur les entrées du convertisseur peut avoir une influence sur le temps d'établissement de l'étage d'entrée. Aussi, privilégier les sources à basse impédance

### Differential Mode



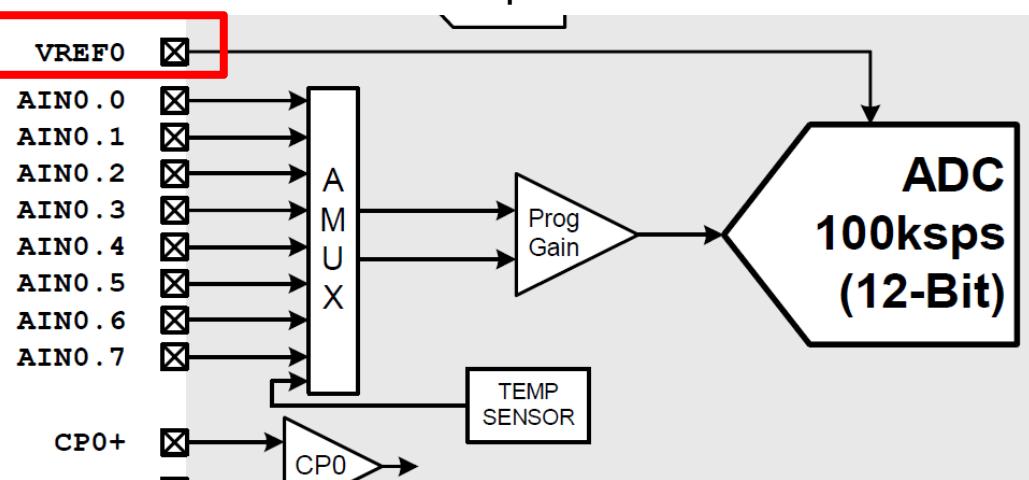
### Single-Ended Mode



### Caractéristiques matérielles des voies d'entrée: quelles broches?

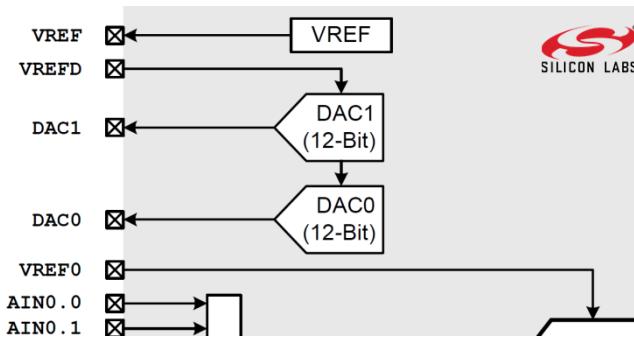
Vref??

Avec cette broche VREF0, il est possible de fournir une tension de référence adaptée



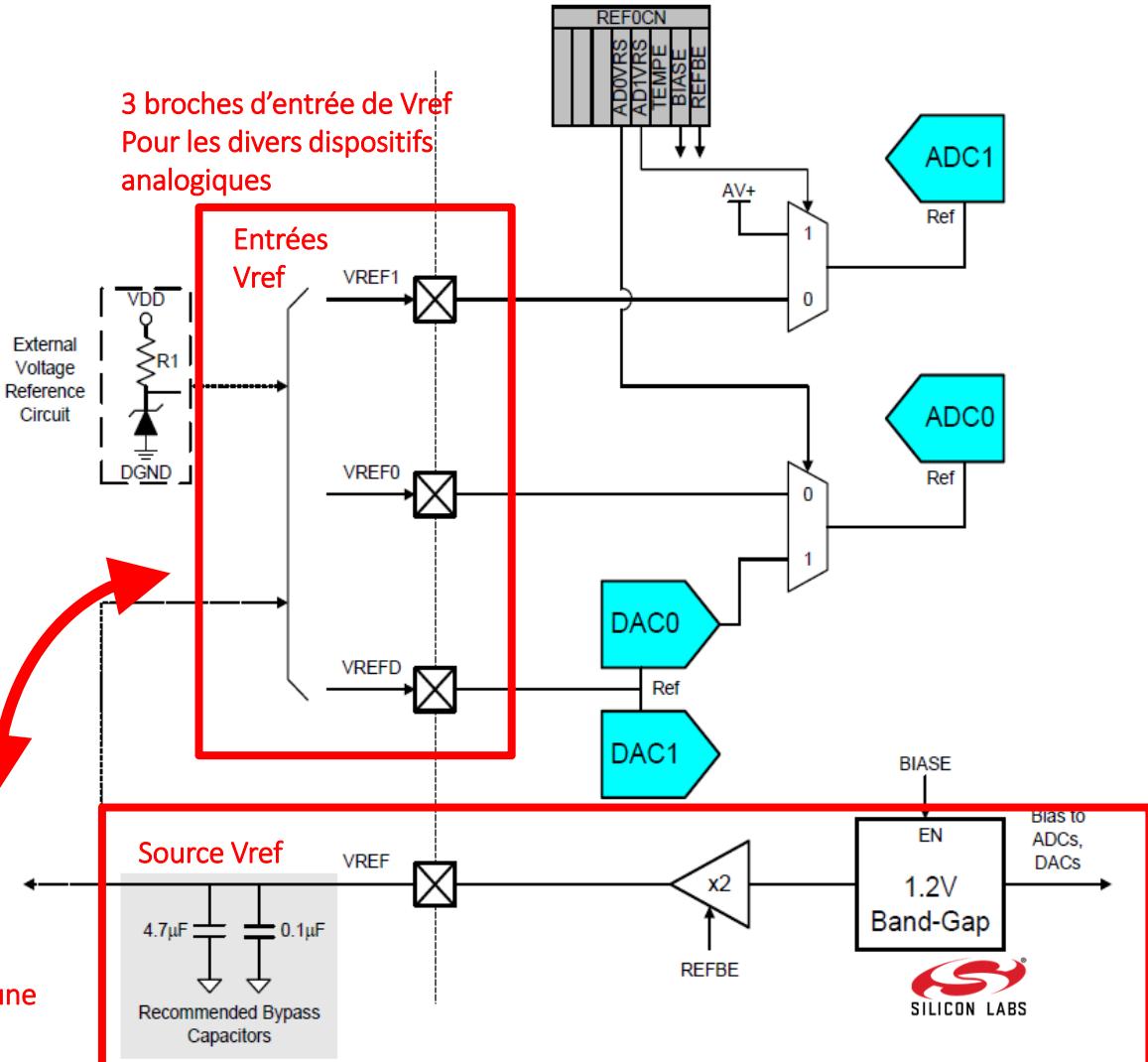
# 4 – ADC – Les contraintes matérielles

## Le VREF



A l'aide d'un câblage extérieur au microcontrôleur, il est possible de connecter la source Vref aux entrées Vref des dispositifs analogiques

1 Tension de référence interne accessible sur une broche



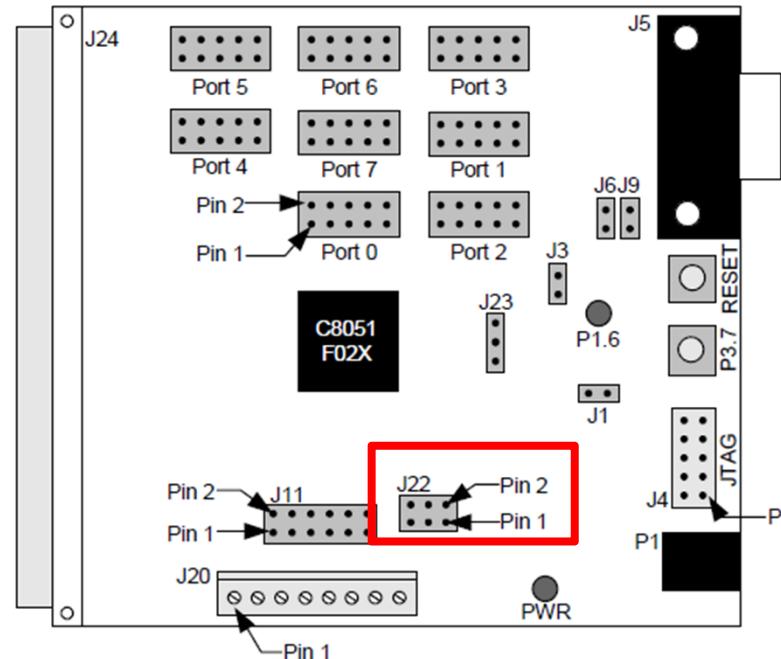
# 4 – ADC – Le VREF sur la carte 8051F020TB



## 6.9. VREF Connector (J22)

The VREF jumper block, J22, can be used to connect the VREF (Voltage Reference) output of the C8051F020 to any (or all) of its voltage reference inputs. Install shorting blocks on J22 in the following manner:

- 1-2 to connect VREF to VREFD
- 3-4 to connect VREF to VREF0
- 5-6 to connect VREF to VREF1



Les cavaliers placés sur les broches J22 permettent d'assurer la connexion entre la tension Vref produite par le bloc interne de génération de tension de référence et les entrées de tension de référence des divers convertisseurs A/N et N/A

# 4 – ADC – Les contraintes matérielles

## Reference Control Register

**Figure 9.2. REF0CN: Reference Control Register**

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
-	-	-	AD0VRS	AD1VRS	TEMPE	BIASE	REFBE	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0xD1

Bits7-5: UNUSED. Read = 000b; Write = don't care.

Bit4: AD0VRS: ADC0 Voltage Reference Select  
 0: ADC0 voltage reference from VREF0 pin.  
 1: ADC0 voltage reference from DAC0 output.

Bit3: AD1VRS: ADC1 Voltage Reference Select  
 0: ADC1 voltage reference from VREF1 pin.  
 1: ADC1 voltage reference from AV+.

Bit2: TEMPE: Temperature Sensor Enable Bit.  
 0: Internal Temperature Sensor Off.  
 1: Internal Temperature Sensor On.

Bit1: BIASE: ADC/DAC Bias Generator Enable Bit. (Must be '1' if using ADC or DAC).  
 0: Internal Bias Generator Off.  
 1: Internal Bias Generator On.

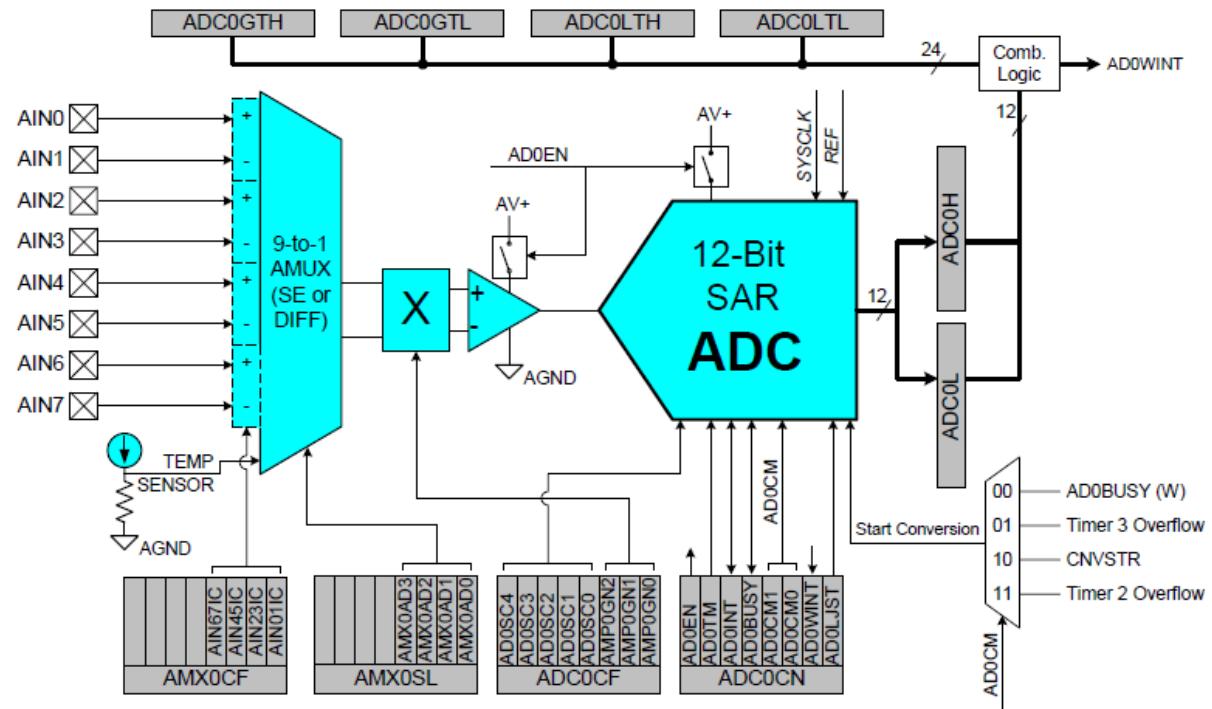
Bit0: REFBE: Internal Reference Buffer Enable Bit.  
 0: Internal Reference Buffer Off.  
 1: Internal Reference Buffer On. Internal voltage reference is driven on the VREF pin.

Pour activer la Vref Interne  
BIASE = 1 -- REFBE = 1



## 5 – Coder les fonctions de configuration

### Etude d'un périphérique analogique du 8051F020: L'ADC0



# 5 – ADC – Code de Configuration

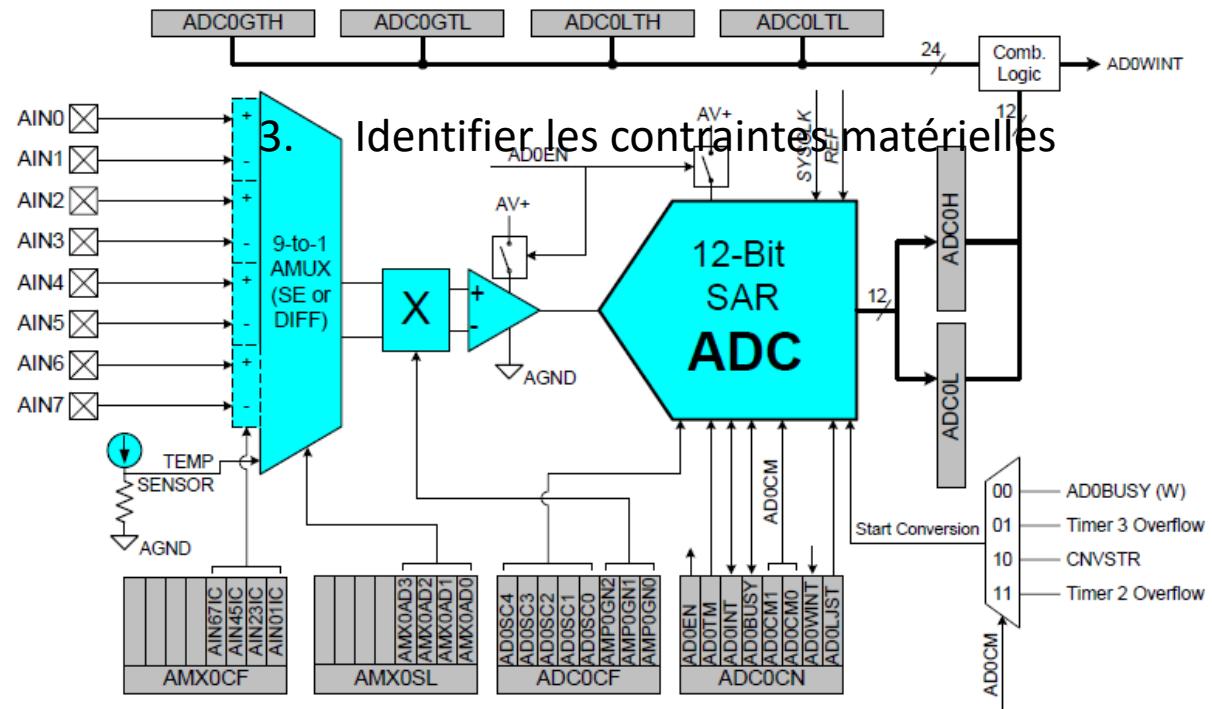
**Remarque:** Toute configuration est liée avant toute chose à une configuration matérielle.

**A configurer:**

1. Configuration de la tension de référence – **Branchements matériel de la tension de référence**
2. Configuration des voies Unipolaires/Différentielles
3. Sélection de la voie (si application monovoie) – **Branchements du ou des signaux d'entrée**
4. Gain
5. Horloge CLK SAR
6. Choix du mode de déclenchement de la conversion
7. Modes de fonctionnement divers: Justification du résultat – Mode tracking....
8. Effacer les drapeaux signalant une fin de conversion ou un dépassement comparateur
9. Facultatif: Configuration du comparateur à fenêtre
10. Facultatif: autorisation (ou pas) des interruptions liées à L'ADC0 (End Of Conversion et Windows Comp)

# 6 – Coder les fonctions d'utilisation

## Etude d'un périphérique analogique du 8051F020: L'ADC0





## 6 – ADC – Code d'utilisation

### Déclenchement de la conversion par logiciel et attente de la fin de conversion par scrutation

Une fonction typique chargée d'effectuer une conversion AN doit contenir successivement:

- Sélection – changement de la voie à convertir (si utilisation de plusieurs voies)
- Réglage du gain



Attention au temps de tracking!! (le temps à respecter entre la commutation de voie et le déclenchement de la conversion)

- Déclenchement de la conversion par logiciel (Bit AD0Busy passé à 1)
- Attente de la fin de conversion – Scrutation du drapeau AD0INT « Fin de conversion »
- Récupération du résultat dans les registres ADCOL et ADCOH quand la conversion est terminée.

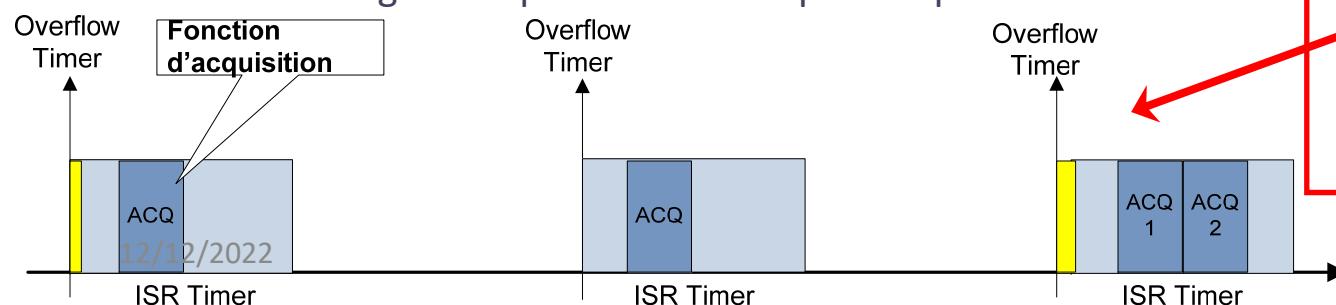
#### Mode standard d'utilisation:

- Conversions « ponctuelles »
- Pas de traitement du signal sur les signaux acquis car la fréquence d'échantillonnage n'est pas strictement périodique

Dans ce type de fonction, la durée de la fonction d'acquisition est forcément supérieure au temps de conversion

#### Procédure de gestion d'une conversion par logiciel:

- Step 1. Write a '0' to AD0INT;
- Step 2. Write a '1' to AD0BUSY;
- Step 3. Poll AD0INT for '1';
- Step 4. Process ADC0 data.



Exemple - Cas d'une fonction d'acquisition appelée à l'intérieur d'une fonction d'interruption Timer

# 6 – ADC – Code d'utilisation - Avec interruption Timer

## Déclenchement de l'acquisition par Overflow Timer et Scrutation de fin de l'acquisition

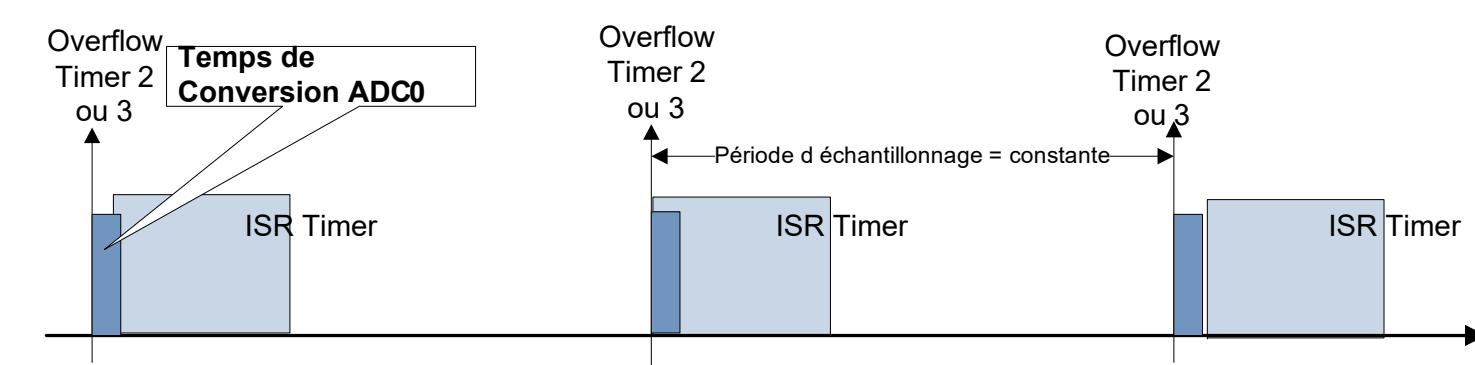
Conversion déclenchée par un overflow timer 2 ou 3 et récupération du résultat dans la routine d'interruption Timer par scrutination.

Dans la routine d'interruption Timer déclenchée par son overflow on pourra faire les actions suivantes:

- Scrutation du drapeau fin de conversion
- Récupération du résultat
- Sélection de voie et réglage du gain pour la conversion suivante
- Ne pas oublier la remise à zéro du drapeau de fin de conversion

### Mode standard d'utilisation:

- Période d'échantillonnage constante: Traitement numérique du signal possible
- Le processeur doit attendre la fin de conversion – Pas de problème de temps de tracking



## 6 – ADC – Code d'utilisation - Avec interruption ADC0

### Déclenchement de l'acquisition par Overflow Timer et Interruption ADC

A utiliser uniquement si la conversion est déclenchée par un overflow Timer 2 ou 3.

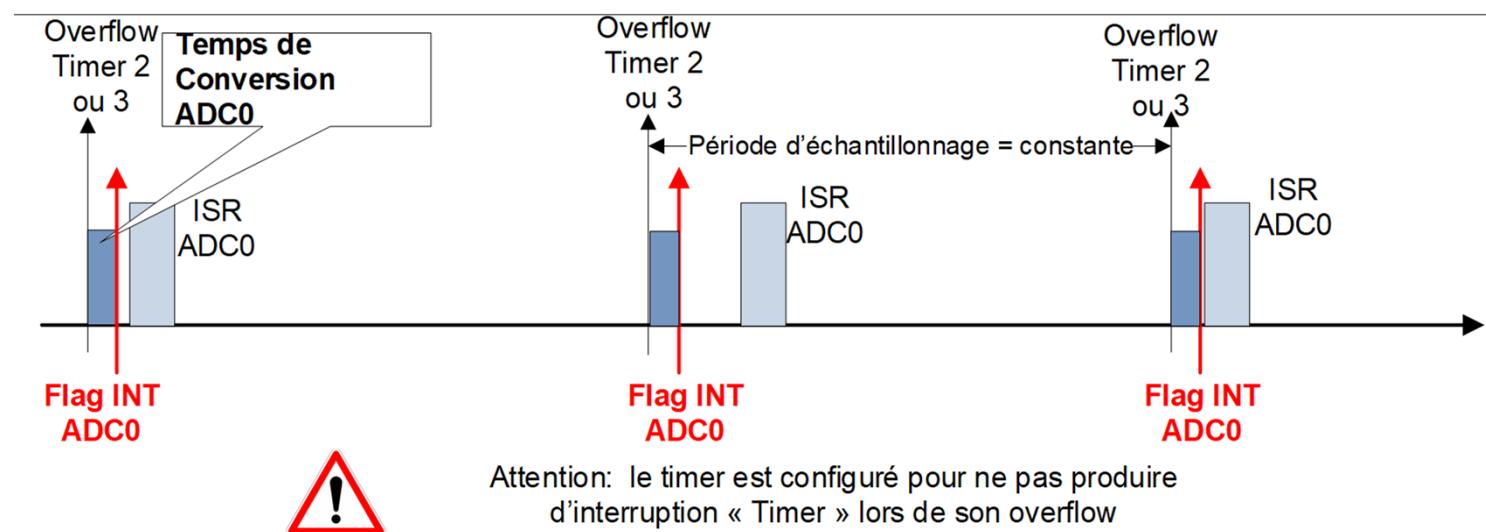
Le principe est ici d'utiliser un timer configuré en mode auto-rechargement pour déclencher des conversions à intervalle de temps régulier. Le convertisseur ADC est configuré de son côté pour déclencher une interruption à la fin de chaque conversion.

Dans la routine d'interruption ADC0 déclenchée par une fin de conversion on pourra faire les actions suivantes:

- Récupération du résultat
- Sélection de voie et réglage du gain pour la conversion suivante
- Ne pas oublier la remise à zéro du drapeau de fin de conversion

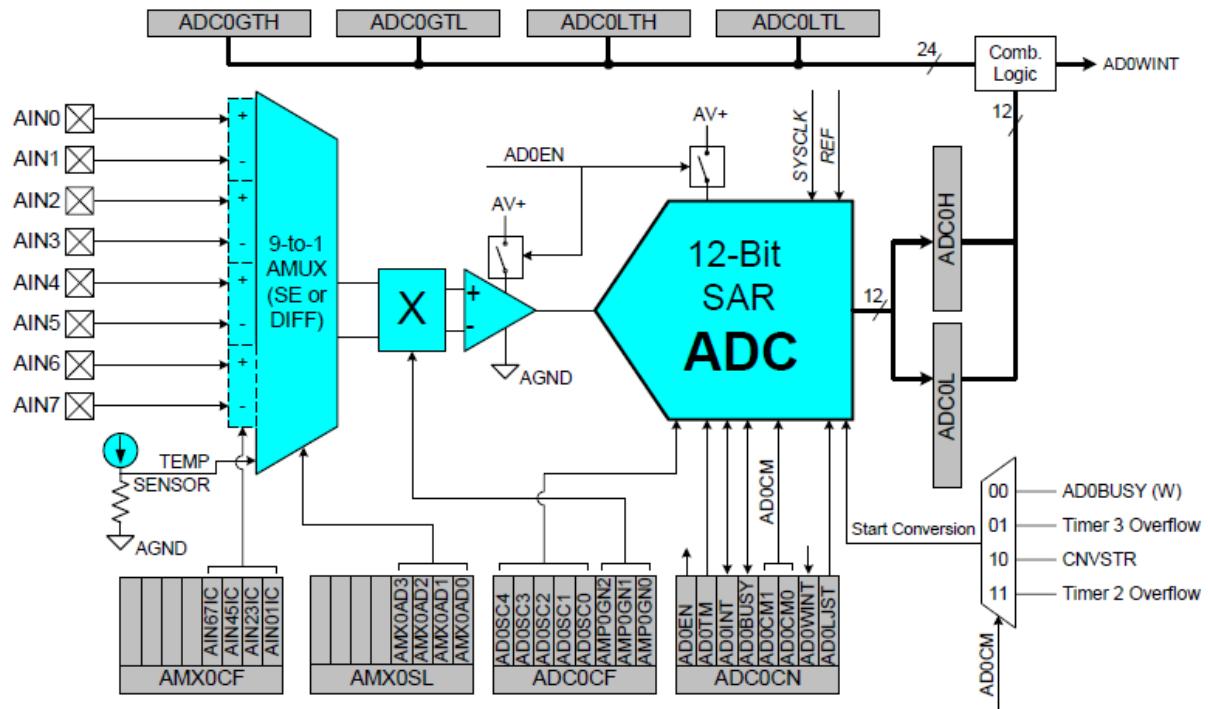
#### Mode standard d'utilisation:

- Période d'échantillonnage constante: Traitement numérique du signal possible
- Le processeur ne perd pas de temps à attendre le fin de la conversion
- Pas de problème de temps de tracking (si la commutation de voies est faite en fin d'ISR ACQ)



## 7 – Faire des tests unitaires pour valider le fonctionnement matériel et logiciel du périphérique

### Etude d'un périphérique analogique du 8051F020: L'ADC0





# 7 – ADC – Tests



Attention, les tests proposés ci-dessous ne sont qu'une suggestion

## Test de la configuration

- Vérification à l'aide du débugger le contenu des divers registres
- Contrôle matériel: VREF OK?

## Test en statique

- Visualisation registres de données – Utilisation de points d'arrêts pour tester le contenu des registres ADC0L et ADC0H après une conversion.
- En entrée de l'ADC0, placer des tensions continues. (Par exemple, 3 résistances identiques placées en série entre Vref et 0V permettent de fournir 4 points de mesure: Vref, 2/3 Vref, 1/3Vref et 0V

## Test en dynamique

- Injection de signaux périodiques à l'aide d'un générateur (attention, ne pas dépasser la plage de sécurité 0V-3,3V)
- Lancer la conversion en continue et réinjecter par logiciel sur un DAC!!! Contrôler sur oscilloscope la correspondance entre entrée ADC et sortie DAC



## Bilan – ADC



Attention aux dépendances pour la mise en œuvre de l'ADC:

- SYSCLK - Réglage de l'horloge CLK SAR
- Tension VREF de l'ADC: Vref interne? Externe? Voire DAC?
- Câblage des entrées – Conditionnement? Réglage de l'ampli interne.
- Timer 2 ou 3 si utilisation du déclenchement par Timer.



## Exemple 1 d'application – ADC0

On souhaite surveiller les vibrations sur une machine tournante à l'aide d'un accéléromètre, et déclencher une alarme si les vibrations (la valeur de l'accélération mesurée) dépassent un certain seuil.

L'accéléromètre produit un signal analogique de 0 à 500mV. Sans vibration, la valeur de la sortie de l'accéléromètre est de 250mV. En dessous de cette valeur l'accélération est négative, au dessus elle est positive. On considère qu'en dessous de 100mV ou au dessus de 350mV une alarme doit être déclenchée.

La bande passante du capteur est de 0-1KHz

Proposez une solution à l'aide du 8051F020 et de son ADC0 en utilisant un minimum le temps de calcul du processeur.



## Exemple 2 d'application – ADC0

On souhaite surveiller les vibrations sur une machine tournante à l'aide de **4 accéléromètres**, et déclencher une alarme si les vibrations (la valeur de l'accélération mesurée) dépassent un certain seuil sur au moins 1 capteur.

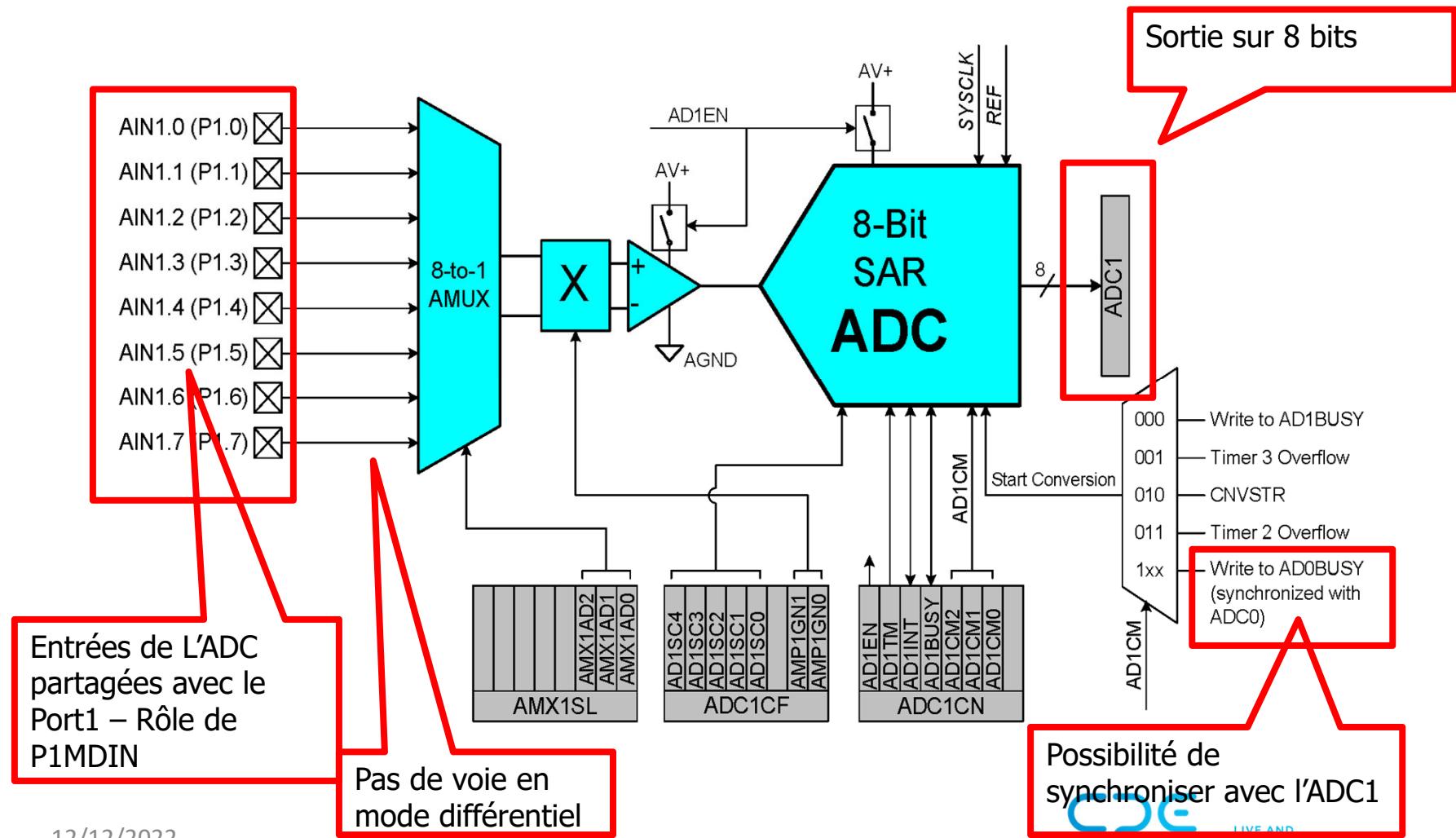
L'accéléromètre produit un signal analogique de 0 à 500mV. Sans vibration, la valeur de la sortie de l'accéléromètre est de 250mV. En dessous de cette valeur l'accélération est négative, au dessus elle est positive. On considère qu'en dessous de 100mV ou au dessus de 350mV une alarme doit être déclenchée.

La bande passante du capteur est de 0-1KHz

Proposez une solution à l'aide du 8051F020 et de son ADC0 en utilisant un minimum le temps de calcul du processeur.

## Le convertisseur Analogique-Numérique ADC1 du 8051F020

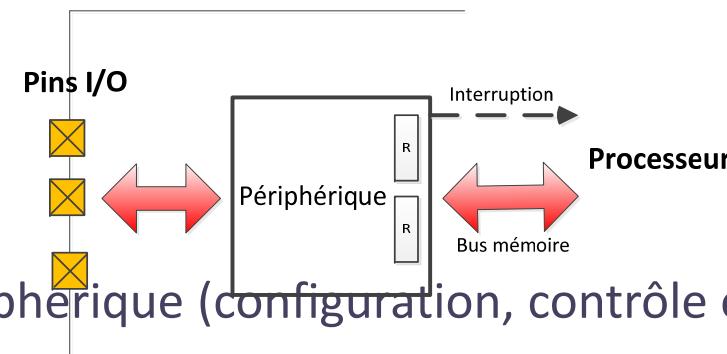
# L'ADC1 – 8 bit CAN



## Les convertisseurs Numérique - Analogique DAC0 et DAC1 du 8051F020

# DAC0 et DAC1 - Rappel de la méthodologie

1. Comprendre la fonctionnalité globale de ce type de périphérique
2. Etudier les fonctionnalités particulières de ce périphérique
  - Matériel
  - Logiciel
  - Modes de fonctionnement
3. Identifier les registres du périphérique (configuration, contrôle et donnée)
4. Identifier les contraintes matérielles
5. Coder les fonctions de configuration
6. Coder les fonctions d'utilisation
7. Faire des tests unitaires pour valider le fonctionnement matériel et logiciel du périphérique



# 1 – DAC – Fonctionnalité globale

DAC: Digital-to-Analog Converter

Il convertit une valeur numérique en une valeur analogique (tension ou courant)

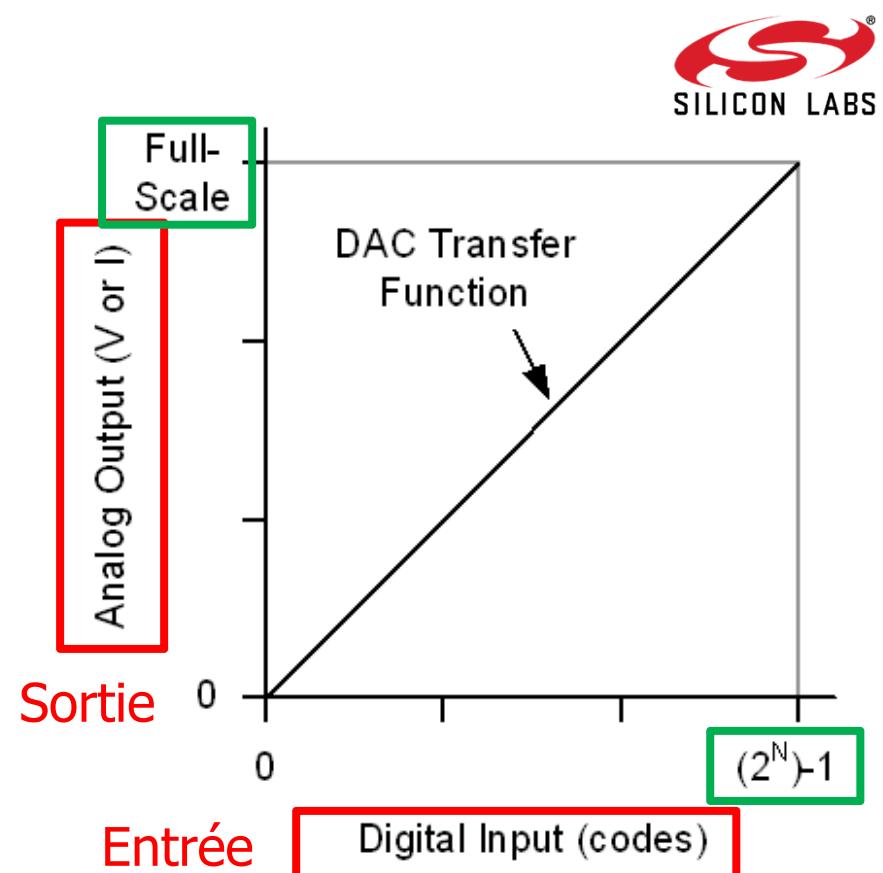
**Paramètres essentiels:**

- Type de sortie (Tension, courant)
- Résolution
- Vitesse de conversion
- Précision

**Paramètres secondaires**

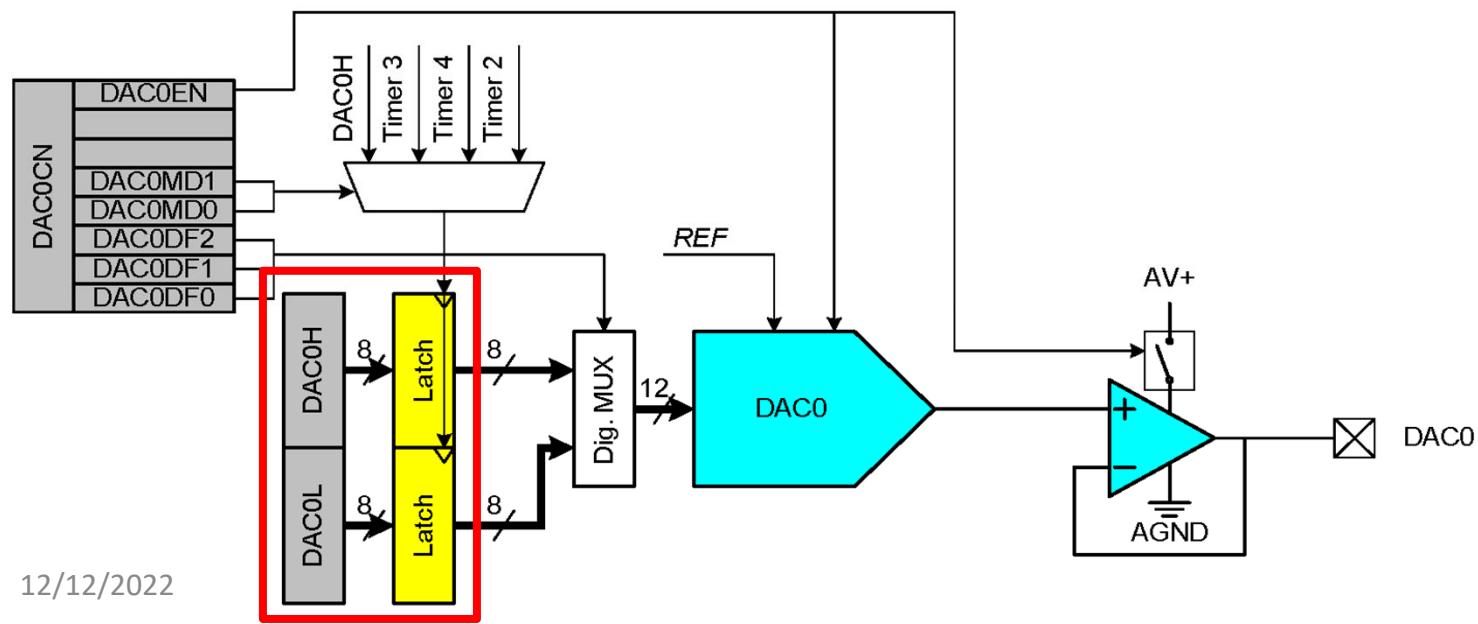
- Modes de fonctionnement
- Références: VREF, IREF?

$$V_{out} = \text{Code} * V_{ref}/2^N$$



## 2 – DAC – Spécificités DAC0

- DAC à sortie tension
- Résolution 12 bits
- Vitesse de conversion? Cf doc Temps d'établissement (Settling Time) 10 µS
- Précision (Cf doc)
- Modes de déclenchement multiples.
- Tension de référence: Voir Doc Vref



**Figure 8.4. DAC0CN: DAC0 Control Register**

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
DAC0EN	-	-	DAC0MD1	DAC0MD0	DAC0DF2	DAC0DF1	DAC0DF0	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0xD4

Bit7: DAC0EN: DAC0 Enable Bit.  
 0: DAC0 Disabled. DAC0 Output pin is disabled; DAC0 is in low-power shutdown mode.  
 1: DAC0 Enabled. DAC0 Output pin is active; DAC0 is operational.

Bits6-5: UNUSED. Read = 00b; Write = don't care.

Bits4-3: DAC0MD1-0: DAC0 Mode Bits.  
 00: DAC output updates occur on a write to DAC0H.  
 01: DAC output updates occur on Timer 3 overflow.  
 10: DAC output updates occur on Timer 4 overflow.  
 11: DAC output updates occur on Timer 2 overflow.

Bits2-0: DAC0DF2-0: DAC0 Data Format Bits:

000: The most significant nibble of the DAC0 Data Word is in DAC0H[3:0], while the least significant byte is in DAC0L.

<b>DAC0H</b>				<b>DAC0L</b>				
MSB								LSB

001: The most significant 5-bits of the DAC0 Data Word is in DAC0H[4:0], while the least significant 7-bits are in DAC0L[7:1].

<b>DAC0H</b>				<b>DAC0L</b>				
MSB								LSB

010: The most significant 6-bits of the DAC0 Data Word is in DAC0H[5:0], while the least significant 6-bits are in DAC0L[7:2].

<b>DAC0H</b>				<b>DAC0L</b>				
MSB								LSB

011: The most significant 7-bits of the DAC0 Data Word is in DAC0H[6:0], while the least significant 5-bits are in DAC0L[7:3].

<b>DAC0H</b>				<b>DAC0L</b>				
MSB								LSB

1xx: The most significant 8-bits of the DAC0 Data Word is in DAC0H[7:0], while the least significant 4-bits are in DAC0L[7:4].

<b>DAC0H</b>				<b>DAC0L</b>				
MSB								LSB



## 3 – DAC - Registres

### 3 Registres:

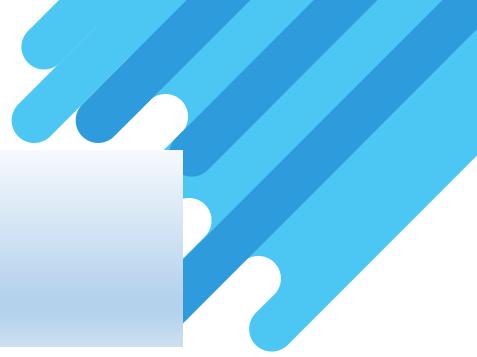
1 registre de contrôle  
DAC0CN

2 registres de données DAC0H et  
DAC0L



## 4 – DAC – Contraintes matérielles

1. Pour chaque DAC une broche de sortie dédiée.
2. Evolution de la tension de sortie de 0V à Vref
3. Câblage de Vref



## 5 – DAC – Codage des fonctions de configuration

1. Choix du format des registres d'entrée
2. Choix du mode de déclenchement de la conversion
3. Mise en route du DAC

# 6 – DAC – Codage des fonctions d'utilisation

## 2 modes d'utilisation:

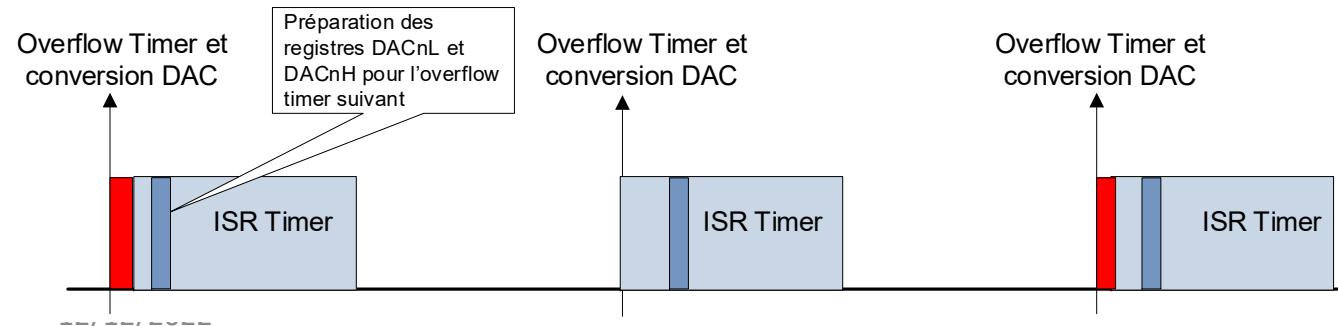
1. Déclenchement de conversion par écriture dans le registre DAC0H (ou DAC1H).

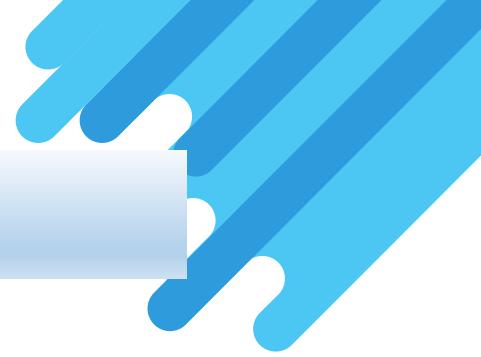
→ Ecriture obligatoire poids faible (DACnL) suivie du poids fort (DACnH)

 → Ne pas utiliser une variable registre SFR16 sur DACnL-DACnH pour déclencher la conversion (écriture poids faible en dernier).

2. Déclenchement de la conversion sur un overflow Timer (2, 3 et 4)

- Conversion à période constante





# 7 – DAC – Tests



Attention, les tests proposés ci-dessous ne sont qu'une suggestion

## Test de la configuration

- Vérification à l'aide du débugger le contenu des divers registres
- Contrôle matériel: VREF OK?

## Test en statique

- Envoi de valeurs caractéristiques (min, max, moitié...).
- Vérification des valeurs sur la sortie DAC

## Test en dynamique

- Génération de signaux périodiques « simples » tels qu'une rampe (incrément de 1 LSB à chaque conversion)



## Bilan – DAC



Attention aux dépendances pour la mise en œuvre du DAC:

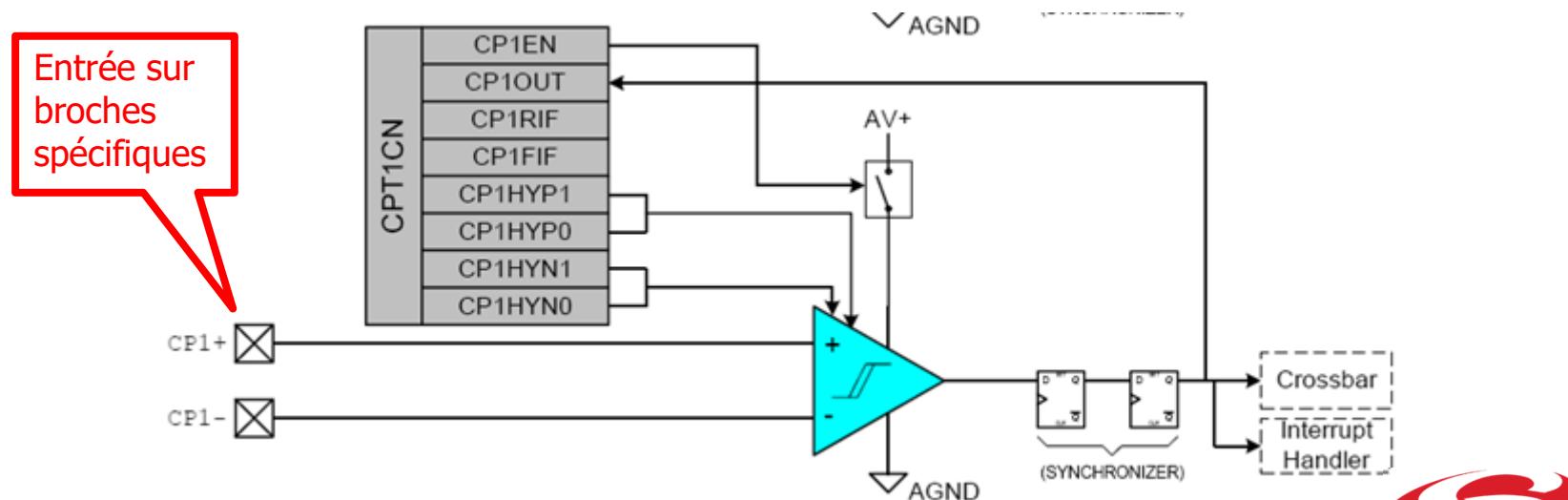
- Tension VREF de l'ADC: Vref interne (rebouclage externe) ? Externe?
- Timer 2, 3 ou 4 si utilisation du déclenchement de la conversion D/A par Timer.

# Comparateurs – Fonctionnalités globales et spécifiques

Fonctionnalités globales: 2 comparateurs analogiques disponibles

Fonctionnalités spécifiques:

- Déclenchement possible d'interruptions
- Sortie du comparateur possible sur une des broches du 8051 via le crossbar
- Réglage d'hystérésis



# Comparateurs – Les registres

Figure 11.3. CPT0CN: Comparator0 Control Register

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Reset Value
CP0EN	CP0OUT	CP0RIF	CP0FIF	CP0HYP1	CP0HYP0	CP0HYN1	CP0HYN0	00000000
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SFR Address: 0x9E

Bit7: CP0EN: Comparator0 Enable Bit.  
0: Comparator0 Disabled.  
1: Comparator0 Enabled.

Bit6: CP0OUT: Comparator0 Output State Flag.  
0: Voltage on CP0+ < CP0-.  
1: Voltage on CP0+ > CP0-.

Bit5: CP0RIF: Comparator0 Rising-Edge Interrupt Flag.  
0: No Comparator0 Rising Edge Interrupt has occurred since this flag was last cleared.  
1: Comparator0 Rising Edge Interrupt has occurred.

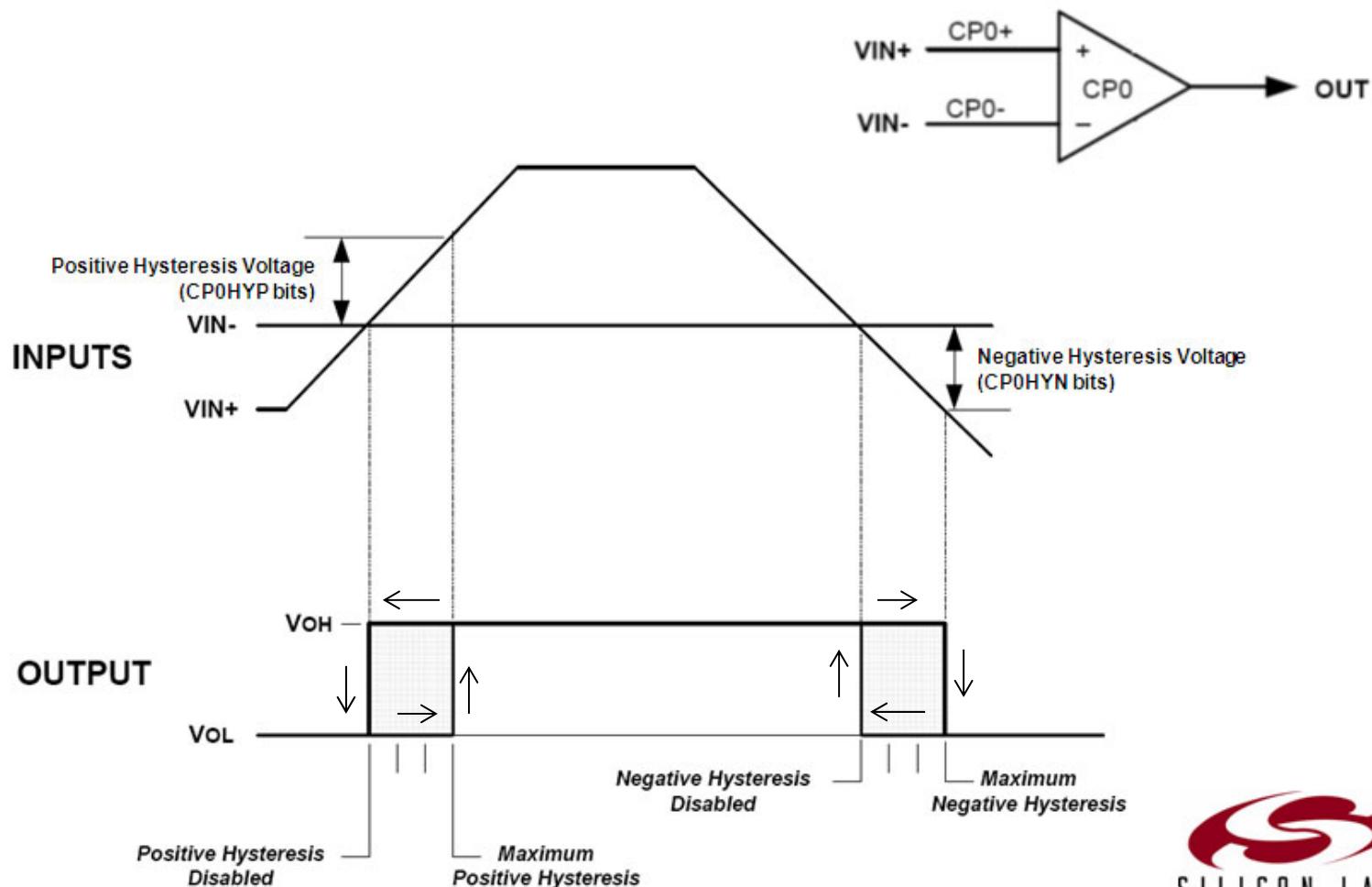
Bit4: CP0FIF: Comparator0 Falling-Edge Interrupt Flag.  
0: No Comparator0 Falling-Edge Interrupt has occurred since this flag was last cleared.  
1: Comparator0 Falling-Edge Interrupt has occurred.

Bits3-2: CP0HYP1-0: Comparator0 Positive Hysteresis Control Bits.  
00: Positive Hysteresis Disabled.  
01: Positive Hysteresis = 2 mV.  
10: Positive Hysteresis = 4 mV.  
11: Positive Hysteresis = 10 mV.

Bits1-0: CP0HYN1-0: Comparator0 Negative Hysteresis Control Bits.  
00: Negative Hysteresis Disabled.  
01: Negative Hysteresis = 2 mV.  
10: Negative Hysteresis = 4 mV.  
11: Negative Hysteresis = 10 mV.

Une source supplémentaire d'interruption externe  
Avec choix, front montant ou descendant

# Comparateurs - Hystérésis





# Comparateurs - Interruptions

Comparator 0 Falling Edge	0x0053	10	CP0FIF (CPT0CN.4)		ECP0F (EIE1.4)	PCP0F (EIP1.4)
Comparator 0 Rising Edge	0x005B	11	CP0RIF (CPT0CN.5)		ECP0R (EIE1.5)	PCP0R (EIP1.5)
Comparator 1 Falling Edge	0x0063	12	CP1FIF (CPT1CN.4)		ECP1F (EIE1.6)	PCP1F (EIP1.6)
Comparator 1 Rising Edge	0x006B	13	CP1RIF (CPT1CN.5)		ECP1R (EIE1.7)	PCP1F (EIP1.7)



Possibilité de produire des interruptions **distinctes** sur front montant et descendant pour un même signal



# Ressources documentaires

- Datasheet 8051F020 Rev 1.4 12/03
- MCU University Course Program - Silicon laboratories - « Lecture 12 (ADC) Rv01.ppt »
- MCU University Course Program - Silicon laboratories - « Lecture 11 (DAC and Comparator) Rv01.ppt »
- MCU University Course Program - Silicon laboratories - « 2- Understanding Analog Specifications Rv01.ppt »

Toutes les figures accompagnées du logo  sont issues des documents précités.



LIVE AND  
DISCOVER

## Contact

François JOLY  
Tél. : 04 72 43 13 36  
[francois.joly@cpe.fr](mailto:francois.joly@cpe.fr)

[www.cpe.fr](http://www.cpe.fr)