

Aluno: \_\_\_\_\_  
Matrícula: \_\_\_\_\_ Data: \_\_\_\_\_

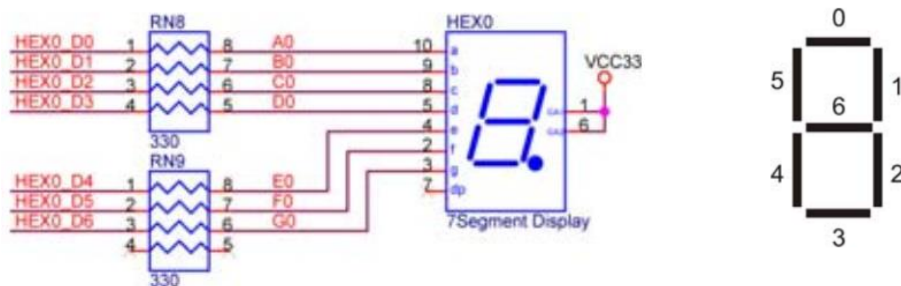
### Sprint 2 – Revisão de Verilog - Blocos construtivos

**Descrição geral do problema:** Seguindo a revisão de Verilog/SystemVerilog, implemente um circuito que conte o tempo entre 0 e 9s e mostre em um display de 7 segmentos.

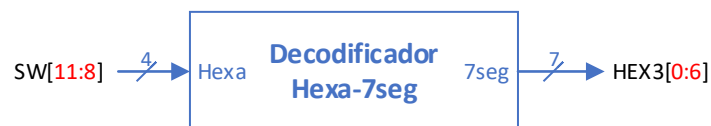
#### Requisitos mínimos:

Abra o projeto da Sprint1 e edite-o para incluir as funcionalidades dessa sprint. **Obs: “File > Open Project” e NÃO “File > Open”.**

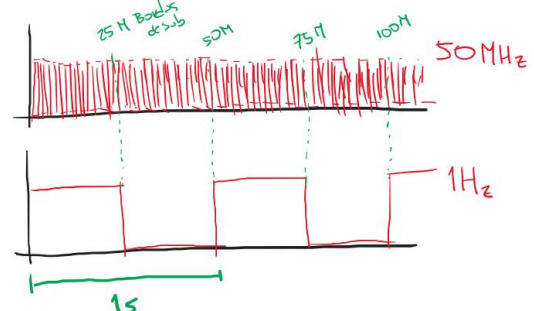
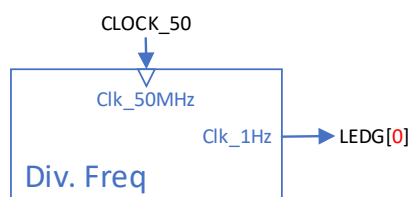
1. Faça um **assign** entre os leds do display de 7 segmentos **HEX0[0:6]** e as chaves **SW[6:0]**. Varie as chaves e observe qual segmento está associado a cada **wire** de **HEX0**.



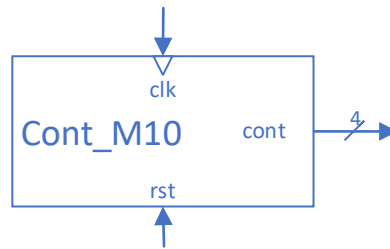
2. Projete um decodificador de hexadecimal para 7 segmentos.
  - a) Crie o decodificador em uma estrutura de módulo. Para facilitar o reuso, salve-o em um arquivo **.v/.sv** separado.
  - b) O decodificador deve possuir uma entrada de 4bits, para entrar um número em hexa e uma saída de 7bits para conectar um display de 7 segmentos e poder visualizar o dígito.
  - c) Para testar seu circuito, instancie um decodificador, no Mod\_Teste, com o seguinte mapeamento de entradas e saídas:



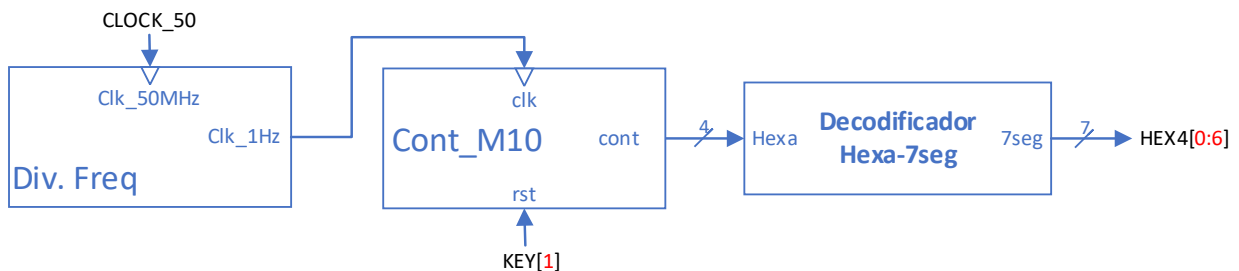
- d) Dica: pesquise sobre a estrutura **case**. Implemente a lógica de funcionamento em alto nível.
3. Implemente um módulo divisor de frequência para gerar um clock de 1Hz a partir do clock de 50MHz disponível na placa DE2 (CLOCK\_50).
    - a) Esse circuito é basicamente um contador de pulsos do clock de entrada, que inverte sua saída cada vez que uma condição é atingida.
    - b) O divisor deve possuir uma entrada de 1bit de clock (rápido, 50MHz) e uma saída de 1bit de clock (lento, 1Hz).
    - c) Para testar seu circuito, instancie um decodificador, no Mod\_Teste, com o seguinte mapeamento de entradas e saídas:



4. Implemente um contador módulo 10 para varrer, ciclicamente, os números de 0 a 9.
- a) Esse circuito deve ter uma entrada de clock, uma entrada de reset e uma saída de contagem de 4 bits. A cada borda de subida do clock, a saída de contagem deve ser incrementada em uma unidade até que seu valor seja 9. Em um clock subsequente, a saída é zerada, reiniciando a contagem. Quando a entrada de reset estiver em nível baixo, o valor de contagem também é zerado.



- b) Para testar seu módulo, implemente a seguinte montagem final, envolvendo todos os outros blocos implementados anteriormente:



- c) Caso o seu circuito passe por todos os testes, chame o professor para receber sua nota.
- d) Após o professor conferir seus testes, compacte o projeto em um .zip e submeta-o no Google Classroom da disciplina

#### Desafio (Valendo +0,1 na média geral)

1. Implemente uma animação no display HEX6, de modo que pareça que seus segmentos estejam girando a 60RPM.

