

<b>Proyecto</b>	Diseño inversor CMOS	<b>Página</b>	1/5
<b>Trabajo</b>	Análisis estático y dinámico	<b>Actualizado en:</b>	18/09/2015
<b>Versión</b>	1	<b>Revisado en:</b>	18/09/2015
<b>Diseñador</b>	López F. - Quirós.J.	<b>Revisado por:</b>	Alfonso Chacón Rodríguez

## 1. Resumen

En este documento se encontrará lo que es el proceso de diseño de un inversor CMOS de tamaño mínimo en la tecnología ON-semiconductor 0.5, en el cual se dimensionará el PMOS de acuerdo a un análisis estático (misma corriente en los transistores con tensión de inversión igual a la mitad de la alimentación) y a un análisis dinámico (menor tiempo de retardo en los tiempos de levantamiento y caída). También se harán los cálculos para encontrar la resistencia equivalente de los transistores NMOS y PMOS para la misma tecnología.

## 2. Introducción

Para el diseño del PMOS del inversor, se considera el diseño del NMOS según los parámetros mínimos del ancho y largo de canal ( $4\lambda/2\lambda$ ) en una tecnología ON-semiconductor 0.5. Para encontrar la relación que debe tener el ancho de canal PMOS con respecto al NMOS, se tomarán en cuenta dos diferentes tipos de análisis:

El análisis estático el cual se busca que la corriente de NMOS y el PMOS sea simétrica. Esto se observa en que la tensión de umbral del inversor sea la mitad de la tensión de alimentación del mismo.

Para este análisis se plantean usar las ecuaciones de Shockley para la corriente de un transistor CMOS. Esto con el fin de graficar el comportamiento ideal de un transmisor y encontrar la relación de ancho de canal entre los transistores PMOS y NMOS.

$$I_{dsn} = 0 \quad (1)$$

$$I_{dsn} = \beta_n * (w_n/l_n) * ((2 * V_{GTn}) - V_{dsn}) * V_{dsn} \quad (2)$$

$$I_{dsn} = \beta_n * (w_n/l_n) * (V_{GTn})^2 \quad (3)$$

El análisis dinámico, se dimensionará el ancho de canal del PMOS de tal forma que el tiempo que le toma al inversor pasar de un estado lógico a otro sea el menor posible, siempre y cuando el tiempo que toma de subida y bajada de nivel lógico sean simétricos.

## 3. Resultados experimentales

### 3.1. Dimensionamiento de Transistor PMOS

#### 3.1.1. Análisis estático

---

Figura 1: Graficas octate ideal vs simulacion electric

Para este análisis, primero se realizó una simulación en la plataforma de programación para cálculos matemáticos Octave, esto con el fin de tener una aproximación de la relación que debe tener el ancho de canal del PMOS con el NMOS para que la tensión de umbral del inversor  $V_{inv} = V_{dd}/2$ . Se utilizaron las

<b>Proyecto</b>	Diseño inversor CMOS	<b>Página</b>	2/5
<b>Trabajo</b>	Análisis estático y dinámico	<b>Actualizado en:</b>	18/09/2015
<b>Versión</b>	1	<b>Revisado en:</b>	18/09/2015
<b>Diseñador</b>	López F. - Quirós.J.	<b>Revisado por:</b>	Alfonso Chacón Rodríguez

Numero	Rango entrada	Región PMOS	Región NMOS
1	$V_{in} < V_{tn}$	Lineal	Corte
2	$V_{tn} \leq V_{in} < V_{inv}$	Lineal	Saturación
3	$V_{in} = V_{inv}$	Saturación	Saturación
4	$V_{inv} < V_{in} \leq V_{dd} + V_{tp}$	Saturación	Lineal
5	$V_{in} > V_{dd} + V_{tp}$	Corte	Lineal

Cuadro 1: Regiones inversor CMOS  $V_{in}$  vs  $V_{out}$

ecuaciones en región de corte (Ec.[1]), lineal (Ec.[2]) y saturación (Ec.[3] y conociendo que para ciertos rangos de valores de tensión de entrada, los transistores se encontraban en regiones de polarización específicas y la tensión de salida tenía un comportamiento particular como se muestra en la tabla 3.1.1.

Se logró la grafica [1] la cual se logró encontrar que  $r=4$  lo cual significa que el transistor PMOS debe de 4 veces más ancho que el NMOS para que las regiones sean simétricas.

Para la simulación experimental, se usó el programa Electric. En esta simulación se utilizó el archivo [2] para las constantes de la tecnología MOSIS 0.5, ya realizada la simulación del inversor (fig. [3]) con la relación de ancho de canal calculado anteriormente encontramos que la proporción de regiones en el inversor no es la esperada, por lo que se decidió volver a dimensionar el ancho de los canales con respecto a las simulaciones y encontramos que de manera experimental  $r=[4]$ ;

### 3.1.2. Análisis dinámico

## 3.2. Resistencia equivalente

### 3.2.1. Carga y descarga de un capacitor

### 3.2.2. Método de Fanout

El método de Fanout plantea encontrar la resistencia equivalente de un transistor CMOS con los valores de la capacitancia parásita en el gate y el diferencial de tiempos de caída y levantamiento que le toma al mismo pasar de un nivel lógico a otro, con 2 valores de fanout distintos. Las ecuaciones para calcular las resistencias equivalentes para PMOS y NMOS son las 4 y 5 respectivamente.

$$R_{eqp} = (2/3) * (\Delta t_r / C_g) \quad (4)$$

$$R_{eqn} = \Delta t_f / (3 * C_g) \quad (5)$$

Se realizó la simulación del circuito propuesto encontrado en la referencia [5], para valores de  $h=2$  (fig. 2) y  $h=3$  (fig. 4 con los cuales se encontraron las graficas de los retardos de la salida con respecto a la entrada (fig. 3 y fig. 5)

Luego de encontrar las gráficas (fig. 3 y fig. 5), se realizó la medición de los tiempos ya mencionados anteriormente. Aunque en la referencia [5] se habla que la medición debe hacerse entre los valores de

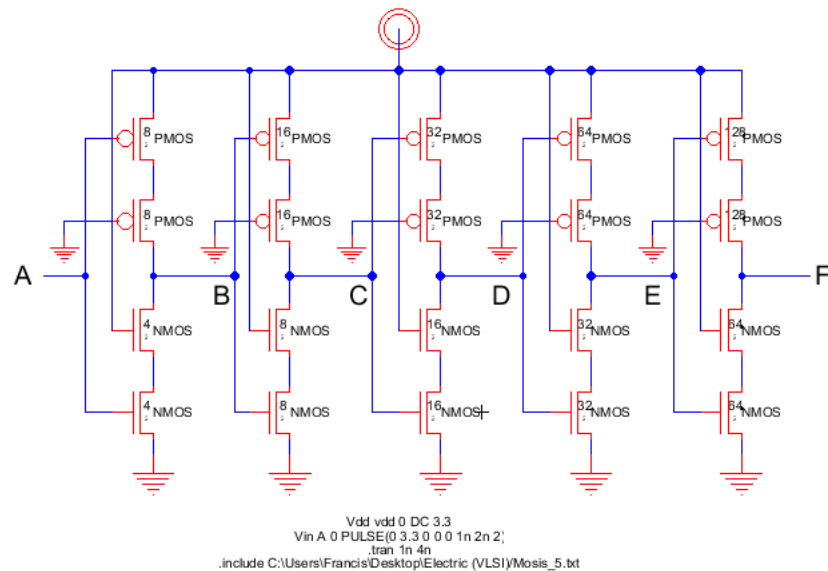


Figura 2: Circuito para calculo de  $R_{eq}$  con  $h=2$

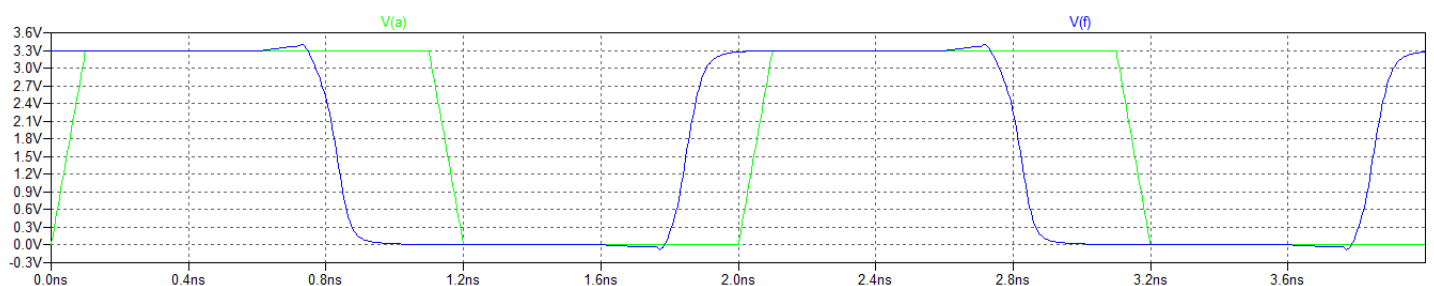


Figura 3: Gráfica tiempo  $V_{in}$  vs  $V_{out}$   $h=2$

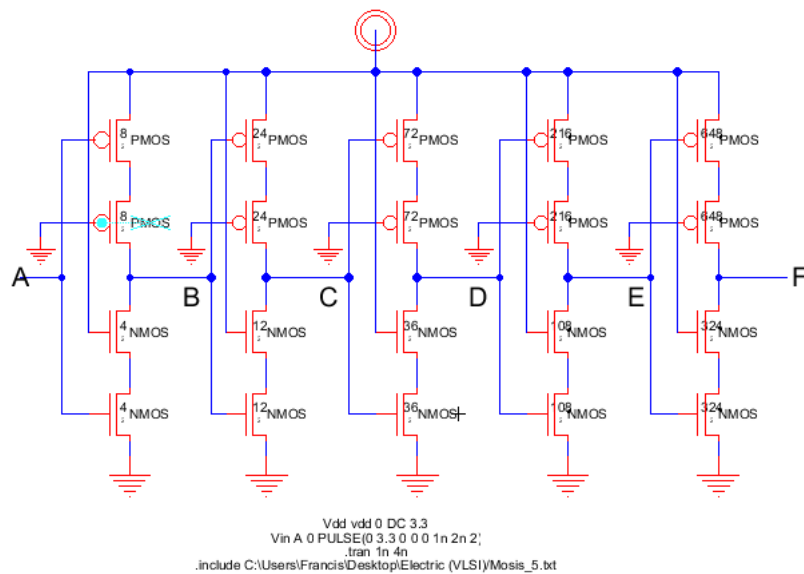


Figura 4: Circuito para calculo de  $R_{eq}$  con  $h=3$

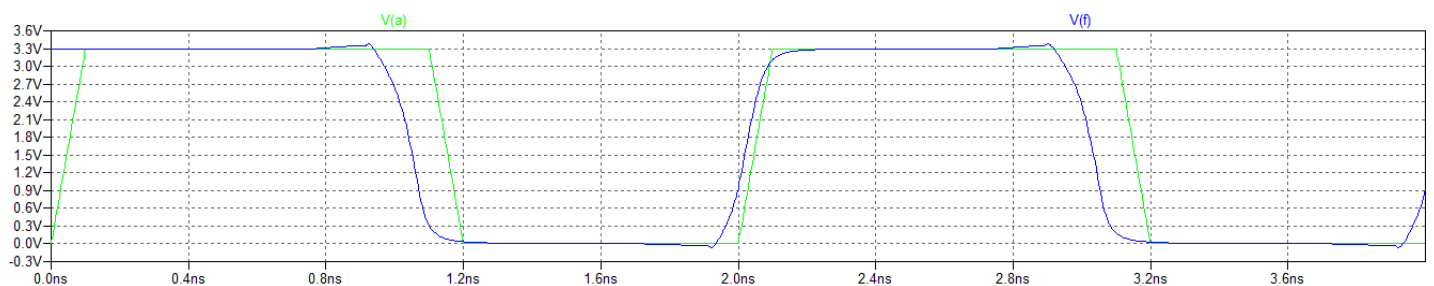


Figura 5: Gráfica tiempo  $V_{in}$  vs  $V_{out}$   $h=3$

<b>Proyecto</b>	Diseño inversor CMOS	<b>Página</b>	5/5
<b>Trabajo</b>	Análisis estático y dinámico	<b>Actualizado en:</b>	18/09/2015
<b>Versión</b>	1	<b>Revisado en:</b>	18/09/2015
<b>Diseñador</b>	López F. - Quirós.J.	<b>Revisado por:</b>	Alfonso Chacón Rodríguez

n	tr(ps)	tf(ps)
2	97.36	101.29
3	117.84	125.055
$\Delta$	20.44	23.76

Cuadro 2: Tiempos de levantamiento y caída de tensión para un inversor CMOS para diferentes Fanouts

Resistencia	k $\Omega$
$R_{eqp}$	15.375
$R_{eqn}$	9.000

Cuadro 3: Resistencias equivalentes encontradas por Método de Fanout

0,8 $V_{dd}$  a 0,2 $V_{dd}$ , se encontró que las pendientes de ambas graficas son aproximadamente iguales y no se encontraría la variación de la resistencia equivalente entre los CMOS por lo que se decidió medir de 0,9 $V_{dd}$  a 0,1 $V_{dd}$ . Se encontraron los valores mencionados en el cuadro 3.2.2.

Ya con los diferenciales de tiempos medidos, se sustituyen en 4 y 5 para encontrar la resistencia equivalente de cada transistor. Para  $C_g = 1,48fF/\mu m$  dependiente del ancho de canal de gate, se encuentra que los valores de resistencia son los del cuadro (3.2.2).

## 4. Análisis de datos y resultados

Este proyecto ha sido un éxito en el funcionamiento del controlador digital y en los circuitos acondicionadores de señal gracias a las herramientas proporcionadas, conocimientos adquiridos y metodología de trabajo que se realizaron en este laboratorio.

Los procesos de simulación tanto para los CAS como para el regulador IPD permitieron disminuir los errores que se podrían haber presentado de no haberse hecho. Para los CAS se realizaron ajustes por los valores de tolerancia de los componentes con respecto a la teoría en especial en los filtros ya que se debió ajustar las ganancias por los filtros.

## 5. Conclusiones y recomendaciones

Aquí van las conclusiones y recomendaciones del Lab.

## Referencias

C.-L.Wey and C.-P.Wang Design of a fast radix-4 SRT divider and its VLSI implementation. *IEEE Proc.-Comput. Digit. Tech.*, IEEE, July 1999. DOI: 10.1049/ip-cdt:19990524.