

Proyecto	Diseño función lógica CMOS	Página	1/17
Trabajo	Proceso de diseño	Actualizado en:	08/10/2015
Curso	VLSI	Revisado en:	09/10/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

1. Resumen

En este documento se presentan los cálculos de los tiempos de propagación y contaminación de la compuerta compuesta $F = (A + B)(C + D)$, obteniendo estos tiempos de manera analítica, mediante la teoría de esfuerzo lógico y la aproximación de Elmore, así como mediante simulación, utilizando los software *Electric* y *LTSpice*, y por último contrastando los resultados de ambos métodos. También se muestra el diseño de un trazado que usa una única tira de difusión en ambos pozos, construyendo los caminos de Euler, y dibujando el diagrama de palitos que muestra el orden de entradas, poly, las difusiones n y p , el pozo y las líneas de metal.

2. Introducción

Para el diseño de una compuerta de lógica CMOS o un conjunto de las mismas, es necesario tomar varias consideraciones para los anchos de canal de los transistores, ya sean para una optimización en potencia o para una rápida conmutación entre los niveles lógicos. En estos se debe incluir la carga que debe soportar para que los tiempos de retardo no afecten el comportamiento ideal del circuito.

Para la demostración de los pasos de diseño de una función lógica, se nos ha pedido diseñar el esquemático y el layout de la función lógica del problema 9.4 de [1] que es $F = (A + B)(C + D)$. El esquemático deberá realizarse con lógica CMOS estática.

Luego se procederá a calcular el retardo de propagación y contaminación que presenta la función, tanto de manera analítica con la aproximación de Elmore como con la teoría de esfuerzo lógico, que se evaluará con una simulación en los software *Electric* y *LTSpice* para saber si con este método se puede llegar a una aproximación bastante certera de los tiempos de retardo.

Por último, se realizará el layout del circuito y se volverá a realizar la simulación para definir los *pitch* que se usarán en la próxima tarea.

3. Resultados Experimentales.

3.1. Diseño del Trazado de una Compuerta y Diagrama de Palitos.

La función lógica a la que se le realizara el trazado y el Diagrama de Palitos es la mostrada en la Ec.1. Esta función lógica es conocida como $OAI - 22 + INV$. Para el diseño de la compuerta se utilizó álgebra booleana y se obtuvo la Ec.2.

$$F = (A + B) * (C + D) \quad (1)$$

$$\overline{F} = \overline{(A + B)} + \overline{(C + D)} \quad (2)$$

Para lo cual se hizo el esquemático mostrado en la Fig.4 y se hizo el Diagrama de Palitos mostrado en la Fig.???. En este diagrama se dibujaron tanto la compuerta $OAI22$ como el Inversor para cambiar el nivel lógico a la salida, por lo que se observa más de una tira de difusión en la parte inferior, resultado de la inclusión del Inversor en el diagrama.

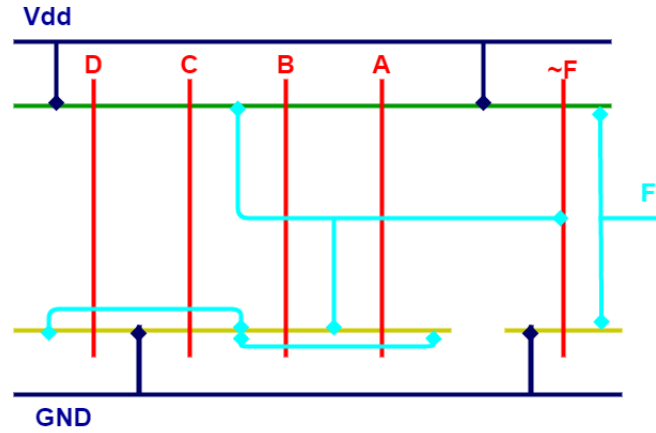


Figura 1: Diagrama de palitos de la función OAI22 + INV

3.2. Delay de Propagación y de Contaminación.

3.2.1. Método Analítico

El cálculo de los tiempos de propagación y de contaminación se realiza haciendo uso de dos métodos: la teoría del esfuerzo lógico, *logical effort*, y por el método de la aproximación de Elmore, *Elmore Delay*.

3.2.2. Método de Esfuerzo Lógico

El esfuerzo lógico se define como "la razón de la capacitancia del gate a la capacitancia de entrada de un inversor que puede entregar la misma corriente de salida.", e indica que tan mala es una compuerta produciendo una corriente de salida comparada con un inversor.

Para el cálculo del delay por medio de la teoría de esfuerzo lógico, se utilizan las formulas del cálculo del delay en redes lógicas con multiples etapas, *Multistage Logical Network*, que utiliza las siguientes formulas para el cálculo del delay:

$$G = \prod g_i \quad (3)$$

$$H = \frac{C_{out-path}}{C_{in-path}} \quad (4)$$

$$B = \prod b_i \quad (5)$$

$$F = GBH \quad (6)$$

$$P = \sum p_i \quad (7)$$

$$D = NF^{\frac{1}{N}} + P \quad (8)$$

En donde G es el esfuerzo lógico, H es el esfuerzo eléctrico, B el esfuerzo de enramado, F es el esfuerzo total, P es el delay parasítico del camino, N es la cantidad de etapas del camino y D es el delay total del camino.

La función $F=(A+B)(C+D)$ se puede representar a nivel de compuerta como se muestra en la *Fig.2*, donde se observa que la compuerta es del tipo OR-OR-AND-INV + INVERSOR, *OAI-21 + inverter*, y a partir de aquí se calcula el esfuerzo lógico de camino.

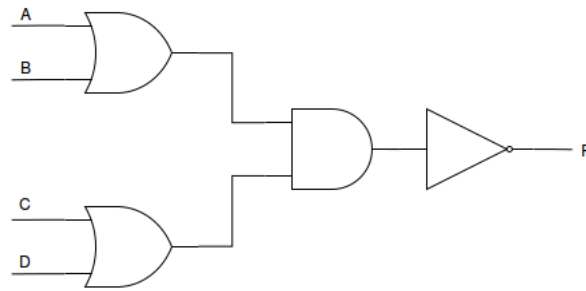


Figura 2: Compuerta *OAI-21*.

Para realizar los cálculos del esfuerzo de camino de esta función, se debe tomar en cuenta que cada entrada presenta como máximo 30λ de ancho de transistor, y que la salida debe manejar una carga equivalente de 500λ de ancho de transistor, como se muestra en la *Fig.3*. Se puede observar que en este caso el número de etapas, N , es igual a 2, por lo que haciendo uso de las ecuaciones 3, 4, 5, 6, 7, 8, se puede encontrar el delay mediante la teoría de esfuerzo lógico de cada entrada bajo estas condiciones de carga.

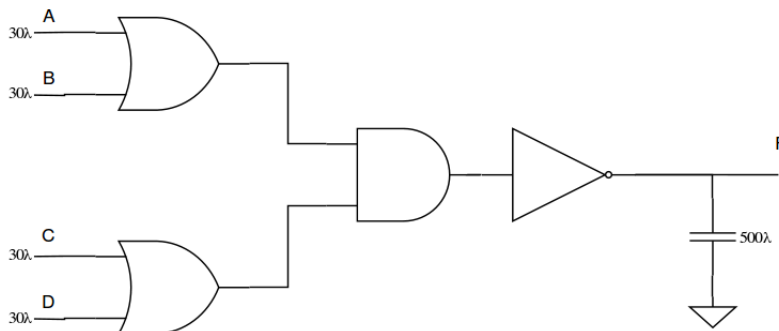


Figura 3: Compuerta *OAI-21* con Carga.

$$G = \prod g_i = \frac{6}{3} * 1 = \frac{6}{3} \quad (9)$$

$$H = \frac{C_{out-path}}{C_{in-path}} = \frac{500\lambda}{30\lambda} = \frac{50}{3} \quad (10)$$

Proyecto	Diseño función lógica CMOS	Página	5/17
Trabajo	Proceso de diseño	Actualizado en:	08/10/2015
Curso	VLSI	Revisado en:	09/10/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

$$\frac{2R}{k_p} = \frac{R}{k_n} \quad (15)$$

$$k_p + k_n = 30\lambda \quad (16)$$

Donde k_p y k_n son los anchos de los transistores p y n de cada entrada. Con este sistema de ecuaciones se obtiene que:

$$k_p = 2k_n \quad (17)$$

$$k_p + k_n = 30\lambda \quad (18)$$

$$3k_n = 30\lambda \quad (19)$$

$$k_n = 10\lambda; k_p = 20\lambda \quad (20)$$

Utilizando la *Ec.21*, se puede encontrar la capacitancia de entrada del inversor, como se muestra a continuación:

$$C_{ini} = \frac{C_{outi} * g_i}{F^{\frac{1}{N}}} \quad (21)$$

$$C_{ini} = \frac{500\lambda * 1}{5,777} = 86,6\lambda = 87\lambda \quad (22)$$

Sabiendo que la resistencia en la red de *pull-up* es el doble que la de la red de *pull-down* en el inversor de la salida, se puede encontrar las dimensiones de los anchos de los transistores en dicho inversor.

$$k_p = 2k_n \quad (23)$$

$$3k_n = 87\lambda \quad (24)$$

$$k_n = 29\lambda; k_p = 58\lambda \quad (25)$$

En la *Fig.5* se muestra la compuerta a nivel de transistores, cada uno con su respectivo valor de ancho de canal correspondiente.

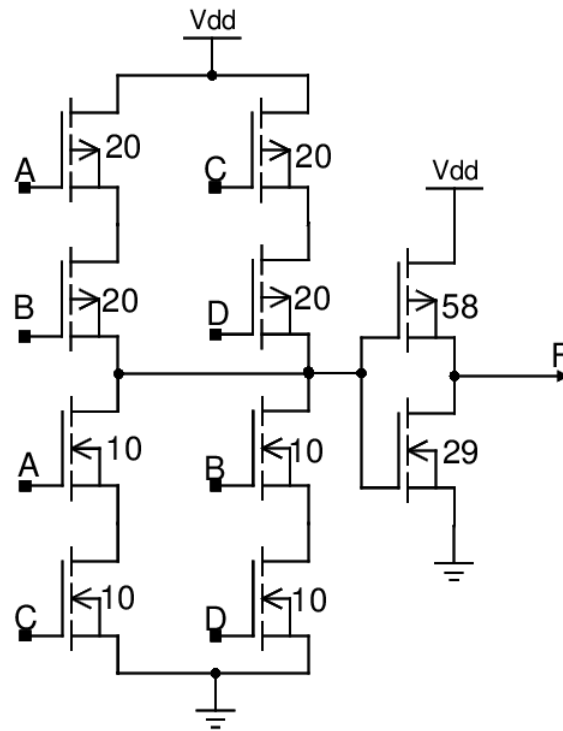


Figura 5: Esquemático de la Compuerta $F=(A+B)(C+D)$ a nivel de transistores con sus respectivas dimensiones, $L=2\lambda$.

3.2.3. Método de Aproximación de Elmore

Ahora se calcula el delay de propagación y el delay de contaminación de la compuerta $F=(A+B)(C+D)$ mediante el método de *Aproximación de Elmore*, el cuál se hace valer del modelo RC del transistor, para calcular los delays de una compuerta. El modelo de delay de *Elmore* estima el retraso desde una fuente conmutando a uno de los nodos hoja cambiantes como la suma sobre cada nodo i de la capacitancia C_i en el nodo, multiplicado por la resistencia efectiva R_{is} en el camino compartido desde la fuente hasta el nodo y la hoja, dando como resultado la ec.26:

$$t_{pd} = \sum_i R_{is} C_i \quad (26)$$

En la *Fig.6* se muestra el modelo RC completo de la compuerta, con sus capacitancias y resistencias, para la compuerta *OAI-21* y para el inversor en la salida.

Para este modelo se calculan el mejor y el peor caso para el delay, por lo que en las siguientes secciones se presentaran los cálculos y los circuitos RC de cada caso.

3.2.4. Red de Pull-Up

Antes de calcular el mejor y el peor caso de subida, primero se calcula el retraso provocado por el inversor a la salida, ya que este será el mismo para el mejor y el peor caso de subida y de bajada. En la *Fig.7* se muestra el modelo *RC* del inversor de este problema.

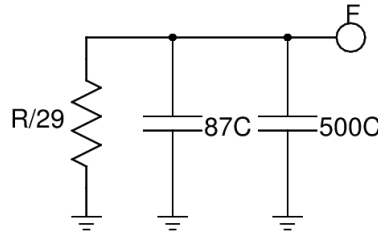


Figura 7: Modelo *RC* del Inversor.

Con este circuito se calcula el delay utilizando la *Ec.27*, obteniendo como resultado que el delay del inversor para el caso de subida y bajada es:

$$t_{pd} = \frac{R}{29}(500 + 87)C = \frac{587RC}{29} = 20,24RC \quad (27)$$

Con el delay del inversor calculado en la *Ec.27*, se procede a realizar los calculos para el mejor y peor caso de delay de subida.

En la *Fig.8* se observa que el mejor caso ocurre cuando todos los transistores de la red de *pull-up* se encuentran encendidos, o dos transistores están encendidos en la red de *pull-up*, A y B, y los dos transistores mas interiores de la red de *pull-down*, A y B, están apagados, con lo que la red de *pull-down* no contribuye al delay en ambos casos. En la *Ec.28* se muestra el cálculo del delay para el mejor caso de levantamiento:

$$t_{pdr} = \frac{20RC}{10} + \frac{147 * 2RC}{10} + t_{pdInv} = 31,4RC + 20,24RC = 51,64RC = 17,213\tau \quad (28)$$

En la *Fig.9* se observa que el peor caso ocurre cuando solo dos transistores se encendidos, C y D, y uno o los dos transistores mas interiores de la red de *pull-down* están también encendidos, por lo que la red de *pull-down* contribuye al delay. En la *Ec.29* se muestra el cálculo del delay para el peor caso de levantamiento:

$$t_{pdr} = \frac{20RC}{10} + \frac{20RC}{5} + \frac{147RC}{5} + t_{pdInv} = 35,4RC + 20,24RC = 55,64RC = 18,546\tau \quad (29)$$

3.2.5. Red de Pull-Down

En la *Fig.10* se observa el peor caso de caída en el cálculo del delay en la compuerta. En este caso se activan las entradas A y C, con un 1 lógico, en la red de *pull-down*, y se activan las entradas B y D, con un 0 lógico, en la red de *pull-up*, con lo que esta red contribuye con el delay, tal como se muestra en la *Fig.10*. En la *Ec.30* se muestra el cálculo del delay.

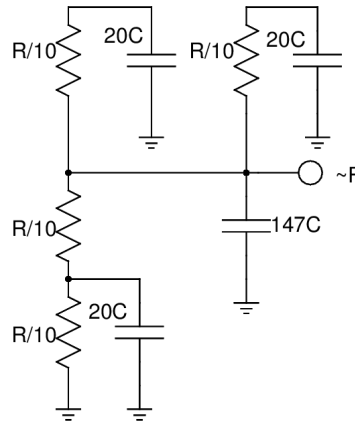


Figura 10: Peor Caso de *Fall* en el Delay de Propagación.

$$t_{pdf} = \frac{20RC}{10} + \frac{147RC}{5} + \frac{40RC}{5} + t_{pdInv} = 39,4RC + 20,24RC = 59,64RC = 19,88\tau \quad (30)$$

En la *Fig.11* se observa el mejor caso de caída en el cálculo del delay en la compuerta. En este caso se activan las entradas B y D, con un 1 lógico, en la red de *pull-down*, y por ende se desactivan las entradas B y D en la red de *pull-up*, con lo que esta red no contribuye con el delay, tal como se muestra en la *Fig.11*. En la *Ec.31* se muestra el cálculo del delay.

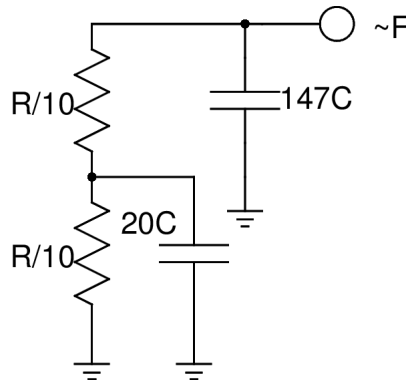


Figura 11: Mejor Caso de *Fall* en el Delay de Propagación.

$$t_{pdf} = \frac{20RC}{10} + \frac{147RC}{5} + t_{pdInv} = 31,4RC + 20,24RC = 51,64RC = 17,21\tau \quad (31)$$

3.2.6. Delay de Contaminación.

El delay de contaminación, *contamination delay*, indica que tan rápido puede conmutar la compuerta. Para este delay se procede a calcular el mejor y el peor caso de retraso de *raise* y *fall*.

En la *Fig.12* se muestra el mejor caso de delay de contaminación de levantamiento, que se da cuando todos los transistores de la red de *pull-up* se encienden simultáneamente. En la *Ec.32* se muestra el resultado de calcular el delay de contaminación para el mejor caso de levantamiento.

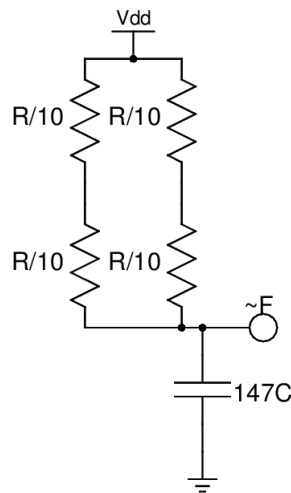


Figura 12: Mejor Caso de *Rise* en el Delay de Contaminación.

$$t_{cdr} = \frac{147RC}{10} + t_{pcdInv} = 14,7RC + \frac{500RC}{29} = 31,94RC = 10,65\tau \quad (32)$$

Para el peor caso de delay de contaminación de levantamiento, el peor caso ocurre cuando solo una rama de la red de *pull-up* se encuentra encendida, como se muestra en la *Fig.13*. En la *Ec.33* se muestra el resultado del cálculo del delay de contaminación.

$$t_{cdr} = \frac{147RC}{5} + t_{pcdInv} = 29,4RC + \frac{500RC}{29} = 46,64RC = 15,55\tau \quad (33)$$

En el caso del delay de contaminación de caída, el mejor caso corresponde cuando los transistores más externos están encendidos y se encienden los dos más internos. Así la capacitancia del nodo inferior

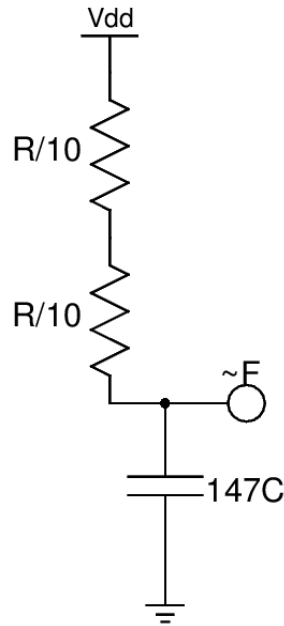


Figura 13: Peor Caso de *Rise* en el Delay de Contaminación.

está descargada y no contribuye al delay. El circuito RC correspondiente a este caso se observa en la *Fig.14*, donde ya se han hecho las reducciones de resistencias correspondientes, y en la *Ec.34* se muestran los resultados del cálculo.

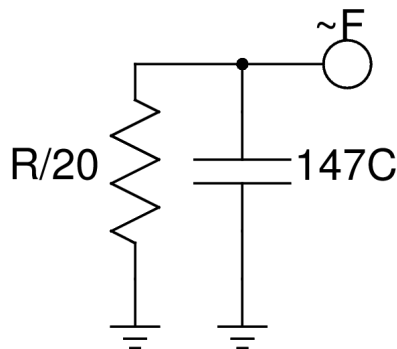


Figura 14: Mejor Caso de *Fall* en el Delay de Contaminación.

$$t_{cdf} = \frac{147RC}{10} + t_{pcdInv} = 14,7RC + \frac{500RC}{29} = 31,94RC = 10,65\tau \quad (34)$$

El peor caso para el delay de contaminación de caída, se muestra en la *Fig.15*, en donde solo dos transistores de la red de *pull-down* permiten la descarga de la capacitancia de carga. En la *Ec.35* se muestra el cálculo del delay de contaminación de caída en el peor caso.

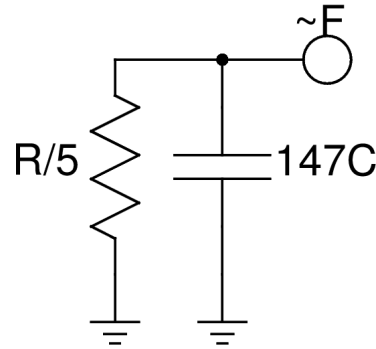


Figura 15: Peor Caso de *Fall* en el Delay de Contaminación.

Tiempo	Mejor Caso (τ)	Peor Caso (τ)
tpdr	17.213	18.546
tpdf	17.21	19.88
tcd	10.65	15.55
tcd	10.65	15.55
Esf. Lógico	16.54	

Cuadro 1: Tiempos de Retardo de Propagación y de Contaminación Analíticos.

$$t_{cdf} = \frac{147RC}{5} + t_{pcdInv} = 29,4RC + \frac{500RC}{29} = 46,4RC = 15,55\tau \quad (35)$$

3.2.7. Simulación de Retardos de Propagación

A partir de la *Ec.1* y de las constantes calculadas y encontradas en el informe anterior para el dimensionamiento de los transistores para tiempos de retardo y levantamiento simétrico de los niveles lógicos encontramos que para una carga de entrada de 30λ y una carga de salida de 500λ se encontró que el ancho de canal de los transistores equivalentes son los mostrados en la Tabla 3.2.7 y el circuito es el mostrado en la *Fig.16*.

Compuerta	Ancho nmos (λ)	Ancho pmos (λ)
OAI22	11.11	18.88
Inv	32.22	58.17

Cuadro 2: Anchos de canal dimensionados para el *OAI22 + inv*

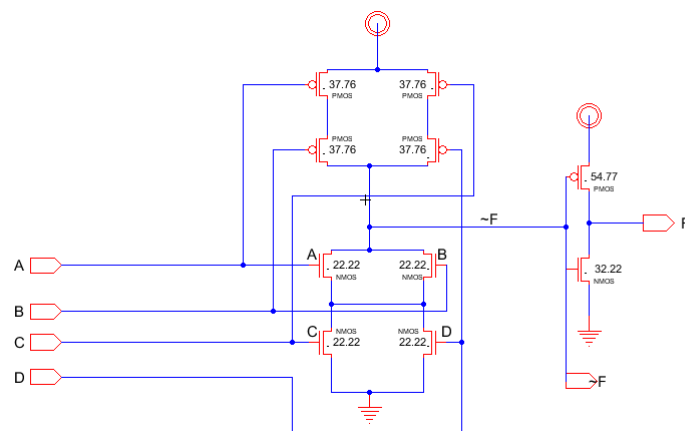


Figura 16: Compuerta *Circuito simulado en el eléctrico*

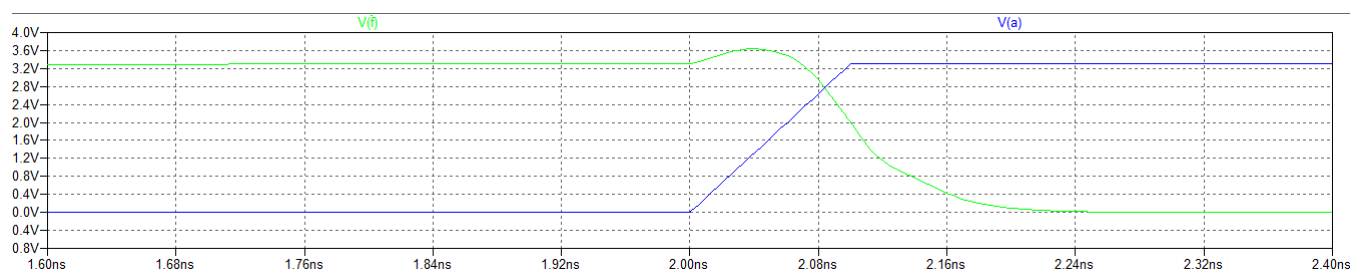


Figura 17: Gráfica para mejor caso del NMOS

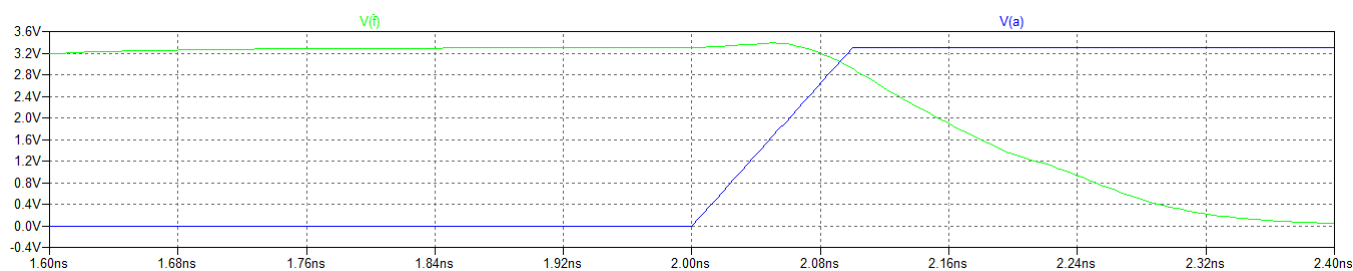
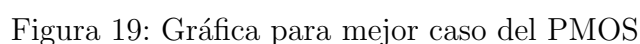


Figura 18: Gráfica para peor caso del NMOS

Tiempo	Mejor tiempo (ps)	Peor tiempo (ps)
tr	79.4	147.4
tf	58.6	129.5

Cuadro 3: Tiempos de retardo de propagación simulados en Electric



También se realizó una simulación del mismo con la rutina que se muestra en la figura 22 en la cual se simulará el mejor caso para la red de NMOS. El resultado se encuentra en la figura 23.

Conforme a los datos simulados experimentalmente, los tiempos de propagación de subida y bajada de los niveles lógicos sob aproximadamente cercanos pero no lo suficiente para ser simétricos. En comparación con la teoría de esfuerzo lógico, vemos que los valores son bastante aproximados.

Proyecto	Diseño función lógica CMOS	Página	17/17
Trabajo	Proceso de diseño	Actualizado en:	08/10/2015
Curso	VLSI	Revisado en:	09/10/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

Por último. Con la creación del layout fue bastante útil utilizar las técnicas de los caminos de Euler y el diagrama de palitos para crear el mismo. Vemos que al simular el layout, la gráfica muestra un mejor comportamiento a como se simuló en el esquemático.

5. Conclusiones.

- Los retardos de fall son mas lentos que los de rise, debido a la movilidad de los portadores presentes en cada red.
- En el diseño de una compuerta, el método de esfuerzo lógico es necesario para poder dimensionar los transistores, mientras que el método de Elmore permite el análisis de los casos de delay de la compuerta.
- La teoría del esfuerzo lógico y sus cálculos nos dan una buena aproximación para determinar una buena aproximación con los tiempos de retardo
- Las técnicas de los caminos de Euler y el diseño del diagrama de palitos llega a ser muy útil para la creación de los layouts.

Referencias

- [1] N. Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective , 4 edition.. *Boston: Addison-Wesley*, 2010.
- [2] J. Rabaey, A. Chandrakasan y B. Nikolic. Digital Integrated Circuits: A Design Perspective.. *Prentice Hall*, 2005.
- [3] Test Data .On SemiconductorC5.Mosis. Recompilado de: http://www.ie.itcr.ac.cr/achacon/Intro_Diseno_CI/Modelos_Spice_MOSIS/v03m-params.txt, el 07/09/2015