

<b>Proyecto</b>	Diseño inversor CMOS	<b>Página</b>	1/13
<b>Trabajo</b>	Análisis estático y dinámico	<b>Actualizado en:</b>	25/09/2015
<b>Curso</b>	VLSI	<b>Revisado en:</b>	18/09/2015
<b>Diseñador</b>	López F. - Quirós.J.	<b>Revisado por:</b>	Alfonso Chacón Rodríguez

## 1. Resumen

En este documento se encontrará el proceso de diseño de un inversor CMOS de tamaño mínimo en la tecnología *ON-semiconductor 0.5*, en el cual se dimensionará el *PMOS* de acuerdo a un análisis estático (misma corriente en los transistores con tensión de inversión igual a la mitad de la alimentación) y a un análisis dinámico (menor tiempo de retardo en los tiempos de levantamiento y caída). También se harán los cálculos para encontrar la resistencia equivalente de los transistores *NMOS* y *PMOS* para la misma tecnología.

## 2. Introducción

Para el diseño del *PMOS* del inversor, se considera el diseño del *NMOS* según los parámetros mínimos del ancho y largo de canal ( $4\lambda/2\lambda$ ) en una tecnología *ON-semiconductor 0.5*. Para encontrar la relación que debe tener el ancho de canal *PMOS* con respecto al *NMOS*, se tomarán en cuenta dos diferentes tipos de análisis:

El análisis estático el cual se busca que la corriente de *NMOS* y el *PMOS* sea simétrica. Esto se observa en que la tensión de umbral del inversor sea la mitad de la tensión de alimentación del mismo.

Para este análisis se plantean usar las ecuaciones de *Shockley* para la corriente de un transistor *CMOS*. Esto con el fin de graficar el comportamiento ideal de un transmisor y encontrar la relación de ancho de canal entre los transistores *PMOS* y *NMOS*.

$$I_{dsn} = 0 \quad (1)$$

$$I_{dsn} = \beta_n * (w_n/l_n) * ((2 * V_{GTn}) - V_{dsn}) * V_{dsn} \quad (2)$$

$$I_{dsn} = \beta_n * (w_n/l_n) * (V_{GTn})^2 \quad (3)$$

El análisis dinámico, se dimensionará el ancho de canal del *PMOS* de tal forma que el tiempo que le toma al inversor pasar de un estado lógico a otro sea el menor posible, siempre y cuando el tiempo que toma de subida y bajada de nivel lógico sean simétricos.

## 3. Resultados experimentales

### 3.1. Dimensionamiento de Transistor PMOS

#### 3.1.1. Análisis estático

Para este análisis, primero se realizó una simulación en la plataforma de programación para cálculos matemáticos *Octave*, esto con el fin de tener una aproximación de la relación que debe tener el ancho de canal del *PMOS* con el *NMOS* para que la tensión de umbral del inversor  $V_{inv} = V_{dd}/2$ . Se utilizaron las ecuaciones en región de corte (Ec.[1]), lineal (Ec.[2]) y saturación (Ec.[3]) y conociendo que para ciertos rangos de valores de tensión de entrada, los transistores se encontraban en regiones de polarización específicas y la tensión de salida tenía un comportamiento particular como se muestra en la tabla 3.1.1.

Numero	Rango entrada	Región PMOS	Región NMOS
1	$V_{in} < V_{tn}$	Lineal	Corte
2	$V_{tn} \leq V_{in} < V_{inv}$	Lineal	Saturación
3	$V_{in} = V_{inv}$	Saturación	Saturación
4	$V_{inv} < V_{in} \leq V_{dd} + V_{tp}$	Saturación	Lineal
5	$V_{in} > V_{dd} + V_{tp}$	Corte	Lineal

Cuadro 1: Regiones inversor CMOS  $V_{in}$  vs  $V_{out}$

El análisis que se realizó con el software *Octave* arrojó la gráfica que se muestra en la fig.1, la cual dio como resultado que la relación de  $\beta$  es de  $r=4$ , lo cual significa que el transistor *PMOS* debe de ser 4 veces más ancho que el *NMOS* para que las regiones sean simétricas.

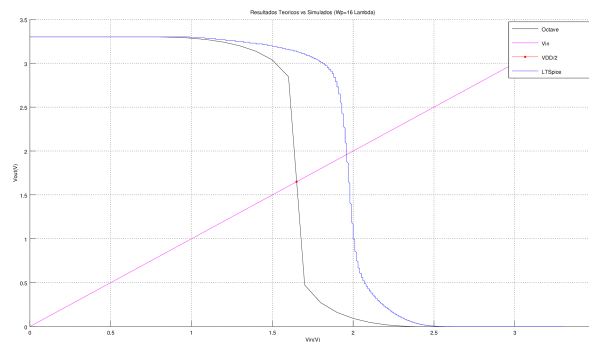


Figura 1: Gráficas *Octave* Ideal vs Simulación *Electric*

Para la simulación experimental, se usó el programa *Electric*. En esta simulación se utilizó el archivo *Mosis\_5* para las constantes de la tecnología MOSIS 0.5. Ya realizada la simulación del inversor (fig.2) con la relación de ancho de canal calculado anteriormente encontramos que la proporción de regiones en el inversor no es la esperada, por lo que se decidió volver a dimensionar el ancho de los canales con respecto a las simulaciones y encontramos que de manera experimental la relación correcta es  $r=1.575$ .

### 3.1.2. Análisis Dinámico.

En este método se determina el valor del ancho de canal del transistor *PMOS*, de manera que el tiempo de propagación sea mínimo, y que los tiempos de propagación de la señal de alto a bajo y viceversa sean simétricos, suponiendo que el inversor tiene una carga conectada igual así mismo. Se debe tener en consideración que aumentar el ancho del canal en el transistor *PMOS* mejora el parámetro  $t_{plh}$ , pero también degrada el  $t_{phl}$ , esto debido a que aumenta la corriente de carga en el carga en el transistor, pero también aumenta el valor de las capacitancias parásitas del dispositivo.

Para obtener una relación óptima de tamaños entre el *PMOS* y el *NMOS* que permita mejorar el retardo de propagación de subida y bajada, se utiliza la siguiente fórmula:

$$\beta = \sqrt{r} \quad (4)$$

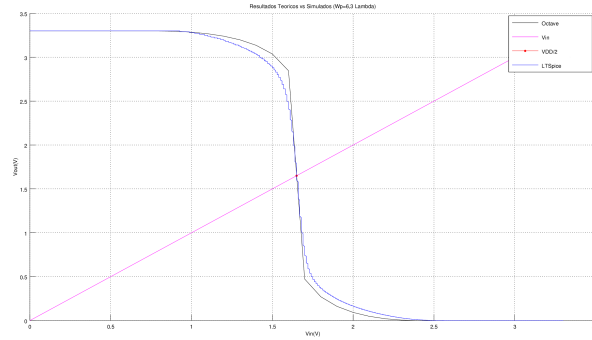


Figura 2: Graficas *Octate* Ideal vs Simulación Ajustada *Electric*

$$r = \frac{Req_P}{Req_N} \quad (5)$$

Los valores de resistencia utilizados para calcular  $\beta$ , son los calculados en el apartado 2 de esta tarea, específicamente del método de variación del *fanout*, esto debido a que con este método se obtienen valores más cercanos a los esperados. De la ecuación se obtiene que:

$$\beta = \sqrt{\frac{15,375k\Omega}{9,0k\Omega}} = 1,3070 \quad (6)$$

Y sabiendo que:

$$\beta = \frac{(\frac{W}{l})_P}{(\frac{W}{l})_N} \quad (7)$$

$$\beta = \frac{W_P}{W_N} \quad (8)$$

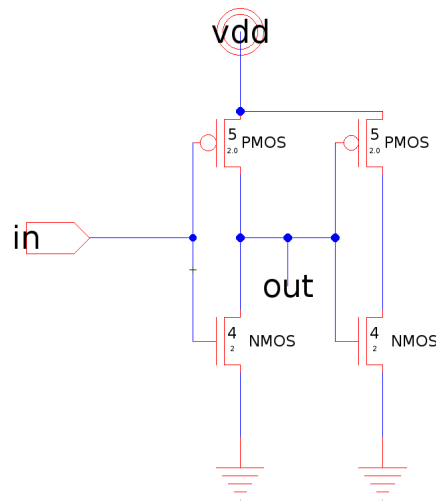
$$W_P = 1,3070 * W_N = 5\lambda \quad (9)$$

También se calculan los tiempos teóricos de de propagación del inversor, mediante el modelo de *delay RC* aplicado al inversor.

$$t_{plh} = 0,69 * Req_P * C_L = 15,38ps \quad (10)$$

$$t_{phl} = 0,69 * Req_N * C_L = 9,00ps \quad (11)$$

Con el tamaño del ancho del canal del *PMOS* calculado, se procede a simular el circuito que se muestra en la fig.3 haciendo uso de los software *ELectric* y *LTSpice*, para poder encontrar los tiempos de propagación.



```

vdd vdd 0 DC 3.3
vin in 0 PULSE(0 3.3 0 0.1p 0.1p 1n 2n)
.tran 0 4n 0 1n
.Include /home/jeffryqf/TEC/II_Semestre_2015/VLSI/RepositorioTarea/VLSI/Simulacion_Electric/Mosis_5.tx

```

Figura 3: Inversor con una carga igual a si mismo.

A partir de la simulación del circuito, se puede observar en la fig.4, las gráficas obtenidas en *LTSpice* de los tiempos de propagación de la señal.

A partir de esta simulación, y ajustando los valores en *LTSpice*, se obtiene que el ancho apropiado del canal del transistor *PMOS* es de  $6\lambda$ , obteniendo con este ajuste los siguientes valores de tiempos de propagación:

$$t_{phl} = 60,8725ps \quad (12)$$

$$t_{phl} = 66,273ps \quad (13)$$

Con estos valores se observa que los tiempos son bastantes cercanos, con una diferencia de  $5.4005ps$ , dando como resultado que los tiempos de propagación sean bastante simétricos.

En contraposición con los valores calculados, los valores experimentales presentan un tiempo de propagación mayor, pero con un porcentaje de diferencia de apenas un  $8\%$ , mientras que los valores calculados presentan un porcentaje de diferencia de  $70\%$ , por lo que los resultados experimentales demuestran ser más simétricos que los teóricos.

Con ayuda del software matemático *Octave*, se procede ahora a comparar las curvas de transferencia que se obtuvieron en este punto, con la obtenida en el punto anterior. Los resultados se observan en la fig.5.

En la fig.5 se puede observar que la nueva curva de transferencia, de color azul, no tiene una tensión de umbral exactamente en  $1.65V$ , pero no se aleja demasiado de ese valor, por lo que es una aproximación

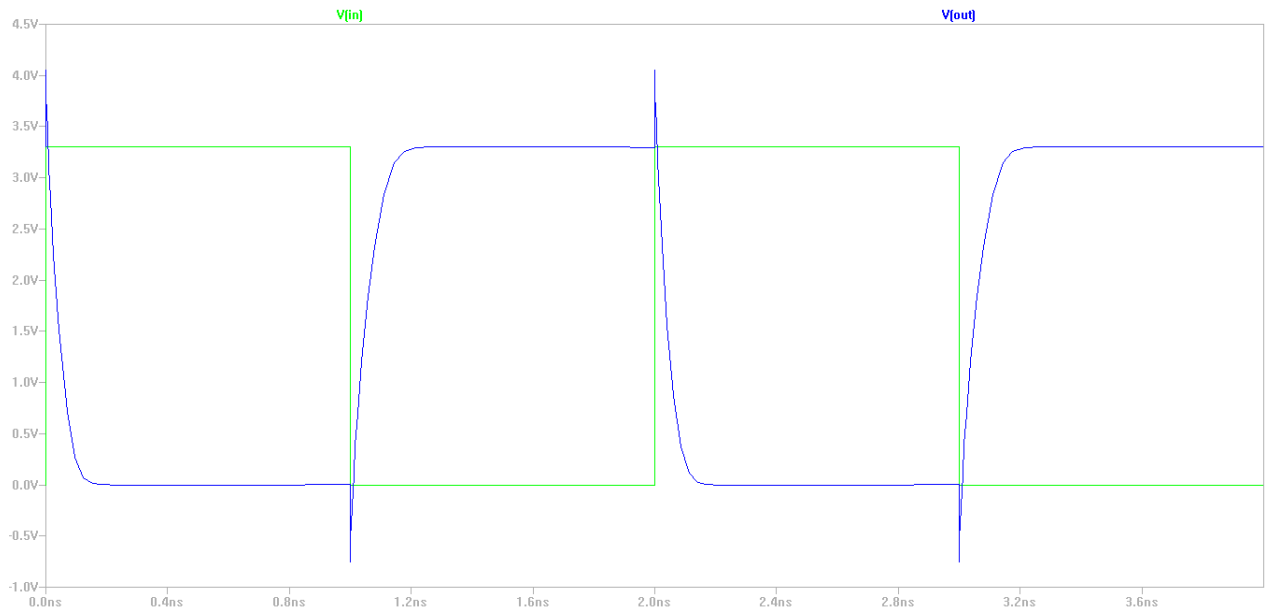


Figura 4: Simulación de tiempos de retardo en un inversor.

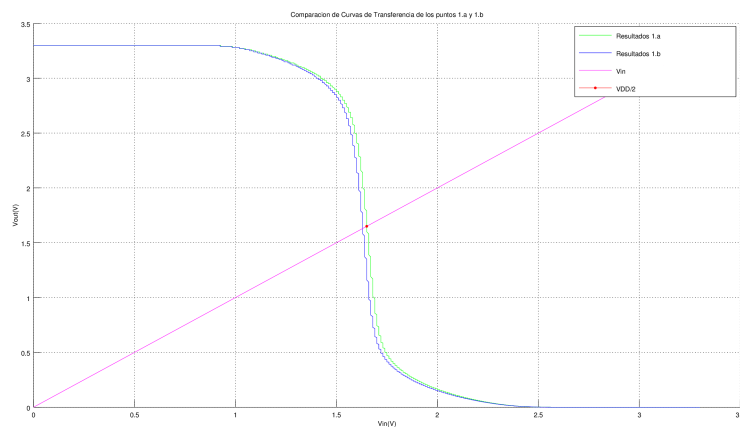


Figura 5: Curvas de transferencia DC obtenidas en el punto 1.a y 1b.

aceptable.

A continuación se procede a comparar las mediciones de las corriente de corto circuito obtenidas en el punto 1.a y 1.b, graficando dichas mediciones en *Octave*. En la fig.6 se observan las 2 curvas obtenidas transpuestas.

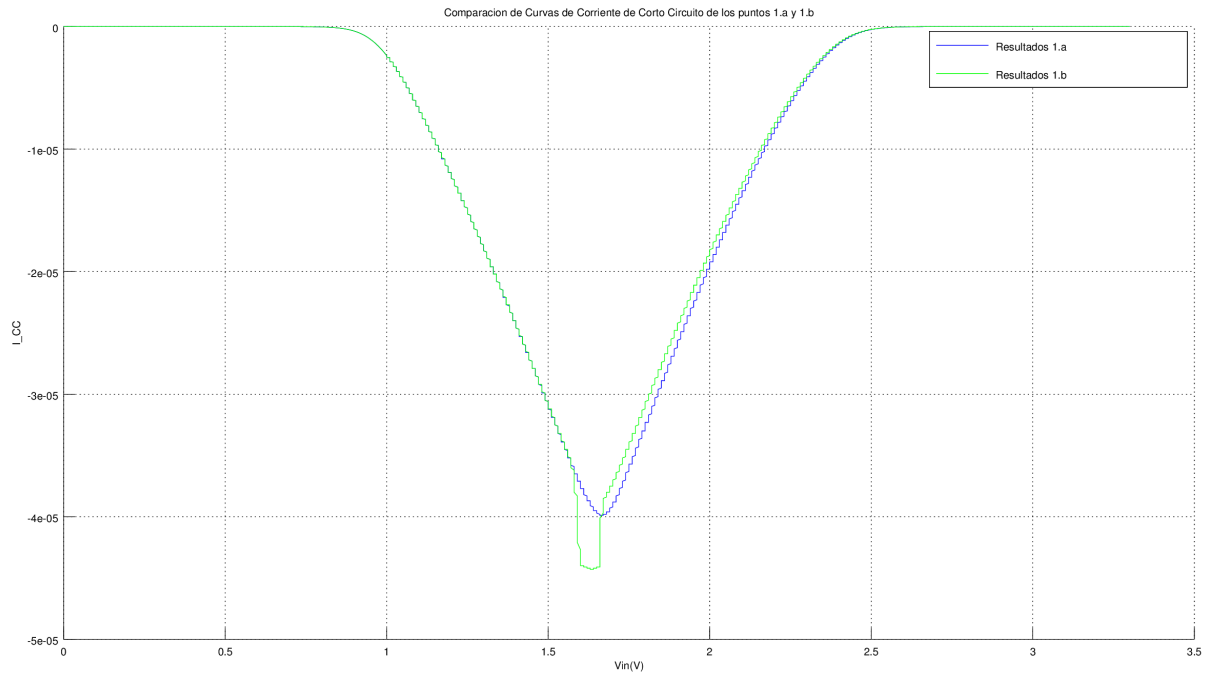


Figura 6: Corriente de Corto Circuito de los puntos 1.a y 1.b

### 3.2. Cálculo de Resistencias de Canal

El cálculo de la resistencia de canal para un transistor *PMOS* y *NMOS* se realizará utilizando dos métodos diferentes.

En el primer método se coloca una capacitancia de descarga en paralelo con el transistor *NMOS*, y una de carga en serie con el transistor *PMOS*, con el objetivo de obtener las curvas de comportamiento de la corriente  $I_d$ , mientras se descarga o carga un capacitor, respectivamente. En el caso de descarga la tensión del *drain* del transistor *NMOS* deberá moverse de  $V_{DD} \rightarrow V_{DD}/2$ . En el caso de carga la tensión del *drain* del transistor *PMOS* deberá moverse de  $0 \rightarrow V_{DD}/2$ .

El tamaño de dicha capacitancia debe ser lo suficientemente grande como para despreciar el efecto de las capacitancias parásitas del transistor. Una vez obtenidas las curvas de la corriente, se calcula el promedio de valores de resistencia, mientras la tensión se mueve de  $V_{DD} \rightarrow V_{DD}/2$  o de  $0 \rightarrow V_{DD}/2$ , dependiendo del caso.

<b>Proyecto</b>	Diseño inversor CMOS	<b>Página</b>	7/13
<b>Trabajo</b>	Análisis estático y dinámico	<b>Actualizado en:</b>	25/09/2015
<b>Curso</b>	VLSI	<b>Revisado en:</b>	18/09/2015
<b>Diseñador</b>	López F. - Quirós.J.	<b>Revisado por:</b>	Alfonso Chacón Rodríguez

En el segundo método se buscarán los tiempos de levantamiento y caída de los transistores NMOS y PMOS para 2 valores distintos de Fanouts, esto con el objetivo de eliminar de los cálculos las capacitancias parásita que posee en el drain y el cálculo de la resistencia dependa solamente de los diferenciales de tiempos entre los Fanouts y la capacitancia de Gate.

### 3.2.1. Carga y descarga de un capacitor

Para el cálculo de las resistencias de canal de cada transistor, se utilizó una capacitancia de carga y descarga de  $1pF$ , se montaron los circuitos de las figuras 7 y 8 en el software *Electric* y se simuló los resultados en *LTSpice*, obteniendo las curvas que se observan en las figuras 9 y 10, para el caso de carga y descarga, respectivamente.

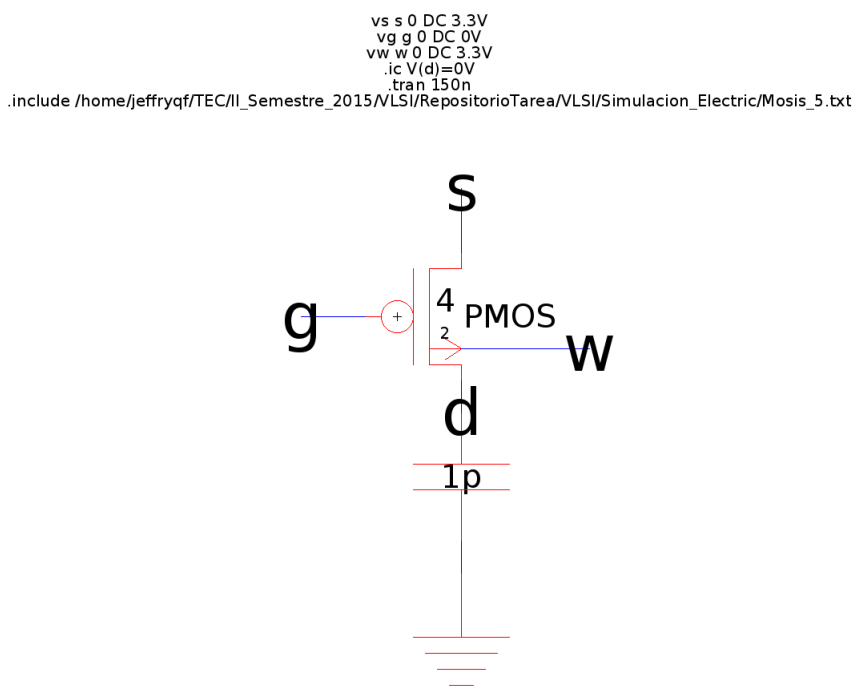


Figura 7: Circuito de Carga de Capacitor.

Utilizando un pequeño script en *Octave*, se procesan los puntos obtenidos en estas gráficas y se calculan las resistencias de canal promedio de cada transistor, obteniendo los siguientes resultados:

$$Req_P = 8,7860k\Omega \quad (14)$$

$$Req_N = 2,6919k\Omega \quad (15)$$

### 3.2.2. Método de Fanout

El método de Fanout plantea encontrar la resistencia equivalente de un transistor *CMOS* con los valores de la capacitancia parásita en el gate y el diferencial de tiempos de caída y levantamiento que le toma

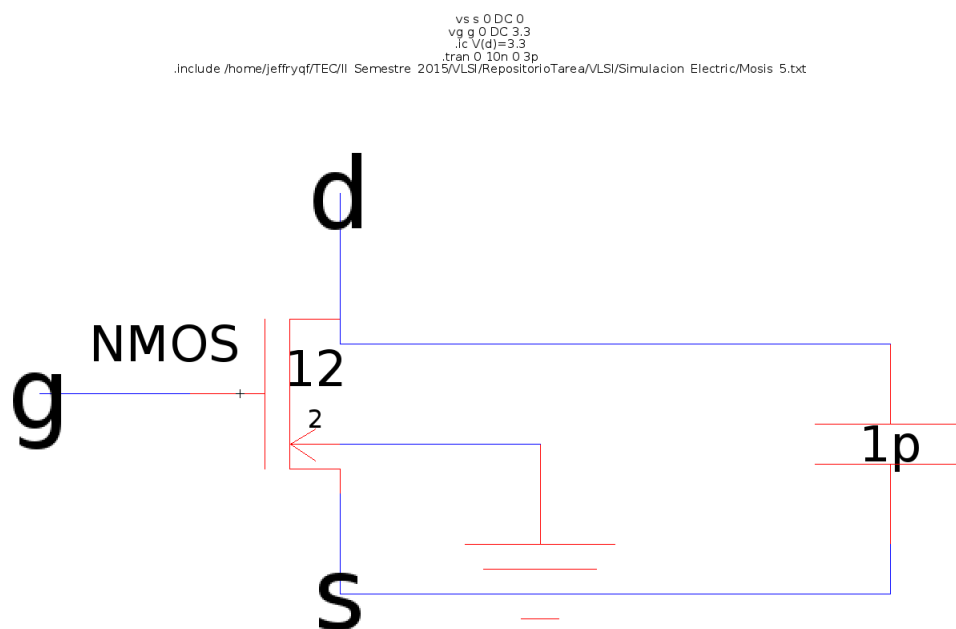


Figura 8: Circuito de Descarga de Capacitor.

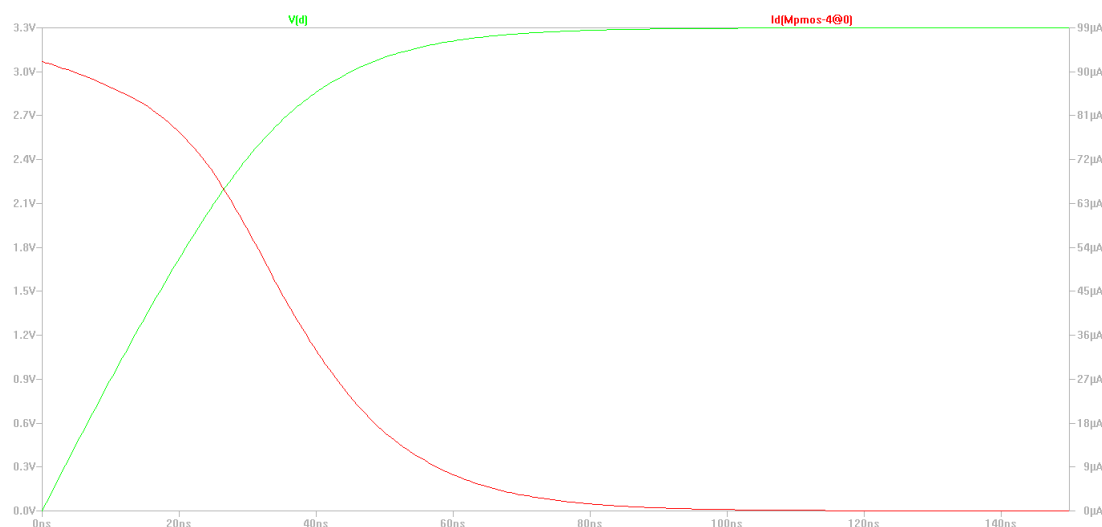


Figura 9: Grafica de comportamiento de  $I_d$  durante la carga del Capacitor.



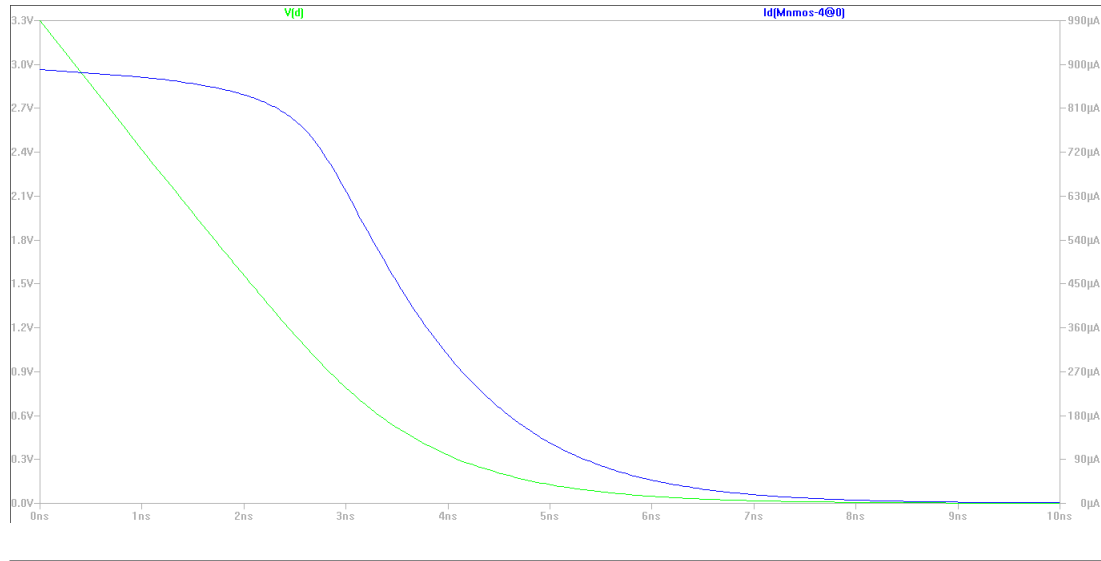


Figura 10: Grafica de comportamiento de  $I_d$  durante la descarga del Capacitor.

n	tr(ps)	tf(ps)
2	97.36	101.29
3	117.84	125.055
$\Delta$	20.44	23.76

Cuadro 2: Tiempos de levantamiento y caída de tensión para un inversor CMOS para diferentes Fanouts

al mismo pasar de un nivel lógico a otro, con 2 valores de *fanout* distintos. Las ecuaciones para calcular las resistencias equivalentes para *PMOS* y *NMOS* son las 16 y 17 respectivamente.

$$R_{eqp} = (2/3) * (\Delta t_r / C_g) \quad (16)$$

$$R_{eqn} = \Delta t_f / (3 * C_g) \quad (17)$$

Se realizó la simulación del circuito propuesto encontrado en la referencia [1] sección 8.4.5. , para valores de  $h=2$  (fig. 11) y  $h=3$  (fig. 13 con los cuales se encontraron las graficas de los retardos de la salida con respecto a la entrada (fig. 12 y fig. 14)

Luego de encontrar las gráficas (fig. 12 y fig. 14), se realizó la medición de los tiempos ya mencionados anteriormente. Aunque en la referencia [1] se habla que la medición debe hacerse entre los valores de  $0,8V_{dd}$  a  $0,2V_{dd}$ , se encontró que las pendientes de ambas graficas son aproximadamente iguales y no se encontraría la variación de la resistencia equivalente entre los CMOS por lo que se decidió medir de  $0,9V_{dd}$  a  $0,1V_{dd}$ . Se encontraron los valores mencionados en el cuadro 3.2.2.

Ya con los diferenciales de tiempos medidos, se sustituyen en 16 y 17 para encontrar la resistencia equivalente de cada transistor. Para  $C_g = 1,48fF/\mu m$  dependiente del ancho de canal de gate, se

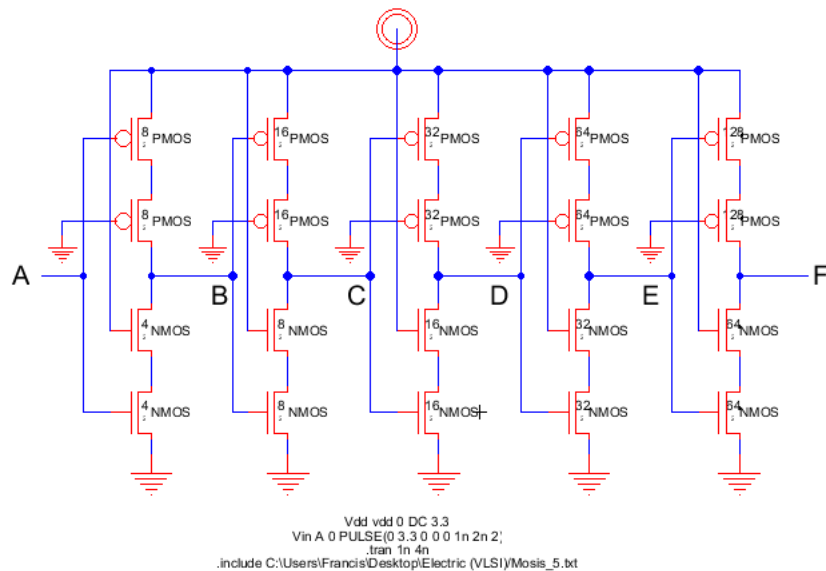


Figura 11: Circuito para calculo de  $R_{eq}$  con  $h=2$

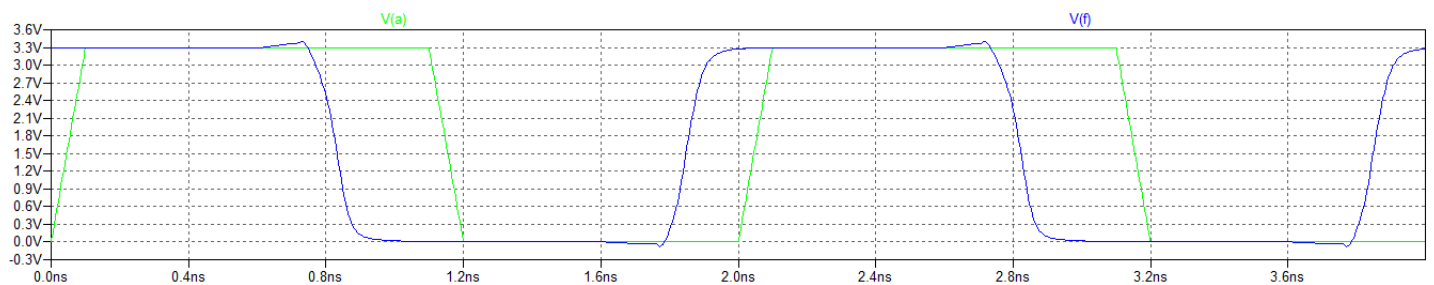


Figura 12: Gráfica tiempo  $V_{in}$  vs  $V_{out}$   $h=2$

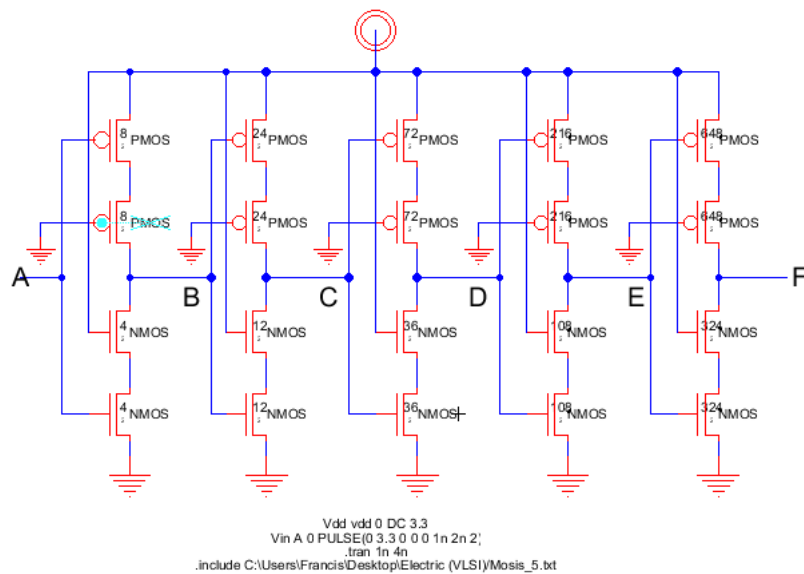


Figura 13: Circuito para calculo de  $R_{eq}$  con  $h=3$

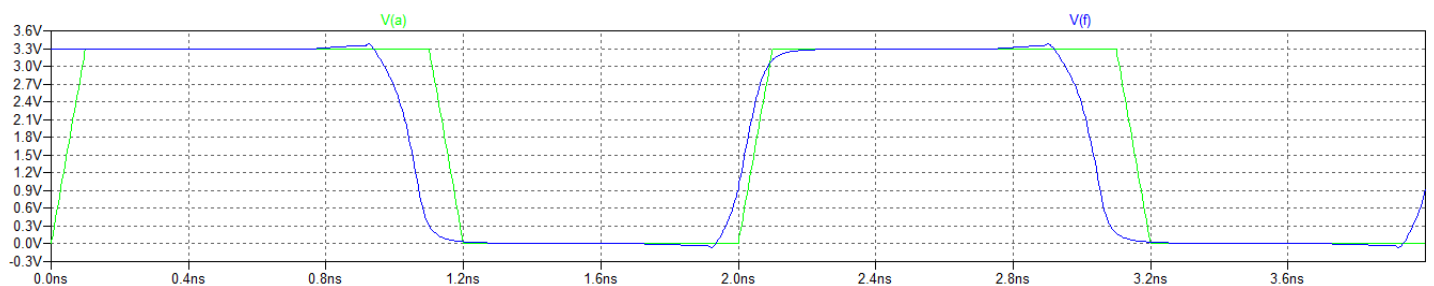


Figura 14: Gráfica tiempo  $V_{in}$  vs  $V_{out}$   $h=3$

<b>Proyecto</b>	Diseño inversor CMOS	<b>Página</b>	12/13
<b>Trabajo</b>	Análisis estático y dinámico	<b>Actualizado en:</b>	25/09/2015
<b>Curso</b>	VLSI	<b>Revisado en:</b>	18/09/2015
<b>Diseñador</b>	López F. - Quirós.J.	<b>Revisado por:</b>	Alfonso Chacón Rodríguez

Resistencia	k $\Omega$
$R_{eqp}$	15.375
$R_{eqn}$	9.000

Cuadro 3: Resistencias equivalentes encontradas por Método de Fanout

encuentra que los valores de resistencia son los del cuadro (3.2.2).

## 4. Análisis de datos y resultados.

Los resultados obtenidos en la sección 3.1.2, muestran el diseño del ancho del canal de un transistor *PMOS*, para conseguir que los tiempos de propagación sean simétricos. Los resultados obtenidos de la Ec.6, muestra un valor de relación de tamaño de ancho de canal de los transistores en un inversor de 1.3070, lo que equivale a decir que el ancho del canal del transistor *PMOS* es de  $5\lambda$ , pero a la hora de simular se ajustó este valor hasta conseguir que la relación sea 1.5, esto con el fin no solo de lograr que los valores de propagación de la señal fueran simétricos, si no también para conseguir una tensión de umbral del inversor cercana a 1.65V, como se observa en la fig.5, siendo así entonces que el nuevo tamaño del ancho de canal del transistor *PMOS* es de  $6\lambda$ .

Uno de los resultados relevantes que pudimos encontrar del dimensionamiento del transistor *PMOS* es en el hecho que las corrientes de corto circuito de la fig. 6 son aproximadamente iguales, lo cual nos dice que la potencia de los transistores en ambos procesos es igual. Podemos deducir que mediante un análisis dinámico para el dimensionamiento de los transistores es el método que deber usarse para el diseño de las compuertas, esto porque la simetría de las transiciones se puede obviar con respecto a tener un mínimo del tiempo de retardo para las mismas, dando como resultado, que los circuitos puedan conmutar a una mejor velocidad con la misma potencia que si se hiciese de forma simétrica las compuertas.

En la sección 3.2 se procede a calcular el valor de las resistencias de canal para un transistor *PMOS* y un transistor *NMOS*, mediante dos métodos diferentes.

En la sección 3.2.1 se calculó la resistencia de canal por un método gráfico, simulando la carga y descarga de un capacitor y obteniendo la curva de comportamiento de la corriente de *drain* de un transistor *PMOS* y *NMOS*, respectivamente, y con esto obteniendo los valores de resistencia que se muestran en la Ec.14 y Ec.15. Se considera que este método no es muy preciso al tratarse del cálculo de un valor a partir de una aproximación, que dependerá de la cantidad de valores muestrados y de la precisión de dichos valores, lo que dio como resultado obteniendo por ende un valor promedio de resistencia.

En cambio, para la sección 3.2.2, encontramos que los valores de las resistencias equivalentes son mas precisos, por el método que se emplea y que no realiza tantas aproximaciones y suposiciones para encontrar el valor de los mismos.

<b>Proyecto</b>	Diseño inversor CMOS	<b>Página</b>	13/13
<b>Trabajo</b>	Análisis estático y dinámico	<b>Actualizado en:</b>	25/09/2015
<b>Curso</b>	VLSI	<b>Revisado en:</b>	18/09/2015
<b>Diseñador</b>	López F. - Quirós.J.	<b>Revisado por:</b>	Alfonso Chacón Rodríguez

## 5. Conclusiones.

- Las ecuaciones de Shockley no dan un comportamiento real de los transistores PMOS y NMOS, sino un comportamiento muy aproximado.
- El uso de diversas herramientas de simulación nos permiten encontrar proporciones de diseño bastante precisas
- El diseño de un inversor apropiado debe procurar un balance entre el mejoramiento de los tiempos de propagación, así como la obtención de una tensión de umbral lo más cercana a  $V_{DD}/2$ .
- El análisis de tiempos de propagación provee un mejor punto de arranque para la obtención del tamaño de un transistor *PMOS*, permitiendo realizar ajustes en simulación que permitan llegar a un valor concreto de manera más rápida.
- El método gráfico para la obtención de los valores de resistencia de canal no es el más apropiado, aunque provee una forma rápida de encontrar un valor de resistencia aproximado aceptable.
- Se recomienda para encontrar la resistencia equivalente de los transistores el método de Fanout

## Referencias

- [1] N. Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective, 4 edition.. *Boston: Addison-Wesley*, 2010.
- [2] J. Rabaey, A. Chandrakasan y B. Nikolic. Digital Integrated Circuits: A Design Perspective.. *Prentice Hall*, 2005.
- [3] Test Data .On SemiconductorC5.Mosis. Recompilado de: [http://www.ie.itcr.ac.cr/achacon/Intro\\_Diseño\\_CI/Modelos\\_Spice\\_MOSIS/v03m-params.txt](http://www.ie.itcr.ac.cr/achacon/Intro_Diseño_CI/Modelos_Spice_MOSIS/v03m-params.txt), el 07/09/2015