

Proyecto	Diseño flip-flop CMOS	Página	1/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

1. Resumen

En este documento se presentan los resultados del diseño de un registro flip-flop en una tecnología ON Semiconductor $0.5\ \mu\text{m}$, el cual se caracterizó y se midieron sus valores de tiempo mas importantes. También se presenta las respuesta a las preguntas de teoría sobre los valores de tiempo en un registro flip-flop y sobre las diferencias entre los flip-flop estáticos y dinámicos.

2. Introducción

El flip-flop es un tipo de circuito secuencial, capaz almacenar un valor lógico a partir de su entrada en un flanco de señal de reloj. Esta señal perdura durante el periodo de la señal de reloj hasta el proximo flanco de subida o de bajada, dependiendo de su fabricación. Idealmente, el tiempo requerido para el almacenamiento de información es cero, pero a como veremos a continuación, dependerá de la tecnología con la que se ha construido el flip-flop que habrán tiempos que se deberán respetar para que su funcionamiento sea el esperado.

Para este documento se iniciará dando una breve explicación acerca de lo que son los tiempos que estarán definidos para el diseño del flip-flop incluidos los tiempos de propagación de la señales. Luego se explicarán acerca de lo que son los registros estáticos y dinamico, asi como las ventajas y desventajas que poseen cada uno, esto con el fin de observar el potencial que poseen cada uno en diversas aplicaciones. También se mostrará en este documento, el diseño en layout de un flip-flop master-slave para 1 bit en tecnología ON-semiconductor $0.5\ \mu\text{m}$. asi como las consideraciones que se tomaron para el mismo. Por último se mostrará las simulaciones que se realizaron para la caracterización del flip-flop y medición de los valores de tiempos del mismo.

3. Definición de conceptos

- **Set-up time:** Es el tiempo mínimo el cual debe tener la entrada D antes del flanco de reloj, para que sea un valor válido de entrada y pueda ser cargado en el flip-flop. Para el circuito propuesto, esta propagación es medible por los tiempos de propagación que requiere los transistores del bloque Master, esto antes del flanco de reloj y que se empiece a propagar la entrada en el bloque Slave. De no ser así los valores de los buffers de salida del bloque no se traslapen y den un valor incorrecto. El valor de set-up en un flip-flop master slave es el mostrado en la ecuación (), esta viene de que la entrada debe propagarse en 3 inversores y en 1 buffer de paso: $3 * tpd_{inv} + tpd_x$
- **Hold time:** Es el tiempo mínimo el cual se debe mantener el valor de entrada D, luego del flanco de reloj, para que sea un válido que se pueda cargar en el flip-flop. Para el circuito propuesto, este valor es cero. Esto porque al haberse dado el flanco de reloj, el transistor de paso en la entrada en el bloque Master se cierra por lo que el valor de entrada a partir de ese momento no afectará en lo absoluto a la salida.
- **Tiempo de propagación:** Es el tiempo que le toma al flip-flop en el peor caso, para tener un valor válido de salida igual al valor cargado leído en la entrada. En el Flip-Flop Master-Slave, este tiempo es el cual le tomará la salida del bloque master propagarse en el bloque Slave. Para ello solo le tomará el tiempo de propagación de un inversor y de un buffer de paso, ya que se consideró en el setup-time el tiempo para el transistor de entrada del bloque. Este valor se puede calcular con la ecuación ():

Proyecto	Diseño flip-flop CMOS	Página	2/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

$tpd_{tx} + tpd_{nv}$.

- Tiempo de contaminación: Es el menor tiempo que le toma al flip-flop para tener un valor de salida igual al valor de la entrada que se había leído anteriormente.

4. Flip-Flops estáticos y dinámicos

La función lógica a la que se le realizara el trazado y el Diagrama de Palitos es la mostrada en la Ec.1. Esta función lógica es conocida como $OAI - 22 + INV$. Para el diseño de la compuerta se utilizó álgebra booleana y se obtuvo la Ec.2.

$$F = (A + B) * (C + D) \quad (1)$$

$$\overline{F} = \overline{(A + B)} + \overline{(C + D)} \quad (2)$$

Para lo cual se hizo el esquemático mostrado en la *Fig.4* y se hizo el *Diagrama de Palitos* mostrado en la *Fig.??*. En este diagrama se dibujaron tanto la compuerta *OAI22* como el *Inversor* para cambiar el nivel lógico a la salida, por lo que se observa mas de una tira de difusión en la parte inferior, resultado de la inclusión del *Inversor* en el diagrama.

./Palitos.png

Figura 1: Diagrama de palitos de la función $OAI22 + INV$

5. Diseño del layout

5.1. Bloque Master

El cálculo de los tiempos de propagación y de contaminación se realiza haciendo uso de dos métodos: la teoría del esfuerzo lógico, *logical effort*, y por el método de la aproximación de Elmore, *Elmore Delay*.

5.2. Inversor en el Master

El esfuerzo lógico se define como "la razón de la capacitancia del gate a la capacitancia de entrada de un inversor que puede entregar la misma corriente de salida.", e indica que tan mala es una compuerta produciendo una corriente de salida comparada con un inversor.

Para el cálculo del delay por medio de la teoría de esfuerzo lógico, se utilizan las formulas del cálculo del delay en redes lógicas con multiples etapas, *Multistage Logical Network*, que utiliza las siguientes formulas para el cálculo del delay:

Proyecto	Diseño flip-flop CMOS	Página	3/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

$$G = \prod g_i \quad (3)$$

$$H = \frac{C_{out-path}}{C_{in-path}} \quad (4)$$

$$B = \prod b_i \quad (5)$$


$$F = GBH \quad (6)$$

$$P = \sum p_i \quad (7)$$

$$D = NF^{\frac{1}{N}} + P \quad (8)$$

En donde G es el esfuerzo lógico, H es el esfuerzo eléctrico, B el esfuerzo de enramado, F es el esfuerzo total, P es el delay parasítico del camino, N es la cantidad de etapas del camino y D es el delay total del camino.


La función $F=(A+B)(C+D)$ se puede representar a nivel de compuerta como se muestra en la *Fig.2*, donde se observa que la compuerta es del tipo OR-OR-AND-INV + INVERSOR, *OAI-21 + inverter*, y a partir de aqui se calcula el esfuerzo lógico de camino.



./OAI21.png

Figura 2: Compuerta *OAI-21*.

Para realizar los cálculos del esfuerzo de camino de esta función, se debe tomar en cuenta que cada entrada presenta como maximo 30λ de ancho de transistor, y que la salida debe de manejar una carga equivalente de 500λ de ancho de transistor, como se muestra en la *Fig.3*. Se puede observar que en este caso el número de etapas, N , es igual a 2, por lo que haciendo uso de las ecuaciones 3, 4, 5, 6, 7, 8, se puede encontrar el delay mediante la teoría de esfuerzo lógico de cada entrada bajo estas condiciones de carga.



./OAI21_Cargas.png

Figura 3: Compuerta *OAI-21* con Carga.

$$G = \prod g_i = \frac{6}{3} * 1 = \frac{6}{3} \quad (9)$$

$$H = \frac{C_{out-path}}{C_{in-path}} = \frac{500\lambda}{30\lambda} = \frac{50}{3} \quad (10)$$

$$B = \prod b_i = 1 \quad (11)$$

$$F = GBH = \frac{6}{3} * 1 * \frac{50}{3} = \frac{100}{3} \quad (12)$$

$$P = \sum p_i = \frac{12}{3} + 1 = \frac{15}{3} = 5 \quad (13)$$

$$D = NF^{\frac{1}{N}} + P = 2 * (\frac{100}{3})^{\frac{1}{2}} + 5 = 16,54\tau \quad (14)$$

El cálculo de los tiempos arroja como resultado que cada entrada de esta compuerta tendrá un delay de 16.54τ .

Con el valor de delay calculado se puede proceder a dimensionar los transistores que conforman la compuerta. En la *Fig.4* se muestra la compuerta compuesta a nivel de transistores, sin dimensionar.

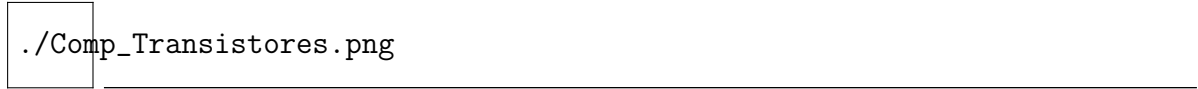


Figura 4: Esquemático de la Compuerta $F=(A+B)(C+D)$ a nivel de transistores sin dimensionar.

Para dimensionar los transistores de cada entrada, se toma en cuenta el modelo RC del transistor. Sabiendo que la resistencia de la red *PMOS* debe ser igual a la de la red *NMOS*, y que cada entrada presenta como máximo 30λ de ancho de transistor se obtiene que:

$$\frac{2R}{k_p} = \frac{R}{k_n} \quad (15)$$

$$k_p + k_n = 30\lambda \quad (16)$$

Donde k_p y k_n son los anchos de los transistores p y n de cada entrada. Con este sistema de ecuaciones se obtiene que:

$$k_p = 2k_n \quad (17)$$

$$k_p + k_n = 30\lambda \quad (18)$$

$$3k_n = 30\lambda \quad (19)$$

$$k_n = 10\lambda; k_p = 20\lambda \quad (20)$$

Proyecto	Diseño flip-flop CMOS	Página	5/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

Utilizando la *Ec.21*, se puede encontrar la capacitancia de entrada del inversor, como se muestra a continuación:

$$C_{ini} = \frac{C_{outi} * g_i}{F^{\frac{1}{N}}} \quad (21)$$

$$C_{ini} = \frac{500\lambda * 1}{5,777} = 86,6\lambda = 87\lambda \quad (22)$$

Sabiendo que la resistencia en la red de *pull-up* es el doble que la de la red de *pull-down* en el inversor de la salida, se puede encontrar las dimensiones de los anchos de los transistores en dicho inversor.

$$k_p = 2k_n \quad (23)$$

$$3k_n = 87\lambda \quad (24)$$

$$k_n = 29\lambda; k_p = 58\lambda \quad (25)$$

En la *Fig.5* se muestra la compuerta a nivel de transistores, cada uno con su respectivo valor de ancho de canal correspondiente.

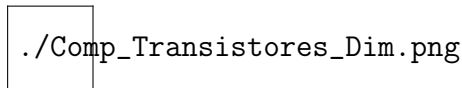


Figura 5: Esquemático de la Compuerta $F=(A+B)(C+D)$ a nivel de transistores con sus respectivas dimensiones, $L=2\lambda$.

5.3. Bloque slave

Ahora se calcula el delay de propagación y el delay de contaminación de la compuerta $F=(A+B)(C+D)$ mediante el método de *Aproximación de Elmore*, el cuál se hace valer del modelo RC del transistor, para calcular los delays de una compuerta. El modelo de delay de *Elmore* estima el retraso desde una fuente conmutando a uno de los nodos hoja cambiantes como la suma sobre cada nodo i de la capacitancia C_i en el nodo, multiplicado por la resistencia efectiva R_{is} en el camino compartido desde la fuente hasta el nodo y la hoja, dando como resultado la ec.26:

$$t_{pd} = \sum_i R_{is} C_i \quad (26)$$

Proyecto	Diseño flip-flop CMOS	Página	6/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

En la *Fig.6* se muestra el modelo *RC* completo de la compuerta, con sus capacitancias y resistencias, para la compuerta *OAI-21* y para el inversor en la salida.


 ./ModeloRC_Completo.png

Figura 6: Modelo *RC* completo de la Compuerta $F=(A+B)(C+D)$.

Para este modelo se calculan el mejor y el peor caso para el delay, por lo que en las siguientes secciones se presentaran los cálculos y los circuitos *RC* de cada caso.

5.4. Buffer inversor de salida

Antes de calcular el mejor y el peor caso de subida, primero se calcula el retraso provocado por el inversor a la salida, ya que este sera el mismo para el mejor y el peor caso de subida y de bajada. En la *Fig.7* se muestra el modelo *RC* del inversor de este problema.


 ./RC_Inversor.png

Figura 7: Modelo *RC* del Inversor.

Con este circuito se calcula el delay utilizando la *Ec.27*, obteniendo como resultado que el delay del inversor para el caso de subida y bajada es:

$$t_{pd} = \frac{R}{29}(500 + 87)C = \frac{587RC}{29} = 20,24RC \quad (27)$$

Con el delay del inversor calculado en la *Ec.27*, se procede a realizar los calculos para el mejor y peor caso de delay de subida.

En la *Fig.8* se observa que el mejor caso ocurre cuando todos los transistores de la red de *pull-up* se encuentran encendidos, o dos transistores están encendidos en la red de *pull-up*, A y B, y los dos transistores mas interiores de la red de *pull-down*, A y B, están apagados, con lo que la red de *pull-down* no contribuye al delay en ambos casos. En la *Ec.28* se muestra el cálculo del delay para el mejor caso de levantamiento:

$$t_{pdr} = \frac{20RC}{10} + \frac{147 * 2RC}{10} + t_{pdInv} = 31,4RC + 20,24RC = 51,64RC = 17,213\tau \quad (28)$$

Proyecto	Diseño flip-flop CMOS	Página	7/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

./Mejor_caso_Rise_propagacion.png

Figura 8: Mejor Caso de *Rise* en el Delay de Propagación.

En la *Fig.9* se observa que el peor caso ocurre cuando solo dos transistores se encendidos, C y D, y uno o los dos transistores mas interiores de la red de *pull-down* están también encendidos, por lo que la red de *pull-down* contribuye al delay. En la *Ec.29* se muestra el cálculo del delay para el peor caso de levantamiento:

./Peor_caso_Rise_propagacion.png

Figura 9: Peor Caso de *Rise* en el Delay de Propagación.

$$t_{pdr} = \frac{20RC}{10} + \frac{20RC}{5} + \frac{147RC}{5} + t_{pdInv} = 35,4RC + 20,24RC = 55,64RC = 18,546\tau \quad (29)$$

5.5. Circuito completo

En la *Fig.10* se observa el peor caso de caída en el cálculo del delay en la compuerta. En este caso se activan las entradas A y C, con un 1 lógico, en la red de *pull-down*, y se activan las entradas B y D, con un 0 lógico, en la red de *pull-up*, con lo que esta red contribuye con el delay, tal como se muestra en la *Fig.10*. En la *Ec.30* se muestra el cálculo del delay.

./Peor_caso_Fall_propagacion.png

Figura 10: Peor Caso de *Fall* en el Delay de Propagación.

$$t_{pdf} = \frac{20RC}{10} + \frac{147RC}{5} + \frac{40RC}{5} + t_{pdInv} = 39,4RC + 20,24RC = 59,64RC = 19,88\tau \quad (30)$$

En la *Fig.11* se observa el mejor caso de caída en el cálculo del delay en la compuerta. En este caso se activan las entradas B y D, con un 1 lógico, en la red de *pull-down*, y por ende se desactivan las entradas B y D en la red de *pull-up*, con lo que esta red no contribuye con el delay, tal como se muestra en la *Fig.11*. En la *Ec.31* se muestra el cálculo del delay.

$$t_{pdf} = \frac{20RC}{10} + \frac{147RC}{5} + t_{pdInv} = 31,4RC + 20,24RC = 51,64RC = 17,21\tau \quad (31)$$

Proyecto	Diseño flip-flop CMOS	Página	8/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez


 ./Mejor_caso_Fall_propagacion.png

Figura 11: Mejor Caso de *Fall* en el Delay de Propagación.

6. Simulación para caracterización del Flip-Flop

En la figura 12 se puede observar el diseño del layout de la compuerta de la ecuación 2 en la cual se basó en la figura de palitos de la figura 1. En esta se ha usado un "pitch" de 12λ ya que calza perfectamente con las conexiones para las salidas y entradas así con las conexiones de los metales entre transistores.

También se realizó una simulación del mismo con la rutina que se muestra en la figura 13 en la cual se simulará el mejor caso para la red de NMOS. El resultado se encuentra en la figura 14.


 ./layout.png

Figura 12: Layout del la *OAI* – 22


 ./layout_sim.png

Figura 13: Circuito para simulación en Ltpice del layout del circuito

7. Análisis de datos y resultados.

En la Tabla ?? se muestran los valores del cálculo analítico de los delay de la compuerta para el mejor y peor caso de propagación de fall y raise, el mejor y peor caso para el delay de contaminación de raise y fall, estos por el método del delay de Elmore, así como el calculo del delay mediante el método del esfuerzo lógico.

A partir de esta tabla se puede observar que los cálculos del delay por medio del método de Elmore y por medio del metodo de esfuerzo logico son bastante cercanos, siendo el método de Elmore más complejo, pero permite un mejor análisis de los diferentes casos, necesario para un mejor diseño.

Conforme a los datos simulados experimentalmente, los tiempos de propagación de subida y bajada de los niveles lógicos son aproximadamente cercanos pero no lo suficiente para ser simétricos. En comparación con la teoría de esfuerzo lógico, vemos que los valores son bastante aproximados.

Por último. Con la creación del layout fue bastante útil utilizar las técnicas de los caminos de Euler y el diagrama de palitos para crear el mismo. Vemos que al simular el layout, la gráfica muestra un mejor comportamiento a como se simuló en el esquemático.

Proyecto	Diseño flip-flop CMOS	Página	9/9
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

 ./layout_mejor_graf.png

Figura 14: Gráfica para mejor caso del NMOS en layout

8. Conclusiones.

- Los retardos de fall son mas lentos que los de rise, debido a la movilidad de los portadores presentes en cada red.
- En el diseño de una compuerta, el método de esfuerzo lógico es necesario para poder dimensionar los transistores, mientras que el método de Elmore permite el análisis de los casos de delay de la compuerta.
- La teoría del esfuerzo lógico y sus cálculos nos dán una buena aproximación para determinar una buena aproximación con los tiempos de retardo
- Las técnicas de los caminos de Euler y el diseño del diagrama de palitos llega a ser muy útil para la creación de los layouts.

9. Bibliografía

Referencias

- [1] N. Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective , 4 edition.. *Boston: Addison-Wesley*, 2010.
- [2] J. Rabaey, A. Chandrakasan y B. Nikolic. Digital Integrated Circuits: A Design Perspective.. *Prentice Hall*, 2005.
- [3] Test Data .On SemiconductorC5.Mosis. Recompilado de: http://www.ie.itcr.ac.cr/achacon/Intro_Diseno_CI/Modelos_Spice_MOSIS/v03m-params.txt, el 07/09/2015