

Proyecto	Diseño flip-flop CMOS	Página	1/7
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

1. Resumen

En este documento se presentan los resultados del diseño de un registro flip-flop en una tecnología ON Semiconductor 0.5 μm , el cual se caracterizó y se midieron sus valores de tiempo mas importantes. Tambien se presenta las respuesta a las preguntas de teoría sobre los valores de tiempo en un registro flip-flop y sobre las diferencias entre los flip-flop estáticos y dinámicos.

2. Introducción

El flip-flop es un tipo de circuito secuencial, capaz almacenar un valor lógico a partir de su entrada en un flanco de señal de reloj. Esta señal perdura durante el periodo de la señal de reloj hasta el proximo flanco de subida o de bajada, dependiendo de su fabricación. Idealmente, el tiempo requerido para el almacenamiento de información es cero, pero a como veremos a continuación, dependerá de la tecnología con la que se ha construido el flip-flop que habrán tiempos que se deberán respetar para que su funcionamiento sea el esperado.

Para este documento se iniciará dando una breve explicación acerca de lo que son los tiempos que estarán definidos para el diseño del flip-flop incluidos los tiempos de propagación de la señales. Luego se explicarán acerca de lo que son los registros estáticos y dinamico, asi como las ventajas y desventajas que poseen cada uno, esto con el fin de observar el potencial que poseen cada uno en diversas aplicaciones. También se mostrará en este documento, el diseño en layout de un flip-flop master-slave para 1 bit en tecnología ON-semiconductor 0.5 μm . asi como las consideraciones que se tomaron para el mismo. Por último se mostrará las simulaciones que se realizaron para la caracterización del flip-flop y medición de los valores de tiempos del mismo.

3. Definición de conceptos

- **Set-up time:** Es el tiempo mínimo el cual debe tener la entrada D antes del flanco de reloj, para que sea un valor válido de entrada y pueda ser cargado en el flip-flop. Para el circuito propuesto, esta propagación es medible por los tiempos de propagación que requiere los transistores del bloque Master, esto antes del flanco de reloj y que se empiece a propagar la entrada en el bloque Slave. De no ser así los valores de los buffers de salida del bloque no se traslapen y den un valor incorrecto. El valor de set-up en un flip-flop master slave es el mostrado en la ecuación (1), esta viene de que la entrada debe propagarse en 3 inversores y en 1 buffer de paso:

$$F = 3 * tpd_{inv} + tpd_{tx} \quad (1)$$

- **Hold time:** Es el tiempo mínimo el cual se debe mantener el valor de entrada D, luego del flanco de reloj, para que sea un válido que se pueda cargar en el flip-flop. Para el circuito propuesto, este valor es cero. Esto porque al haberse dado el flanco de reloj, el transistor de paso en la entrada en el bloque Master se cierra por lo que el valor de entrada a partir de ese momento no afectará en lo absoluto a la salida.
- **Tiempo de propagación:** Es el tiempo que le toma al flip-flop en el peor caso, para tener un valor válido de salida igual al valor cargado leído en la entrada. En el Flip-Flop Master-Slave, este tiempo es el cual le tomará la salida del bloque master propagarse en el bloque Slave. Para ello solo le tomará el tiempo de propagación de un inversor y de un buffer de paso, ya que se

Proyecto	Diseño flip-flop CMOS	Página	2/7
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

consideró en el setup-time el tiempo para el transistor de entrada del bloque. Este valor se puede calcular con la ecuación ():

$$F = tpd_{tx} + tpd_{inv} \quad (2)$$

- Tiempo de contaminación: Es el menor tiempo que le toma al flip-flop para tener un valor de salida igual al valor de la entrada que se había leído anteriormente.

4. Flip-Flops estáticos y dinámicos

Los registros estáticos son aquellos que pueden mantener su salida mientras haya alimentación en el circuito. Estos son retroalimentados entre la salida y la entrada del registro para mantener constante la tensión en la salida y que no haya fluctuaciones. Estos registros se usan en componentes que no requieren rápidos cambios en su valor almacenado o que necesitan un almacenamiento por largo periodo de tiempo. Ejemplo de ello son registros que se les deben cargar la configuración del funcionamiento del circuito.

Los registros dinámicos son el complemento de los estáticos. La duración de su valor almacenado es de poca duración ya que el valor es cargado en las capacitancias parásitas del registro y este se irá disipando con respecto al tiempo. Este registro es de alta velocidad y baja disipación de potencia por lo que es muy usado en registro de pipeline y de transmisión de datos donde se requiere que haya una rápida carga de los datos.

5. Diseño del layout

En esta sección se presentará y explicará el diseño en layout de un flip-flop Master-Slave para 1 bit el cual deberá soportar una carga de FO4. Se explicará cada módulo creado en la herramienta Electric y se mostrará el circuito completo.

Para los bloques Master, Slave y el inversor conectado entre ellos se hizo la dimensión de los transistores a partir de los valores medidos en la Tarea 1, mientras que el último inversor se dimensionó con respecto a la carga que debe soportar el flip-flop. El pitch usado es el que se encontró en la Tarea 2.

5.1. Bloque Master

Es el segmento de entrada del flip-flop. El esquemático es el mostrado en la figura 1 y el layout es el mostrado en la figura 2. Fue posible reducir bastante su largo creándolo de esta forma y separando el inversor de salida en un módulo aparte.

5.2. Inversor en el Master

Este módulo es solamente un inversor de transistores de tamaño mínimo, que viene incluido en el módulo Master. Su esquemático es el mostrado en la figura 3 y su layout es el de la figura 4.

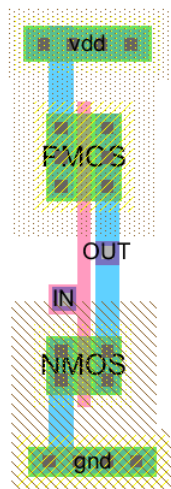


Figura 4: Layout del inversor de salida del bloque Master

5.3. Bloque slave

El tercer módulo del circuito presenta mucha similitud con el módulo Master, como se presenta en las figuras de esquemático (figura 5) y de layout (figura 6) con la diferencia del cambio de las señales de control de los relojes y el posicionamiento de los conectores para usar menos metal 2.

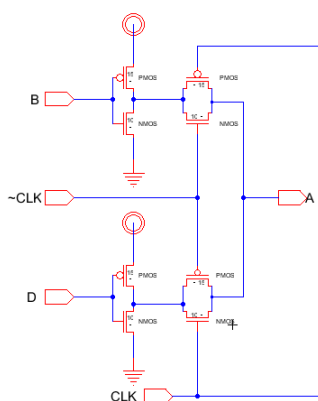


Figura 5: Esquemático del segmento del Bloque Slave

5.4. Buffer inversor de salida

Este inversor de salida se hizo a partir de los calculos empleados para un dimensionamiento de ancho para soportar una carga de FO4. Se tiene como resultado que el ancho para el transistor PMOS es de 60λ mientras que para el NMOS es de 40λ . Por cuestiones de dimensionamiento en el layout, este módulo es muy ancho para ajustarse a los demás, por lo que se optó por crear diversos inversores de menor tamaño, pero que puedan soportar la misma carga y tengan un funcionamiento similar al diseñado anteriormente. De esta forma se obtiene como resultado el módulo mostrado en las figuras 7 de esquemático y 8 de layout.

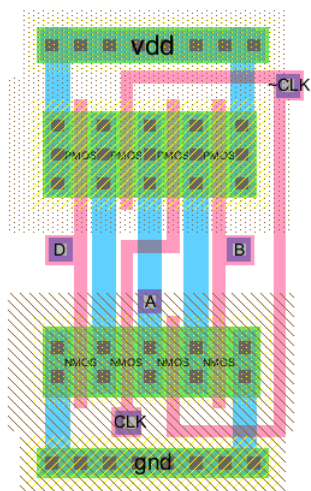


Figura 6: Layout del segmento del Bloque Slave

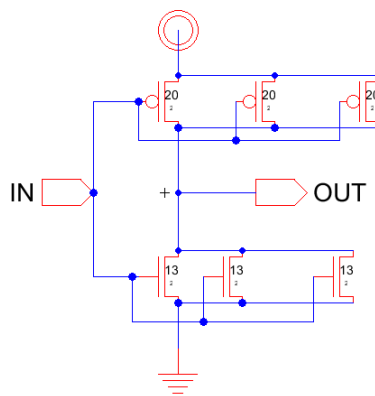


Figura 7: Esquemático del inversor de salida del bloque Slave

Proyecto	Diseño flip-flop CMOS	Página	7/7
Trabajo	Proceso de diseño	Actualizado en:	31/10/2015
Curso	VLSI	Revisado en:	2/11/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

6. Simulación para caracterización del Flip-Flop

7. Análisis de datos y resultados.

8. Conclusiones.

- Los retardos de fall son mas lentos que los de rise, debido a la movilidad de los portadores presentes en cada red.
- En el diseño de una compuerta, el método de esfuerzo lógico es necesario para poder dimensionar los transistores, mientras que el método de Elmore permite el análisis de los casos de delay de la compuerta.
- La teoría del esfuerzo lógico y sus cálculos nos dan una buena aproximación para determinar una buena aproximación con los tiempos de retardo
- Las técnicas de los caminos de Euler y el diseño del diagrama de palitos llega a ser muy útil para la creación de los layouts.

9. Bibliografía

Referencias

- [1] N. Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective , 4 edition.. *Boston: Addison-Wesley*, 2010.
- [2] J. Rabaey, A. Chandrakasan y B. Nikolic. Digital Integrated Circuits: A Design Perspective.. *Prentice Hall*, 2005.
- [3] Test Data .On SemiconductorC5.Mosis. Recompilado de: http://www.ie.itcr.ac.cr/achacon/Intro_Diseno_CI/Modelos_Spice_MOSIS/v03m-params.txt, el 07/09/2015