

Proyecto	Diseño inversor CMOS	Página	1/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

1. Resumen

En este documento se encontrarán los procesos de diseño de los módulos creados en la FPGA para la creación de un control digital con el fin de controlar la posición de un servomotor con respuesta subamortiguada. Este se ha diseñado a partir de conocimiento sobre lenguaje de descripción de hardware (Verilog) y con la información aportada en el instructivo del proyecto para la implementación del regulador IPD.

También se mencionan en este documento el diseño de lo que son, los circuitos acondicionadores de señal para lo que es el acople entre la FPGA y el servomotor ya que como se mencionarán en el documento, se requerirá un cambio de voltajes de unipolar a bipolar y viceversa, además de una etapa de filtrado de señales.

2. Introducción

Una de las aplicaciones que se le pueden dar a un dispositivo de programación de hardware (FPGA) es lo que el control y acople con dispositivos periféricos como lo será en este proyecto un servomotor de respuesta subamortiguada.

Para este proyecto se plantea resolver dos problemas que posee el servomotor: la respuesta subamortiguada que hace que al moverse, se sobrepasa del valor requerido e intenta estabilizarse; y el error de estado estacionario el cual es cuando el valor de salida de un sistema físico no se logra igualar con la entrada. Estos problemas se resuelven utilizando un regulador IPD el cual sus valores para lograr un control óptimo se nos fue dados en el instructivo del proyecto.

Ya con esto, para este proyecto, el objetivo es, a partir de las ecuaciones dadas del IPD y las características eléctricas que posee el servomotor, realizar el control digital en una FPGA y las interfaces físicas que debe tener para un acople y control del servomotor de forma que no dañe la integridad del motor. Además de una interfaz visual en VGA donde se pueda observar la respuesta eléctrica de los valores de salida del control digital con respecto al tiempo.

El diseño de este control y las interfases en la FPGA se ha logrado con los conocimientos obtenidos en el Laboratorio de Diseño de Sistemas Digitales. Para los CAS (Circuitos Acondicionadores de Señal) se han utilizado conocimientos de cursos anteriores.

3. Especificaciones

El proyecto consta de realizar cálculos aritméticos, en contraste con el valor actual de posición que se encuentra el servomotor y el valor de referencia el cual el usuario va a cargar en la FPGA. Los cálculos se irán realizando de tal forma que la diferencia entre estos dos valores sea cero, y se pretende resolver la oscilación que pueda presentar por la subamortiguación.

Se presenta en la eq. 1, el regulador LPD con el que se va a trabajar en este proyecto, donde $I(k)$ es el factor integral de error, $P(k)$ es el factor proporcional del error y $D(k)$ es el factor derivativo del error.

$$pid(k) = i(k) - p(k) - d(k) \quad (1)$$

Proyecto	Diseño inversor CMOS	Página	2/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

Señal	Designación	Función
CLK	input	Señal de reloj.
RST	input	Señal de reset, activa en bajo.
INICIO	input	Señal para carga de valor de referencia.
MISO	input	Dato serial de la posición del POT en el servo.
REF [6:0]	input	Valor de referencia para control del servo.
yks	output	Dato en paralelo obtenido del PMOD AD1
nCS	output	Señal de control para el PMOD AD1.
SCLK	output	Señal de reloj para el PMOD AD1.
PWM	output	Señal de PWM con funcionalidad de DAC para control del SERVO

4. Descripción de unidades a diseñar

Se nos han planteado condiciones sobre la cantidad de bits a utilizar en cada una de las operaciones del LPD donde debe llegar a un máximo de 16 bits con signo. Por ello, además de los módulos de operación, debemos conocer cuales operaciones pueden causar overflow o underflow para que sus valores no sobrepasen los límites establecidos.

Se mostrarán a continuación las operaciones aritméticas que conforman la eq. 1 y que se deberán implementar en la FPGA. Las constantes de estas operaciones se nos han sido proporcionadas en el instructivo de este proyecto:

$$P(k) = 36 * y(k) \quad (2)$$

$$I(k) = 14 * e(k) + I(k - 1) \quad (3)$$

$$D(k) = 300 * [y(k) - y(k - 1)] \quad (4)$$

Donde $y(k)$ es el valor proveniente de servomotor que indica su posición actual y $e(k)$ que es la diferencia entre el valor de referencia y el valor $y(k)$. Vemos en las eq. 3 y 4 que se deberán almacenar valores de estados anteriores por lo que se deberán crear registros para estos datos.

También es necesario tomar en cuenta, la duración de resolución de cada una de la operaciones ya que unas toman más tiempo que otras, para ello se deberá crear una máquina de estados el cual tendrá una duración específica de pulsos para tomar un dato válido del acumulador.

5. Descripción funcional de unidades

5.1. Circuitos Acondicionadores de Señal

Antes de entrar con el proceso de diseño de los módulos en la FPGA, se introducirá el concepto de diseño de la parte analógica del circuito para acondicionar sus señales de entrada y salida. Esto se hace por 2 razones:

-Al no tener un dispositivo propio para la conversión digital-analógica en la salida de la FPGA, fue necesario utilizar una señal PWM el cual su flanco positivo variará con respecto al valor binario de salida del regulador LPD. Como el servomotor solamente trabaja con valores CD, es necesario filtrar la señal de salida del PWM con el fin de obtener la componente CD de la señal.

Proyecto	Diseño inversor CMOS	Página	3/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

-El cambio en las tensiones con la que trabaja los 2 sistemas de unipolar y bipolar (FPGA:[0V - 3.3V];Servomotor [-2V - 2V]). por lo que debe hacer un escalamiento en los valores y agregar un offset CD a cada valor para que correspondan en ambos sentidos.

Figura 1: Diagrama de bloques de los CAS para la conexión FPGA-Servomotor

$$ADC = 0,825 * POT + 1,63 \quad (5)$$

$$ADC = 1,212 * (1,263 * POT + 1,318) \quad (6)$$

$$SERVO = 1,212 * PWM - 2 \quad (7)$$

Esta etapa de escalamiento y offset se modelaron a partir de la ecuaciones 5(Servomotor-FPGA) y 7 (FPGA-Servomotor). Podemos observar en la eq. 5 que el escalamiento es menor a 1, así que se le decidió dar una atenuación lineal a esta señal con un divisor de tensión. Esto modifica la ecuación para modelar a la eq.6 donde se ha añadido la ganancia de las 2 etapas del circuito.

Con esas condiciones se realizó el diagrama de bloques que se muestra en la fig. 1 y los circuitos que conforman estos bloques se ven en las fig. 2 y 3

Figura 2: Diagrama de bloques de los CAS para la conexión FPGA-Servomotor

Figura 3: Diagrama de bloques de los CAS para la conexión FPGA-Servomotor

5.2. Control Digital

Este módulo tiene como objetivo el unir todos los módulos desarrollados, para lograr el control de un motor a través de un control IPD (fig. 4). Tiene por señales de entrada una señal de reloj (clk), una señal de reset (rst), INICIO el cual es un pulso de botón el cual carga el valor de referencia deseado a llegar, la señal MISO que es la señal proveniente del ADC, la cual entrega datos en serie, REF(6:0) es la señal que contiene el valor de grado al que se quiere llegar, Signo_REF el cual porta el signo de la señal REF ; ya sea positivo o negativo, nCS que es la señal que se dirige al PMOD para realizar el chip select de los ADC, la señal de salida PWM, que tiene por salida una señal de 10kHz de frecuencia, que modula el ancho del pulso de la señal, y la señal SCLK, que se dirige hacia el PMOD para proporcionarle una señal de reloj al mismo, que permita el muestreo de valores en el ADC.

Este controlador digital tiene 3 partes principales:

- La captura de datos de la posición actual de Servomotor, el cual es un valor binario en serie que deberá ser decodificado en paralelo para su uso en los cálculos aritméticos del regulador LPD.
- El regulador LPD, el cual hará los cálculos aritméticos a partir del error que hay en los valores de referencia y de posición actual del servomotor para disminuir este hasta cero.
- La señal de PWM de salida del controlador, el cual, hará la función de un DAC para la conversión de la salida binaria del regulador LPD en una duración del flanco positivo de esta señal que representa el voltaje de salida analógico.

Proyecto	Diseño inversor CMOS	Página	4/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

Figura 4: Modulo general del controlador digital diseñado en la FPGA

5.2.1. Interfaz serie paralelo

El módulo de conversión de serie a paralelo se utiliza para convertir la señal serial proveniente del ADC, que contiene un dato de 12 bits que proporcionan la posición del motor, en una señal en paralelo para poder ser guardada en un registro y utilizada en los módulos que se necesiten del control I_{LPD} (fig. 5). Este módulo tiene como entrada la señal MISO, que es la señal serial que contiene el valor de posición del motor, y la señal START que indica el momento en que se debe iniciar el proceso de conversión de serie a paralelo. Esta señal es en realidad una señal de reloj con una frecuencia de 200Hz, que le indica al módulo que cada 5ms se debe de realizar el proceso de conversión de serie a paralelo (fig. 8).

Como salida se tiene la señal nCS, que es la señal de chip select que activa al ADC al enviarle un valor de cero lógico, y que se envía cada 5ms por un periodo de 128ns, tiempo necesario y suficiente para que se muestren los 12 bits de datos provenientes del ADC. La señal SCLK es la señal de reloj que se le administra al ADC, necesaria para que se realice el muestreo de posición del motor. Esta señal de reloj es de 12,5MHz (fig. 7).

La señal de DATA_READY es una bandera que indica el momento en que se ha terminado de convertir los datos de serie a paralelo, y que es necesaria para saber en qué momento los demás módulos pueden disponer del dato de posición del motor. Y por último la señal CH1_DATA(11:0) es una señal de 12 bits en paralelo, que contiene el valor de posición del motor, muestreado por el ADC.

Figura 5: Modulo interfaz serie-paralelo

Figura 6: Modulo control señales PMOD

5.2.2. Registro de valor de referencia

5.2.3. Maquina control I_{LPD}

Este módulo se encarga de controlar en que momento y durante cuánto tiempo están activos los demás módulos, y decide cuantas veces se repite el ciclo de cálculo de las operaciones aritméticas.

Este módulo recibe como señales de entrada las variables: Dato Listo, que avisa cuando se ha completado la operación serie-paralelo, que se necesita para convertir los datos provenientes del ADC de serie a paralelo.

La señal FinCiclos que se utiliza para determinar cuántas veces se debe de realizar todo el recorrido a través del diagrama de estados, en este caso se decidió que esa cantidad debía de ser de 300 ciclos, para darle al control IPD tiempo de llegar al valor a la posición en que se desea que el motor este.

La señal Inicio indica el momento en que se carga el dato de referencia o valor de grado al que se desea que el motor llegue, e indica el inicio del proceso de cálculo del IPD, hasta que llegue al valor deseado. Las señales Fin4 y Fin8 son señales provenientes de dos contadores; uno de dos bits y otro de 3 bits, los cuales controlan el tiempo que está activo un módulo y que envían un valor en alto cuando ese tiempo se ha alcanzado.

Este módulo tiene 10 señales de salida, las cuales se utilizan para habilitar cada módulo presente en el diseño, en donde enab_Ciclos (fig.14), enab_Cont4 (fig. 12), enab_Cont8 (fig.13) se utilizan para activar

Proyecto	Diseño inversor CMOS	Página	5/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

Figura 7: Modulo control señales PMOD

Figura 8: Modulo control señales PMOD

contadores que controlan tiempo de ejecución de los diferentes procesos. Enab_Error activa el modulo que calcula el error entre el valor deseado y la posición actual del motor. Enab_I, enab_P y enab_D controlan a los módulos que realizan los cálculos de la característica integral, proporcional y derivativa del control.

Por último, las señales $enab_{ik_1}$ y $enab_{yk_1}$ son las encargadas de activar los registros que guardan los valores anteriores de la característica integral y del valor anterior de posición del motor, respectivamente. En las siguientes imágenes se presenta el esquemático de este módulo (fig. 11) con todas sus señales de entrada y salida, además del diagrama de estados utilizado para diseñar la máquina de estados. (fig. 15)

5.2.4. Módulo I

En este módulo se realizará el cálculo aritmético de la eq. 3 el cual evalúa la integral de error. Esta ecuación posee un valor anterior calculado en el ciclo anterior a este (8 ciclos de reloj) el cual es almacenado en el registro mostrado en la fig. 18.

En las simulaciones hechas antes el diseño, esta operación se saturaba a valores mayores a los 16 bits por lo que se le agregó un control de overflow para que el valor de este no supere a los 16 bits. (fig 21) Este módulo es el único de los tres módulos aritméticos donde se calcula la diferencia entre el valor de referencia y el $y(k)$ el cual se calcula en el modulo de la fig. 17.

5.2.5. Modulo D

En este módulo se realizará el cálculo aritmético de la eq. 4 el cual evalúa la derivada de error. Esta ecuación posee un valor de entrada anterior en el ciclo anterior a este (4 ciclos de reloj) el cual es almacenado en el registro mostrado en la fig. 20.

Al igual que con el módulo I, esta operación se saturaba a valores mayores a los 16 bits por lo que se le agregó un control de overflow para que el valor de este no supere a los 16 bits. (fig 21)

5.2.6. Módulo P

En este módulo se realizará el cálculo aritmético de la eq. 2 el cual evalúa la proporcional de error. Este módulo solamente depende de su valor de entrada actual y al igual que con los módulos I y D. El valor real el cual se usa para calcular es controlado por la máquina de control por la duración de los tiempos de cálculo para cada operación.(22)

5.2.7. Modulo Acumulador (Acc)

Este módulo (fig. 23) es el que cumple con la ecuación 1. el cual es la suma de los 3 módulos (I,P,D) y que es la salida del regulador. También presenta un controlador de overflow para evitar que se sobrepase

Figura 9: Registro de valor de referencia

Proyecto	Diseño inversor CMOS	Página	6/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

Figura 10: Registro de valor de referencia

Figura 11: Modulo de control de los procesos aritméticos en el regulador I_{LPD}

Figura 12: Registro de valor de referencia

Figura 13: Registro de valor de referencia

Figura 14: Registro de valor de referencia

Figura 15: Registro de valor de referencia

Figura 16: Registro de valor de referencia

Figura 17: Registro de valor de referencia

Figura 18: Registro de valor de referencia

Figura 19: Registro de valor de referencia

Figura 20: Registro de valor de referencia

Figura 21: Registro de valor de referencia

Figura 22: Registro de valor de referencia

Proyecto	Diseño inversor CMOS	Página	7/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

de los 16 bits de resolución, saturando el valor.(fig. 24)

Figura 23: Modulo de control de los procesos aritméticos en el regulador I_PD

Figura 24: Modulo de control de los procesos aritméticos en el regulador I_PD

5.3. Salida PWM

Para obtener la señal de salida de señal cuadrada del PWM, primero debemos ajustar a partir del valor obtenido en el acumulador, el cambio de valor en el pulso positivo de la señal PWM. Esto se hace en el delimitador PWM (fig.25) ya que el rango de posiciones q debe tener el servomotor para su correcto uso es [20 -340 grados] y este módulo satura en estos límites en caso de que el ACC calcule valores fuera de este rango.

Para la creación de esta señal se hace una comparación entre la salida del delimitador PWM y un contador para obtener una señal en frecuencia de 10kHz (fig. 27) el cual mantendrá un valor positivo mientras que este contador sea menor al valor obtenido en el regulador (fig. 26).

Como resultado, la salida de esta señal tendrá una componente CD en los armónicos de la señal, igual al valor requerido a cada posición en el servomotor. El cambio del valor de esta componente irá cambiando con respecto a los cálculos hechos en el regulador I_PD hasta alcanzar el valor de referencia.

Figura 25: Modulo de control de los procesos aritméticos en el regulador I_PD

6. Datos y resultados

Uno de los objetivos en este proyecto, es el lograr una simulación con vectores de prueba y lograr una referencia dorada con un programa de cálculo (se utilizó el programa Matlab) para comprobar que el funcionamiento en la FPGA es el indicado.

Como se puede ver en la fig. 28, para los primeros valores sacados del modelo en el Modelsim, son valores constantes por el uso de delimitadores de underflow por la cantidad de bits de resolución requeridos. Ya para valores en donde se comienza a disminuir el error, los valores del Modelsim se ajustan a los valores simulados en Matlab, concluyendo en que el modelo diseñado para la FPGA es funcional con los parámetros pedidos en este proyecto.

6.1. Temporizado

Para el control de los valores calculados en los módulos de la IPD, se debía conocer la cantidad de puses de reloj que necesitará la FPGA para realizar las operaciones dadas. En las fig. 29, 30 y 31 se muestran las simulaciones realizadas en el programa Modelsim en modo Post-síntesis para conocer estos tiempos. También se realizó una simulación de las señales de control de la PMOD para lo que la captura de datos seriales con una frecuencia de muestreo de 5ms, esto para corroborar la captura de este dato.(fig 32)

Proyecto	Diseño inversor CMOS	Página	8/9
Trabajo	Análisis estático y dinámico	Actualizado en:	18/09/2015
Versión	1	Revisado en:	18/09/2015
Diseñador	López F. - Quirós.J. -	Revisado por:	Alfonso Chacón Rodríguez

Figura 26: Modulo de control de los procesos aritméticos en el regulador I_PD

Figura 27: Modulo de control de los procesos aritméticos en el regulador I_PD

7. Análisis de datos y resultados

Este proyecto ha sido un éxito en el funcionamiento del controlador digital y en los circuitos acondicionadores de señal gracias a las herramientas proporcionadas, conocimientos adquiridos y metodología de trabajo que se realizaron en este laboratorio.

Los procesos de simulación tanto para los CAS como para el regulador IPD permitieron disminuir los errores que se podrían haber presentado de no haberse hecho. Para los CAS se realizaron ajustes por los valores de tolerancia de los componentes con respecto a la teoría en especial en los filtros ya que se debió ajustar las ganancias por los filtros.

8. Conclusiones y recomendaciones

Aquí van las conclusiones y recomendaciones del Lab.

Referencias

C.-L.Wey and C.-P.Wang Design of a fast radix-4 SRT divider and its VLSI implementation. *IEEE Proc.-Comput. Digit. Tech., IEEE*, July 1999. DOI: 10.1049/ip-cdt:19990524.

Figura 28: Simulación con vector de simulacion en Matlab y Modelsim para comportamiento del regulador IPD

Figura 29: Modulo de control de los procesos aritméticos en el regulador I_PD

Figura 30: Modulo de control de los procesos aritméticos en el regulador I_PD

Figura 31: Modulo de control de los procesos aritméticos en el regulador I_PD

Figura 32: Modulo de control de los procesos aritméticos en el regulador I_PD