

Numero	Rango entrada	Región PMOS	Región NMOS
1	$V_{in} < V_{tn}$	Lineal	Corte
2	$V_{tn} \leq V_{in} < V_{inv}$	Lineal	Saturación
3	$V_{in} = V_{inv}$	Saturación	Saturación
4	$V_{inv} < V_{in} \leq V_{dd} + V_{tp}$	Saturación	Lineal
5	$V_{in} > V_{dd} + V_{tp}$	Corte	Lineal

Cuadro 1: Regiones inversor CMOS V_{in} vs V_{out}

1. Resumen.

En este documento se presentan los cálculos de los tiempos de propagación y contaminación de la compuerta compuesta $F=(A+B)(C+D)$, obteniendo estos tiempos de manera analítica, mediante la teoría de esfuerzo lógico y la aproximación de Elmore, así como mediante simulación, utilizando los software *Electric* y *LTSpice*, y por último contrastando los resultados de ambos métodos. También se muestra el diseño de un trazado que usa una única tira de difusión en ambos pozos, construyendo los caminos de Euler, y dibujando el diagrama de palitos que muestra el orden de entradas, poly, las difusiones n y p , el pozo y las líneas de metal.

2. Introducción.

Para el diseño de una compuerta de lógica CMOS o un conjunto de las mismas, es necesario tomar varias consideraciones para los anchos de canal de los transistores, ya sean para una optimización en potencia o para una rápida conmutación entre los niveles lógicos. En estos se debe incluir la carga que debe soportar para que los tiempos de retardo no afecten el comportamiento ideal del circuito.

Para la demostración de los pasos de diseño de una función lógica, se nos ha pedido diseñar el esquemático y el layout de la función lógica del problema 9.4 de [1] que es $F=(A+B)(C+D)$. El esquemático deberá realizarse con lógica CMOS estática.

Luego se procederá a calcular el retardo de propagación y contaminación que presenta la función, tanto de manera analítica con la aproximación de Elmore como con la teoría de esfuerzo lógico, que se evaluará con una simulación en los software *Electric* y *LTSpice* para saber si con este método se puede llegar a una aproximación bastante certera de los tiempos de retardo.

Por último, se realizará el layout del circuito y se volverá a realizar la simulación para definir los pitch que se usarán en la próxima tarea.

3. Resultados Experimentales.

3.1. Diseño del trazado de una Compuerta y Diagrama de Palitos.

3.1.1. Parte 1


 Inv_16lam.png

Figura 1: Graficas *Octate* Ideal vs Simulación *Electric*

Proyecto	Diseño función lógica CMOS	Página	2/9
Trabajo	Proceso de diseño	Actualizado en:	08/10/2015
Curso	VLSI	Revisado en:	09/10/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

Para la simulación experimental, se usó el programa *Electric*. En esta simulación se utilizó el archivo *Mosis_5* para las constantes de la tecnología MOSIS 0.5. Ya realizada la simulación del inversor (fig.??) con la relación de ancho de canal calculado anteriormente encontramos que la proporción de regiones en el inversor no es la esperada, por lo que se decidió volver a dimensionar el ancho de los canales con respecto a las simulaciones y encontramos que de manera experimental la relación correcta es $r=1.575$.

3.2. Delay de Propagación y de Contaminación.

3.2.1. Método Analítico

El cálculo de los tiempos de propagación y de contaminación se realiza haciendo uso de dos métodos: la teoría del esfuerzo lógico, *logical effort*, y por el método de la aproximación de Elmore, *Elmore Delay*.

3.2.2. Método de Esfuerzo Lógico

El esfuerzo lógico se define como "la razón de la capacitancia del gate a la capacitancia de entrada de un inversor que puede entregar la misma corriente de salida.", e indica que tan mala es una compuerta produciendo una corriente de salida comparada con un inversor.

Para el cálculo del delay por medio de la teoría de esfuerzo lógico, se utilizan las formulas del calculo del delay en redes lógicas multi-etapa, *Multistage Logical Network*, que utiliza las siguientes formulas para el cálculo del delay:

$$G = \prod g_i \quad (1)$$

$$H = \frac{C_{out-path}}{C_{in-path}} \quad (2)$$

$$B = \prod b_i \quad (3)$$

$$F = GBH \quad (4)$$

$$P = \sum p_i \quad (5)$$

$$D = NF^{\frac{1}{N}} + P \quad (6)$$

En donde G es el esfuerzo lógico, H es el esfuerzo eléctrico, B el esfuerzo de enramado, F es el esfuerzo total, P es el delay parasítico del camino, N es la cantidad de etapas del camino y D es el delay total del camino.

La función $F=(A+B)(C+D)$ se puede representar a nivel de compuerta como se muestra en la fig.2 , donde se observa que la compuerta es del tipo OR-OR-AND-INV + INVERSOR, *OAI-21 + inverter*, y a partir de aqui se calcula el esfuerzo lógico de camino.

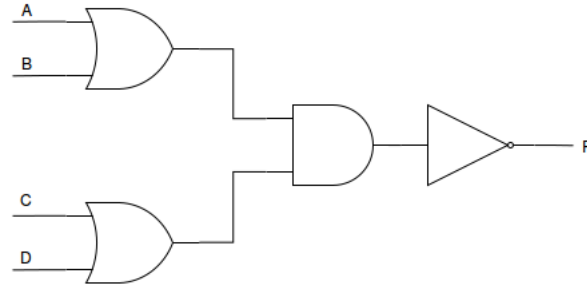


Figura 2: Compuerta *OAI-21*.

Para realizar los cálculos del esfuerzo de camino de esta función, se debe tomar en cuenta que cada entrada presenta como máximo 30λ de ancho de transistor, y que la salida debe manejar una carga equivalente de 500λ de ancho de transistor, como se muestra en la fig.3. Se puede observar que en este caso el número de etapas, N , es igual a 2, por lo que haciendo uso de las ecuaciones 1, 2, 3, 4, 5, 6, se puede encontrar el delay mediante la teoría de esfuerzo lógico de cada entrada bajo estas condiciones de carga.

./OAI21_Cargas.png

Figura 3: Compuerta *OAI-21* con carga.

$$G = \prod g_i = \frac{6}{3} * 1 = \frac{6}{3} \quad (7)$$

$$H = \frac{C_{out-path}}{C_{in-path}} = \frac{500\lambda}{30\lambda} = \frac{50}{3} \quad (8)$$

$$B = \prod b_i = 1 \quad (9)$$

$$F = GBH = \frac{6}{3} * 1 * \frac{50}{3} = \frac{100}{3} \quad (10)$$

$$P = \sum p_i = \frac{12}{3} + 1 = \frac{15}{3} = 5 \quad (11)$$

$$D = NF^{\frac{1}{N}} + P = 2 * \left(\frac{100}{3}\right)^{\frac{1}{2}} + 5 = 16,54\tau \quad (12)$$

El cálculo de los tiempos arroja como resultado que cada entrada de esta compuerta tendrá un delay de 16.54τ .

Con el valor de delay calculado se puede proceder a dimensionar los transistores que conforman la compuerta. En la fig.5 se muestra la compuerta compuesta a nivel de transistores, sin dimensionar.

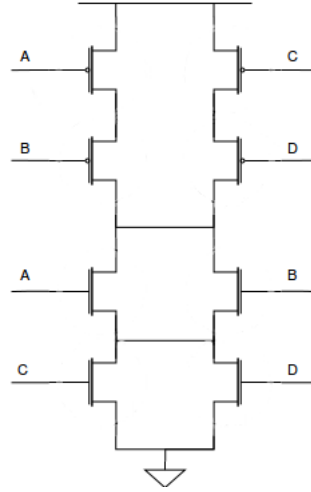


Figura 4: Compuerta *OAI-21* con carga.

Para dimensionar los transistores de cada entrada, se toma en cuenta el modelo RC del transistor. Sabiendo que la resistencia de la red *PMOS* debe ser igual a la de la red *NMOS*, y que cada entrada presenta como máximo 30λ de ancho de transistor se obtiene que:

$$\frac{2R}{k_p} = \frac{R}{k_n} \quad (13)$$

$$k_p + k_n = 30\lambda \quad (14)$$

Donde k_p y k_n son los anchos de los transistores p y n de cada entrada. Con este sistema de ecuaciones se obtiene que:

$$k_p = 2k_n \quad (15)$$

$$k_p + k_n = 30\lambda \quad (16)$$

$$3k_n = 30\lambda \quad (17)$$

$$k_n = 10\lambda; k_p = 20\lambda \quad (18)$$

Proyecto	Diseño función lógica CMOS	Página	5/9
Trabajo	Proceso de diseño	Actualizado en:	08/10/2015
Curso	VLSI	Revisado en:	09/10/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

Utilizando la ec.19, se puede encontrar la capacitancia de entrada del inversor, como se muestra a continuación:

$$C_{in_i} = \frac{C_{out_i} * g_i}{F^{\frac{1}{N}}} \quad (19)$$

3.2.3. Método de Aproximación de Elmore

Ahora se calcula el delay de propagación y el delay de contaminación de la compuerta $F=(A+B)(C+D)$ mediante el método de *Aproximación de Elmore*, el cuál se hace valer del modelo RC del transistor, para calcular los delays de una compuerta. El modelo de delay de *Elmore* estima el retraso desde una fuente conmutando a uno de los nodos hoja cambiantes como la suma sobre cada nodo i de la capacitancia C_i en el nodo, multiplicado por la resistencia efectiva R_{is} en el camino compartido desde la fuente hasta el nodo y la hoja, dando como resultado la ec.24:

$$t_{pd} = \sum_i R_{is} C_i \quad (20)$$

En la fig.?? se muestra el modelo RC completo de la compuerta,

3.2.4. Carga y descarga de un capacitor

Para el cálculo de las resistencias de canal de cada transistor, se utilizo una capacitancia de carga y descarga de $1pF$, se montaron los circuitos de las figuras 6 y 7 en el software *Electric* y se simularon los resultados en *LTSpice*, obteniendo las curvas que se observan en las figuras 8 y 9, para el caso de carga y descarga, respectivamente.


 ./R_PMOS.png

Figura 5: Circuito de Carga de Capacitor.

 ./R_NMOS.png

Figura 6: Circuito de Descarga de Capacitor.

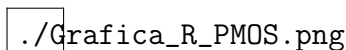
 ./Grafica_R_PMOS.png

Figura 7: Grafica de comportamiento de I_d durante la carga del Capacitor.

Utilizando un pequeño script en *Octave*, se procesan los puntos obtenidos en estas graficas y se calculan la resistencias de canal promedio de cada transistor, obteniendo los siguientes resultados:

./Grafica_R_NMOS.png

Figura 8: Grafica de comportamiento de I_d durante la descarga del Capacitor.

$$Req_P = 8,7860k\Omega \quad (21)$$

$$Req_N = 2,6919k\Omega \quad (22)$$

3.2.5. Método de Fanout

El método de Fanout plantea encontrar la resistencia equivalente de un transistor *CMOS* con los valores de la capacitancia parásita en el gate y el diferencial de tiempos de caída y levantamiento que le toma al mismo pasar de un nivel lógico a otro, con 2 valores de *fanout* distintos. Las ecuaciones para calcular las resistencias equivalentes para *PMOS* y *NMOS* son las 27 y 28 respectivamente.

$$Req_P = (2/3) * (\Delta t_r / C_g) \quad (23)$$

$$Req_N = \Delta t_f / (3 * C_g) \quad (24)$$

Se realizó la simulación del circuito propuesto encontrado en la referencia [1] sección 8.4.5. , para valores de $h=2$ (fig. 10) y $h=3$ (fig. 12 con los cuales se encontraron las graficas de los retardos de la salida con respecto a la entrada (fig. 11 y fig. 13)


./CircuitoF02.png

Figura 9: Circuito para calculo de R_{eq} con $h=2$

./F02.png


Figura 10: Gráfica tiempo V_{in} vs V_{out} $h=2$

Luego de encontrar las gráficas (fig. 11 y fig. 13), se realizó la medición de los tiempos ya mencionados anteriormente. Aunque en la referencia [1] se habla que la medición debe hacerse entre los valores de $0,8V_{dd}$ a $0,2V_{dd}$, se encontró que las pendientes de ambas graficas son aproximadamente iguales y no se encontraría la variación de la resistencia equivalente entre los CMOS por lo que se decidió medir de $0,9V_{dd}$ a $0,1V_{dd}$. Se encontraron los valores mencionados en el cuadro 3.2.5.



./CircuitoF03.png

Figura 11: Circuito para calculo de R_{eq} con $h=3$



./F03.png

Figura 12: Gráfica tiempo V_{in} vs V_{out} $h=3$

Ya con los diferenciales de tiempos medidos, se sustituyen en 27 y 28 para encontrar la resistencia equivalente de cada transistor. Para $C_g = 1,48fF/\mu m$ dependiente del ancho de canal de gate, se encuentra que los valores de resistencia son los del cuadro (3.2.5).

4. Análisis de datos y resultados.

Los resultados obtenidos en la sección 3.1.2, muestran el diseño del ancho del canal de un transistor *PMOS*, para conseguir que los tiempos de propagación sean simétricos. Los resultados obtenidos de la Ec.??, muestra un valor de relación de tamaño de ancho de canal de los transistores en un inversor de 1.3070, lo que equivale a decir que el ancho del canal del transistor *PMOS* es de 5λ , pero a la hora de simular se ajusto este valor hasta conseguir que la relación sea 1.5, esto con el fin no solo de lograr que los valores de propagación de la señal fueran simétricos, si no también para conseguir una tensión de umbral del inversor cercana a 1.65V, como se observa en la fig.??, siendo asi entonces que el nuevo tamaño del ancho de canal del transistor *PMOS* es de 6λ .

Uno de los resultados relevantes que pudimos encontrar del dimensionamiento del transistor *PMOS* es en el hecho que las corrientes de corto circuito de la fig. ?? son aproximadamente iguales, los cual nos dice que la potencia de los transistores en ambos procesos es igual. Podemos deducir que mediante un análisis dinámico para el dimensionamiento de los transistores es el método que deber usarse para el diseños de las compuertas, esto porque la simetría de las transiciones se puede obviar con respecto a tener un mínimo del tiempo de retardo para las mismas, dando como resultado, que los circuitos puedan conmutar a una mejor velocidad con la misma potencia que si se hiciese de forma simétrica las

n	tr(ps)	tf(ps)
2	97.36	101.29
3	117.84	125.055
Δ	20.44	23.76

Cuadro 2: Tiempos de levantamiento y caída de tensión para un inversor CMOS para diferentes Fanouts

Resistencia	k Ω
R_{eqp}	15.375
R_{eqn}	9.000

Cuadro 3: Resistencias equivalentes encontradas por Método de Fanout

compuertas.

En la sección 3.2 se procede a calcular el valor de las resistencias de canal para un transistor *PMOS* y un transistor *NMOS*, mediante dos métodos diferentes.

En la sección 3.2.1 se calculó la resistencia de canal por un método grafico, simulando la carga y descarga de un capacitor y obteniendo la curva de comportamiento de la corriente de *drain* de un transistor *PMOS* y *NMOS*, respectivamente, y con esto obteniendo los valores de resistencia que se muestran en la Ec.25 y Ec.26. Se considera que este método no es muy preciso al tratarse del cálculo de un valor a partir de una aproximación, que dependerá de la cantidad de valores muestrados y de la precisión de dichos valores, lo que dio como resultado obteniendo por ende un valor promedio de resistencia.

En cambio, para la sección 3.2.2, encontramos que los valores de las resistencias equivalentes son mas precisos, por el método que se emplea y que no realiza tantas aproximaciones y suposiciones para encontrar el valor de los mismos.

5. Conclusiones.

- Las ecuaciones de Shockley no da un comportamiento real de los transistores PMOS y NMOS, si no un comportamiento muy aproximado.
- El uso de diversas herramientas de simulación nos permiten encontrar proporciones de diseño bastante precisas
- El diseño de un inversor apropiado debe de procurar un balance entre el mejoramiento de los tiempos de propagación, así como la obtención de una tensión de umbral lo más cercana a $V_{DD}/2$.
- El análisis de tiempos de propagación provee un mejor punto de arranque para la obtención del tamaño de un transistor *PMOS*, permitiendo realizar ajustes en simulación que permitan llegar a un valor concreto de manera más rápida.
- El método grafico para la obtención de los valores de resistencia de canal no es el mas apropiado, aunque provee una forma rápida de encontrar un valor de resistencia aproximado aceptable.
- Se recomienda para encontrar la resistencia equivalente de los transistores el método de Fanout

Referencias

- [1] N. Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective , 4 edition.. *Boston: Addison-Wesley*, 2010.

Proyecto	Diseño función lógica CMOS	Página	9/9
Trabajo	Proceso de diseño	Actualizado en:	08/10/2015
Curso	VLSI	Revisado en:	09/10/2015
Diseñador	López F. - Quirós.J.	Revisado por:	Alfonso Chacón Rodríguez

[2] J. Rabaey, A. Chandrakasan y B. Nikolic. Digital Integrated Circuits: A Design Perspective.. *Prentice Hall*, 2005.

[3] Test Data .On SemiconductorC5.Mosis. Recompilado de: http://www.ie.itcr.ac.cr/achacon/Intro_Disenio_CI/Modelos_Spice_MOSIS/v03m-params.txt, el 07/09/2015