

VEŽBA 1

Tehnike upravljanja taktom

Potrebno predznanje

- VHDL jezik
- Xilinx ISE okruženje

Cilj vežbe

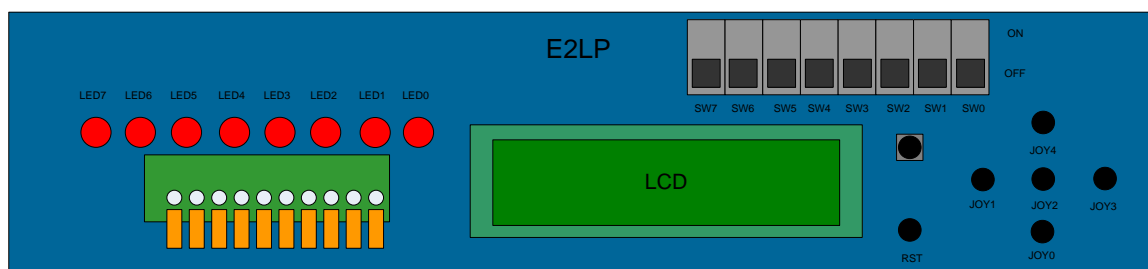
- Podsećanja na LPRS1 gradivo
- Upoznavanje sa modulom za upravljanje taktom

Upoznavanje sa komponentom za digitalnu kontrolu takta

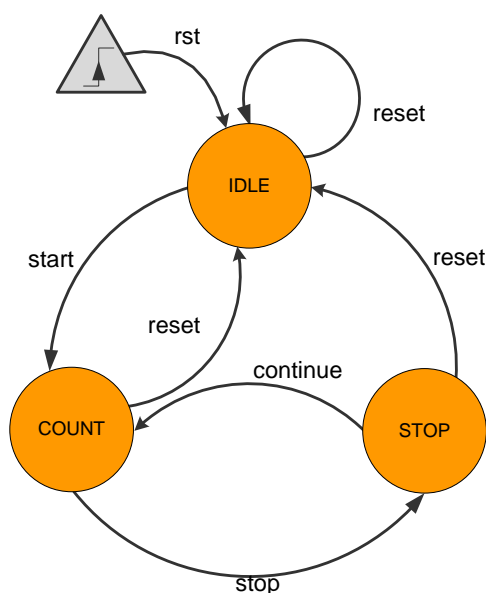
Ideja koja se krije iza ove vežbe je povezivanje osnovnog vremenskog intervala na fizičkoj arhitekturi sa „realnim vremenom“. Drugim rečima potrebno je realizovati štopericu sa prikazom na LE diodama. Štoperica ima četiri kontrolna prekidača:

1. *start* - SW2,
2. *stop* - SW 1,
3. *continue* - SW3 i
4. *reset* - SW0.

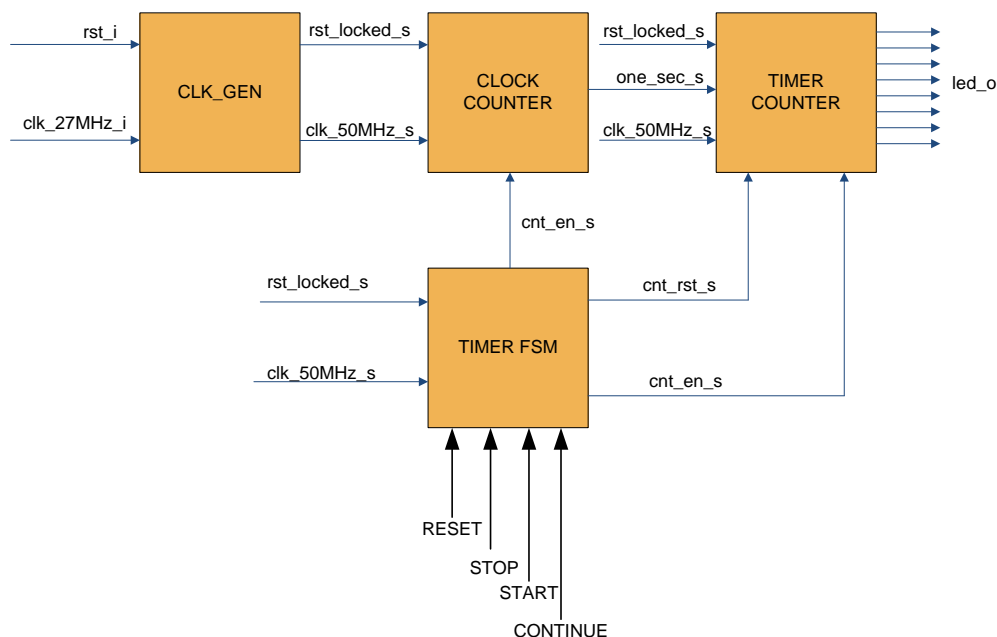
Brojanje vremena počinje aktiviranjem prekidača *start*. Ako se u toku brojanja vremena aktivira prekidač *stop* brojanje vremena se zaustavlja, a ako se aktivira prekidač *reset* trenutno brojanje se poništava i počinje se od nule. Pauzirana štoperica se prevodi u stanje brojanja aktiviranjem prekidača *continue* ili se može resetovati aktiviranjem prekidača *reset*. Kontrola štoperice je detaljno prikazana na dijagramu stanja Slika 2. Raspored prekidača, tastera i LE dioda na E2LP prikazan je na Slika 1.



Slika 1 E2LP platforma



Slika 2 Dijagram stanja automata



Slika 3 Blok dijagram sistema

Zadatak

1. Koristeći alat **CoreGenerator** napraviti DCM modul pod imenom *dcm27_to_50* koji od ulaznog takta 27 MHz pravi takt od 50 MHz.
2. Realizovati arhitekturu modula *clk_counter.vhd* - brojač koji od 50 MHz generiše signal frekvencije 1 Hz.
3. Realizovati arhitekturu modula *timer_counter.vhd* koji izbrojane sekune predstavlja na LE diodama.
4. Realizovati *timer_fsm.vhd* automat sa konačnim brojem stanja koji upravlja brojanjem sekundi na osnovu stanja prekidača.

Dodatni zadatak

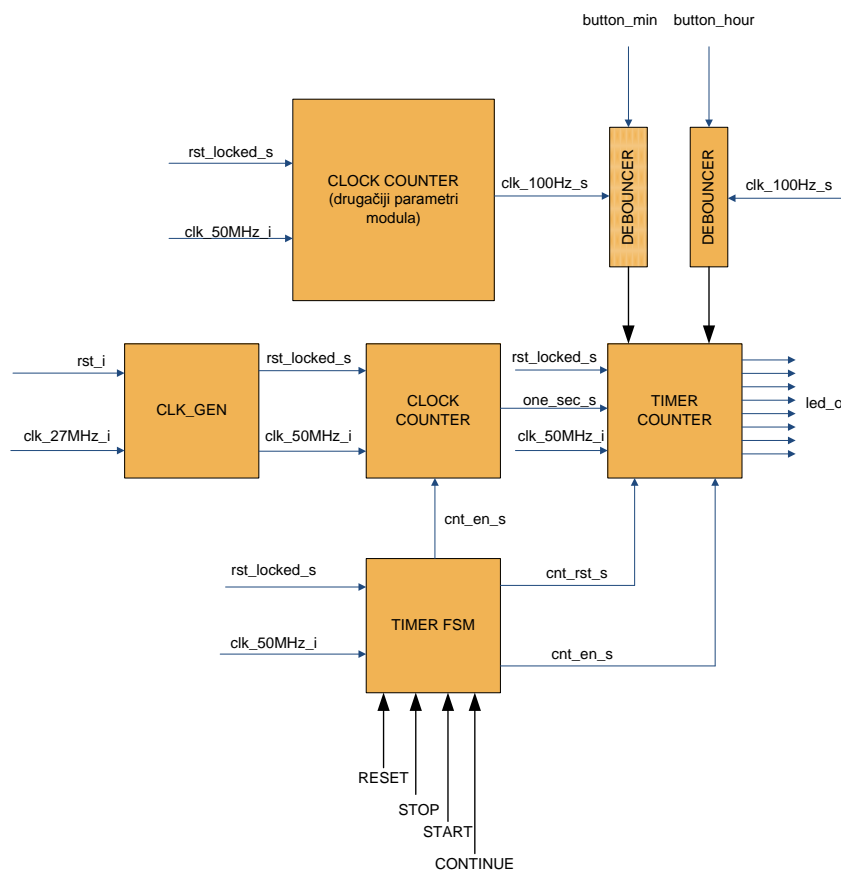
Dodatni zadatak je zamišljen kao nadogradnja osnovne vežbe. Svi kodovi dati u osnovnoj vežbi ulaze u sastav dodatnog zadatka. Izmena u odnosu na osnovni zadatak je način prikazivanja izbrojanog vremena. Sa dva tastera se kontroliše da li će biti prikazani sati, minuti ili sekunde. Ako ni jedan od tastera nije pritisnut, na LE diodama, se ispisuju sekunde ako je pritisnut taster *button_min* prikazuju se minuti i ako je pritisnut taster *button_hour* prikazuju se sati. Komande štoperice koje se zadaju putem prekidača ostaju iste.

Potrebno je uraditi:

1. Pogledati modul *debouncer.vhd* čiji je zadatak da omogući da se pritisak tastera pravilno registruje, odnosno da otkloni oscilacije koje se javljaju prilikom pritiskanja tastera.
2. Napraviti instancu modula *clk_counter* koja će od takta na 50MHz praviti signal frekvencije 100Hz za potrebe modula *debouncer*.

3. Modifikovati modul *timer_counter* da broji minute i sate, kao i da prikazuje trenutnu vrednost minuta i sata na LE diodama u zavisnosti od stanja tastera *button_min* i *button_hour*.

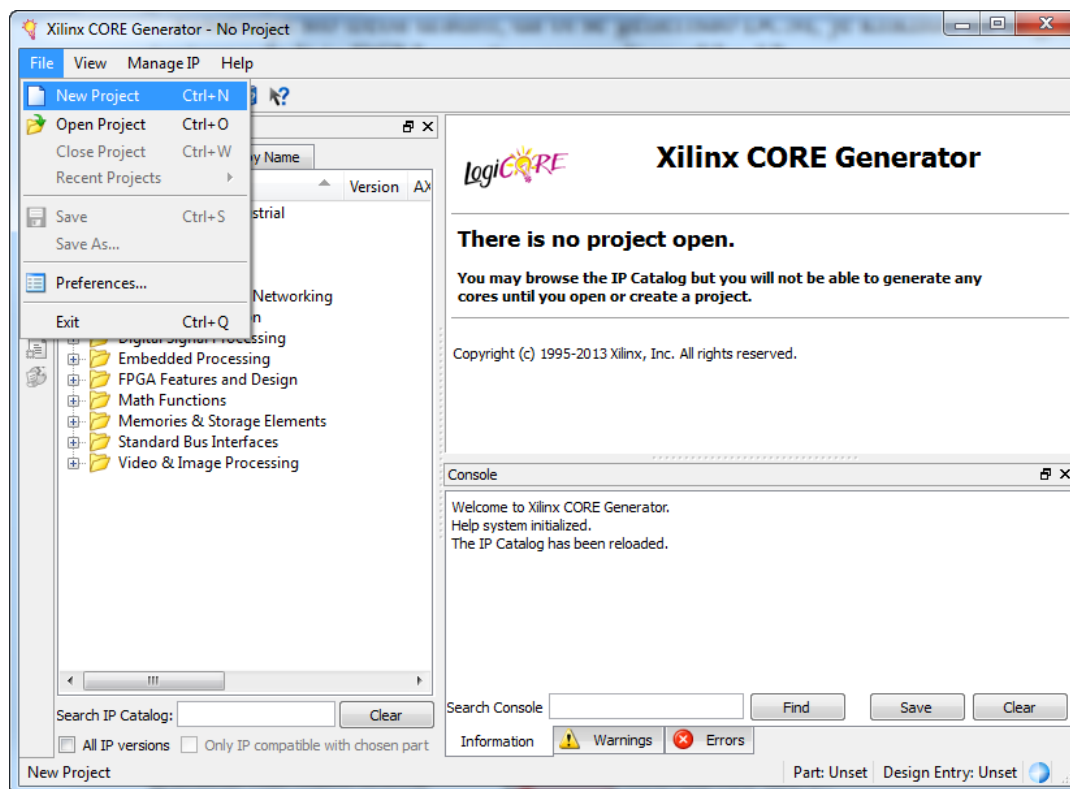
Za sve zadatke potrebno je detaljno simulirati sistem i nacrtati odgovarajuće blok dijagrame.



Slika 4 Blok dijagram sistema sa *debouncer*-om

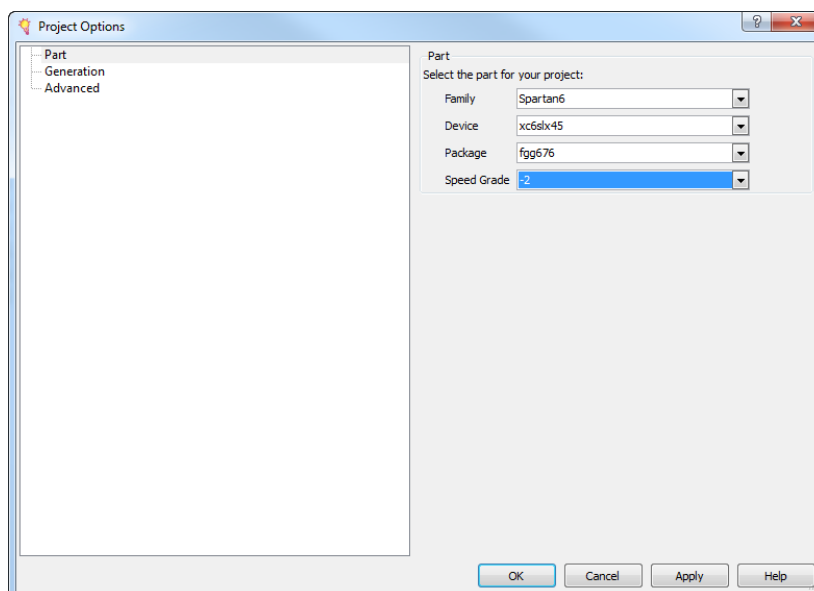
Postupak pravljenja komponente za kontrolu(CoreGenerator)

Prilikom pokretanja alata CoreGenerator pojaviće se prozor Slika 5.



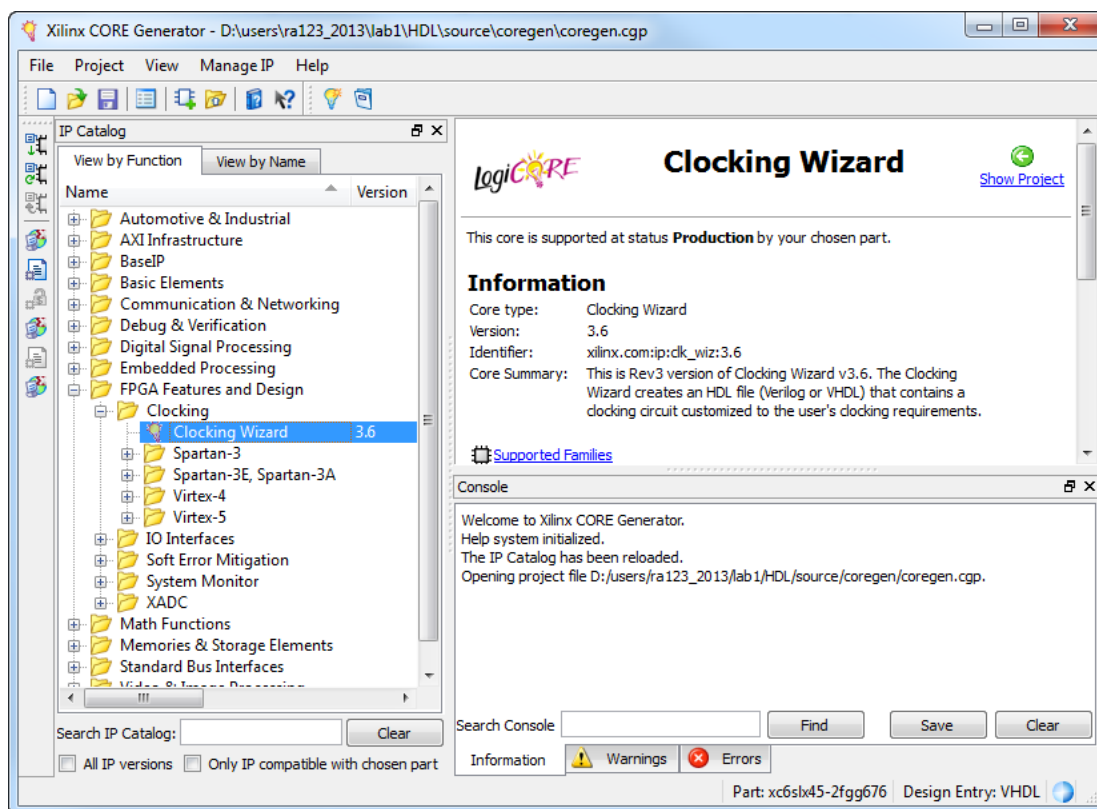
Slika 5 Početni prozor CoreGenerator alata

1. Prvo treba napraviti novi CoreGenerator projekat klikom na **New project**, Slika 5. Jedan CoreGenerator projekat može sadržati više različitih jezgara namenjenih istom FPGA integrisanom kolu. Ukoliko projekat postoji može se učitati radi ponovnog korišćenja.
2. Prilikom pravljenja projekta mora se navesti njegovo ime kao i lokacija na koju će biti snimljen projekat i sve datoteke koji alat CoreGenerator napravi. Prilikom realizacije vežbi CoreGenerator projekat i sve datoteke treba da se nalaze u direktorijumu *coregen* u referentnoj strukturi direktorijuma.
3. Sledi odabir FPGA integrisanog kola, Slika 6. Veoma je bitno odabrati tačno parametre integrisanog kola, u suprotnom može doći do problema u sintezi ili oštećenja razvojne ploče. Familija FPGA integrisanog kola je [Spartan 6](#). Česta greška je odabiranje familije Automotive Spartan 3 ili Spartan 3E. Uređaj (eng. device) je [xc6slx45](#). Pakovanje integrisanog kola je [fgg676](#) a razred brzine je [-2](#).

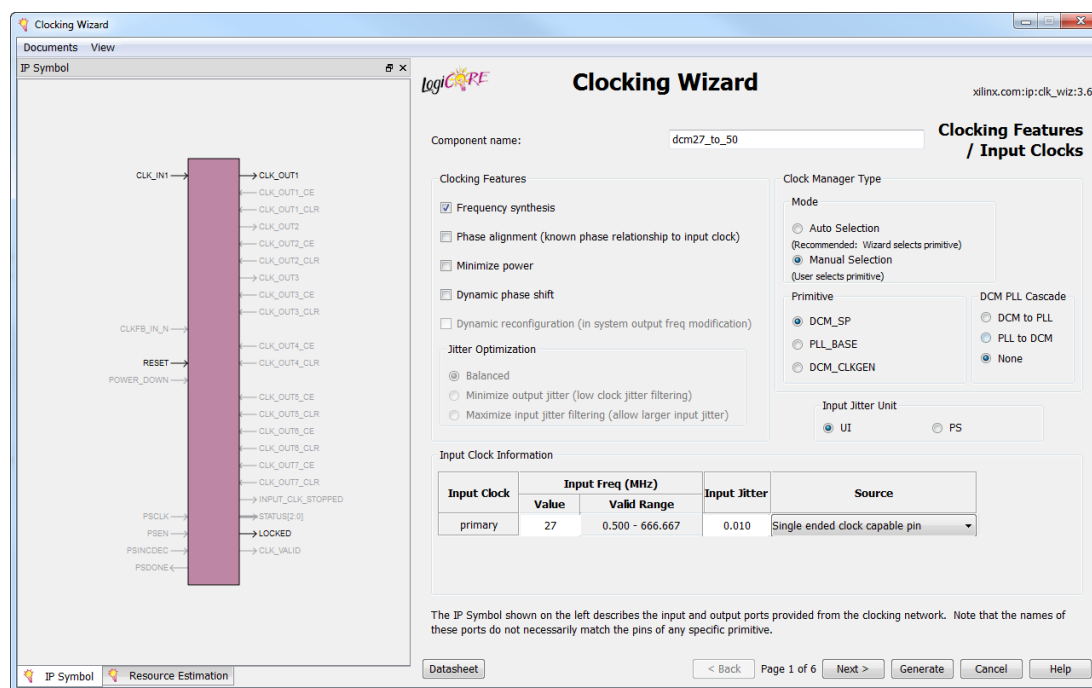


Slika 6 Odabir FPGA integrisanog kola

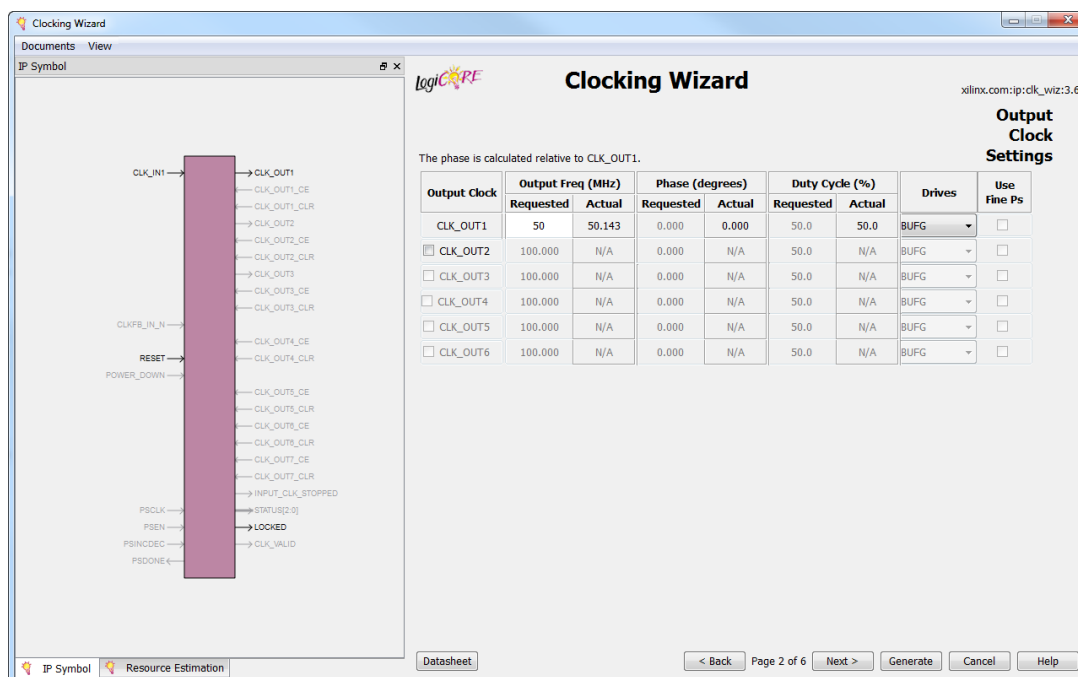
4. Na kartici *Generation*, u istom prozoru, biramo HDL jezik u kome će biti napravljen kod. U našem kursu koristimo VHDL ali se izlaz može dobiti i u Verilogu kao i u obliku šeme. Još jedna bitna stavka na ovoj kartici je i odabir implementacione datoteke. U toku sinteze FPGA projekta na ovom kursu koriste se NGC datoteke.
5. Naredni korak je odabir jezgra koje želimo da napravimo. Sa spiska treba odabrati *Clocking Wizard* Slika 7. Jezgro se nalazi na putanji *FPGA Features and Design/Clocking/Clocking Wizard*. Sva dostupna jezgra za odabrano FPGA integrisano kolo su ispisana crnim slovima a nedostupna crnim slovima. Ovde ćemo skrenuti pažnju na još jednu čestu grešku. Prva stavka u pododeljku Clocking je Spartan-3E, Spartan-3A što povede da se odabere taj pododeljak, iz koga ne možemo da odaberemo ni jedno jezgro. Do ove greške dolazi jer se ne vidi da u poslednjem redu piše Virtex-II Pro, Virtex-II, Spratan 3 zbog unapred definisanog načina otvarana prozora CoreGeneratora. Greška se lako uočava pomeranjem vertikalnog klizača.
6. Posle odabira *Clocking Wizard*-a potrebno je dati ime komponenti. Treba se potruditi da ime bude smisleno, u našem slučaju pod imenom *dcm27_to_50* module je već instanciran tako da ćemo napraviti grešku ukoliko ga nazovemo drugačije.



Slika 7 Clocking Wizard



Slika 8 Podešavanje ulaznog takta



Slika 9 Podešavanje izlaznog takta

Nakon ovog koraka prelazimo na odabir parametara komponente za digitalnu kontrolu takta. Radi jednostavnijeg izlaganja parametri će biti navedeni redosledom označenim brojevima na slici. Redosled odabiranja parametara je bitan jer su neke opcije dostupne pošto se neki druge odaberu.

1. Clock Manager Type - Izabraćemo *Manual Selection i DCM_SP*.
2. **Input Clock information:** Na E2LP platformi standardno je montiran oscilator od 27 MHz. Za vrednost **Value** potrebno je uneti 27MHz.
- 3.
4. **Output Clocking Settings:** Za potrebe vežbe potrebno je napraviti takt 50 MHz od ulaznog 27 MHz. U polje **Requested** unećemo 50.
5. Sva ostala polja ćemo ostaviti na podrazumevajućim vrednostima.
6. Poslednje što treba uraditi, da bi se generisao DCM, je kliknuti na dugme *Finish*. U konzoli će biti ispisano da li je DCM uspešno napravljen.
7. Ovim je završeno generisanje DCM komponente.