

高速脉冲峰值保持电路的设计

吴宁, 李正生, 张民

(第二炮兵工程大学 101 教研室 陕西 西安 710025)

摘要: 为满足能谱分析中多道脉冲幅度分析器 A/D 转换的要求, 设计了一种高速脉冲峰值保持电路。以高速电压比较器 LM311、采样/保持芯片 LF398 作为主要器件, 具有幅度判别、波形采样、峰值保持、电荷泄放等功能, 结构简单, 易于调试。实验表明: 对于高速脉冲信号, 该电路可以较好地甄别峰值并保持, 性能可靠, 响应速度快, 误差小于 1%。

关键词: 高速脉冲; 峰值保持电路; LM311; LF398

中图分类号: TN78

文献标识码: A

文章编号: 1674-6236(2012)11-0154-03

Design of a peak hold circuit for high-speed pulse

WU Ning, LI Zheng-sheng, ZHANG Min

(101 Staff Room, The Second Artillery Engineering University, Xi'an 710025, China)

Abstract: To meet the requirement of the A/D conversion of multi-channel pulse amplitude analyzer (MCA) in the spectrum measurement a peak hold circuit suitable for high-speed pulse is designed. It includes high-speed voltage comparator LM311 and Sample/Hold chip LF398, with the functions of amplitude discrimination, waveform sampling, peak hold and charging etc. It has simple structure and is easy to debug. Experiment shows that for high-speed signals, the circuit can identify peak and keep it, the error is less than 1%, which has the advantages of reliable performance and fast response.

Key words: high-speed pulse; peak hold circuit; LM311; LF398

在能谱测量中, 多道脉冲幅度分析器所测量的是脉冲的峰值幅度, 但探测器输出信号经过线性放大后的脉冲信号峰顶很窄, 即使经过理想最佳滤波器^[1]将窄脉冲调理成信噪比很高的高斯脉冲, 仍不能满足多道脉冲幅度分析特别是 A/D 转换的要求。这时必须由脉冲峰值保持电路将脉冲峰值甄别并展宽, 使脉冲的峰值保持一段时间再送入后续电路。因此, 峰值保持电路又叫做模拟展宽器^[2]。笔者采用集成芯片设计了一种适用于高速脉冲信号的峰值保持电路, 对于 100 kHz 的模拟信号, 峰值保持电路可以准确地采集到峰值并保持, 同时向单片机发出请求中断信号, 启动 A/D 转换器。A/D 转换完成后, 保持电容迅速放电, 等待下一个脉冲的到来。

1 峰值保持理论

峰值保持电路具有保持和采样 2 个状态。处于采样状态时, 电路的输出始终跟随输入信号; 处于保持状态时, 电路的输出保持着前一次采样结束前瞬间的输入模拟量^[3-5]。在高速脉冲峰值采集过程中, 为保证 A/D 转换精度, 在转换过程中其输入信号变化量不能大于 1/2 LSB。假设输入信号 $V_i = V_m \sin \omega t$, 则 V_i 的最大变化率为

$$\frac{dV_i}{dt} = V_m \cdot \omega \quad (1)$$

当 A/D 转换器的分辨率为 n 位, 转换时间为 t_c 时, 为保

证 A/D 转换器的正常工作, 则

$$\Delta V_i \Delta t = t_c = V_m \omega t_c \leq \frac{1}{2} \left(\frac{V_m}{2^{n-1}} \right) \quad (2)$$

由上式可得输入信号所允许的最大频率为

$$f_{\max} = \frac{1}{2^{n+1} \cdot \pi \cdot t_c} \quad (3)$$

设 8 位 A/D 转换器的转换时间 $t_c = 100 \mu s$, 代入上式计算可得, A/D 转换器的所允许的最大输入信号频率 $f_{\max} = 6 \text{ Hz}$ 。为获取高频的脉冲信号峰值, 必须在信号输入 A/D 转换器之前对其峰值进行保持。

传统的峰值保持电路原理图如图 1 所示, 由集成运算放大器, 二极管和电容构成。图 2 为其工作波形, 其中波形 1 为输入信号波形, 波形 2 为开关 K_1 打开后峰值保持的波形。

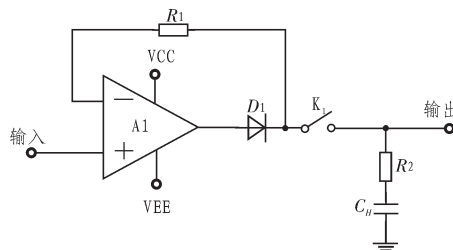


图 1 传统峰值保持电路原理图

Fig. 1 Schematic diagram of traditional peak hold circuit

在传统的峰值保持电路中, 输入信号通过由运算放大器组成的电压跟随器后向保持电容充电, 直到充到输入电压的

收稿日期: 2012-03-23

稿件编号: 201203174

作者简介: 吴宁 (1987—), 男, 山东济南人, 硕士研究生。研究方向: 信号与信息处理。

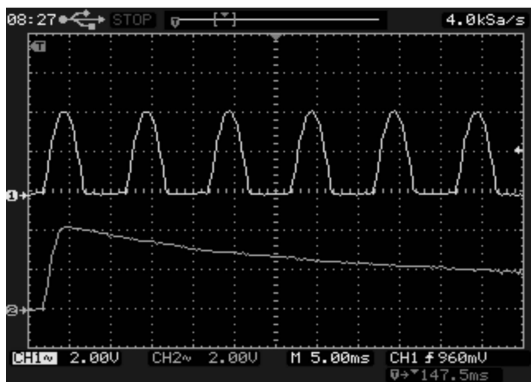


图2 工作波形

Fig. 2 Work waveform

最大值。在理想情况下,保持电容可以保持输入信号的峰值电压,但是实际中二极管的反向电阻不是无穷大,电路下一级也存在电阻并且保持电容存在漏电。从频域来看,二极管和保持电容组成的网络积分非线性大、动态范围小且存在极点,由于二极管内部电阻不是恒定值,极点的位置不固定。通过这样的电路采集到的峰值信号,不能够满足高速脉冲信号处理的要求。为了克服以上缺点,前人做了大量工作,其中文献[6-8]设计了由肖特基二极管和跨导放大器组成的峰值保持电路,取得了较好效果,但是仍存在对于高速窄脉冲信号响应不灵敏、精度低等不足。本文旨在提出并设计一种适用于高速脉冲信号的峰值保持电路。

2 电路原理

图 3 是峰值保持电路原理图,该电路主要由幅度判别、波形采样、峰值保持、电荷泄放等部分组成,幅度判别采用高速低功耗电压比较器 LM311 实现,电压上阈、下阈由可调精密电位器分压获得。由于 LM311 输出端集电极开路,将 U1、U2 输出端接上拉电阻可实现“线与”功能;采用 National Semiconductor 公司的采样保持芯片 LF398 实现采样/保持功能,其控制端可直接接于 TTL/CMOS 逻辑电平,LOGIC 引脚电平决定电路处于采样/保持状态。模拟开关 MAX4541 接收单片机控制信号,控制保持电容 C_3 、 C_4 充放电。若输入信号 V_i 幅度处于上下阈之间,U1、U2 同时输出高电平,“线与”后得到高电平送到 U5 的 LOGIC 管脚,U5 处于采样状态,输出 OUT1 跟随输入信号 V_i 变化。峰值没有到来时,OUT1< V_i ,比较器 U3 输出低电平,D 触发器 U4 不触发,A/D 转换不启动,模拟开关 U7 断开,电容充电。当峰值到来时,U1、U2、U5 状态不变,而由于 OUT1> V_i ,U3 输出高电平,产生上升沿,D 触发器 U4 被触发,/Q 输出低电平,U6 处于保持状态,将 OUT1 输出的峰值保持住,并送至 A/D 转换器;同时 Q 输出高电平,向单片机发送中断信号,通知单片机峰值到来,单片机收到中断信号后启动 A/D 转换。A/D 转换完成后,单片机向 D 触发器发出清零信号,同时控制模拟开关 U7 闭合,保持电容 C_3 、 C_4 放电,等待下一个脉冲的到来。

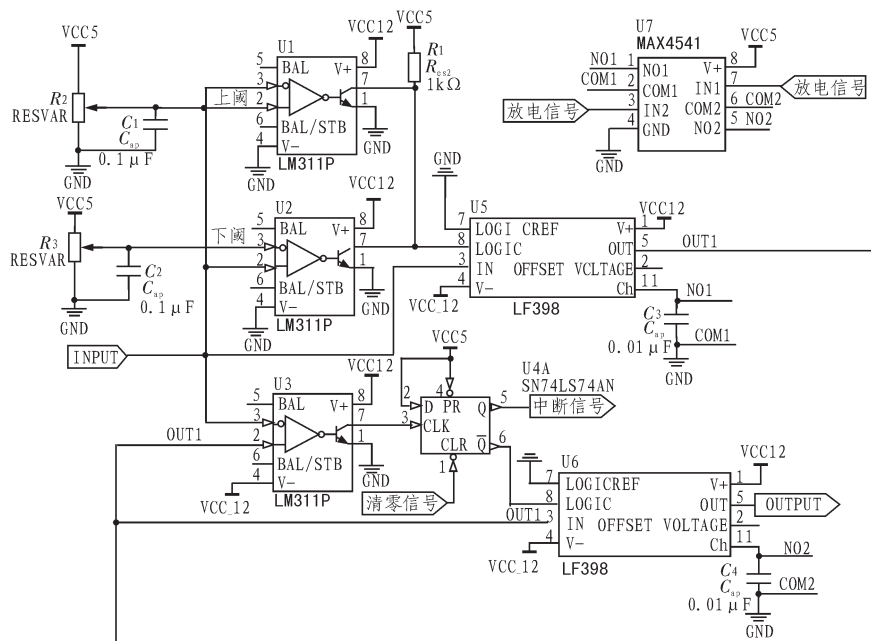


图 3 峰值保持电路原理图

Fig. 3 Schematic diagram of peak hold circuit

3 电路调试

3.1 保持电容的选取

保持电容对于电路精度具有很大影响。电容及其容值的选择应综合考虑下降误差、采样保持偏差、采样频率、精度等指标。保持电容产生误差的主要原因是感应吸收,即电容

两端在电压急剧变化时,产生电容值下降的现象。经测试发现:电容两端电压在 $1\text{ }\mu\text{s}$ 内由 10 V 降至 100 mV 时,聚脂薄膜电容约变化 0.8% ,陶瓷电容变化在 1% 以上,本电路中保持电容 C_3 、 C_4 选用感应吸收与漏电流均较小的聚苯乙烯电容。容值的选取参照如图 4 所示曲线^[9]。容值选的过小,则峰

值保持时间会缩短;选的过大,则电容充放电时间过长。综合以上因素, C_3 、 C_4 电容值取 $0.01 \mu\text{F}$ 。

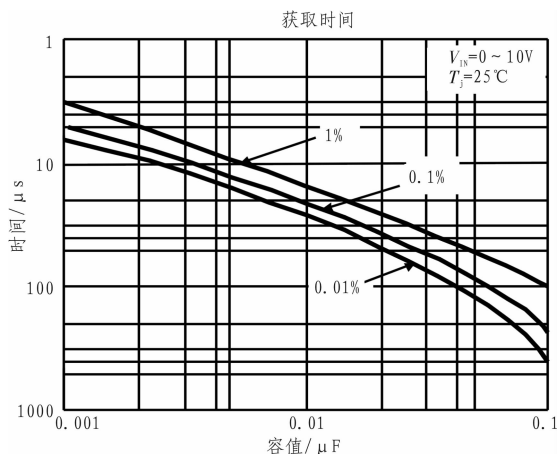


图4 获取时间与容值的关系曲线

Fig. 4 Curve relationship between acquisition time and hold capacitor value

3.2 尖峰电压的消除

在调试过程中笔者发现,当电路由采样状态切换到保持状态的瞬间,输出端产生了尖峰电压。起初,笔者降低输入逻辑输入信号的幅度(由 12 V 降低到 1 V),但尖峰电压并没有很好的消除。经过对于 LF398 各管脚间耦合情况的分析测试得出:尖峰电压是由于 LF398 进入保持状态的同时,逻辑输入信号通过电路板布线间寄生电容耦合和漏电耦合到模拟信号输入端引起的。假设逻辑输入端(也就是 LOGIC 引脚)与保持电容存在着 1 pF 的寄生电容,保持电容是 $0.01 \mu\text{F}$,那么当逻辑输入端由 0 V 跳变到 5 V ,LF398 从采样状态切换到保持状态时,相当于在模拟输入端增加了约 1 mV 的输入信号,因而会在输出端产生尖峰。可以采取以下措施消除尖峰:一是在布线时逻辑输入端走线与模拟输入端走线尽可能远些;二是将模拟输入端用地线包围起来,降低线间寄生电容耦合和漏电耦合干扰。

4 实验结果

为验证文中电路的可行性,用盛谱科技公司的 F05 型任意波信号发生器产生幅度为 1 V 、频率为 100 kHz 的脉冲信号作为输入,用同惠电子公司的 TDO1000 型双通道示波器观察输入输出电压波形,如图 5 所示,波形 1 为峰值保持电路输入信号波形,波形 2 为峰值保持稳定后的信号波形。从图中可以看出,文中设计的峰值保持电路较好地保持了输入信号的峰值,起伏较小。电路保持住的峰值与输入信号峰值误差 $< 1\%$,满足 A/D 转换的要求。

5 结束语

文中介绍了采用电压比较器 LM311,采样/保持芯片

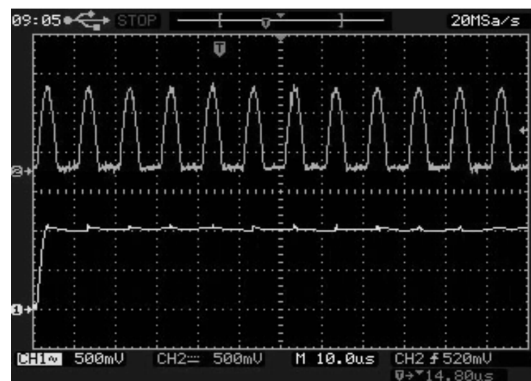


图5 峰值保持电路波形

Fig. 5 Waveform of peak hold circuit

LF398 集成芯片等构成的峰值保持电路,结构简单、成本低廉、易于调试。实验表明,该电路性能可靠、稳定性好、可以有效地克服温漂,灵敏度好,误差小于 $< 1\%$,可用于高速脉冲信号的峰值甄别保持,下一步将致力于提高电路在复杂环境下的峰值保持的有效性,提高电路的抗干扰能力。

参考文献:

- [1] 管致中. 信号与线性系统 [M]. 北京: 高等教育出版社, 2004.
- [2] 王芝英. 核电子技术原理 [M]. 北京: 原子能出版社, 1989.
- [3] 王经瑾. 核电子学 [M]. 北京: 原子能出版社, 1985.
- [4] 李强, 刘士兴, 聂本明. 一种核脉冲峰值保持和数据获取电路研究 [J]. 电子测量与仪器学报, 2009: 363-366.
- LI Qiang, LIU Shi-xing, NIE Ben-ming. Research on a peak holding and data acquisition circuit for nuclear pulse [J]. Electronic Measurement and Instrument Journal, 2009: 363-366.
- [5] Khoini P R, Lim L B, Johns D. Time-interleaved oversampling A/D converters theory and practice [J]. IEEE Transaction Circuits and System, 1997, 44(8): 65-71.
- [6] Buckens P F, Veatch M S. A high performance peak detect & hold circuit for pulse height analysis [J]. IEEE Trans Nuclear Science, 1992, 39(4): 753-757.
- [7] 胡贤龙, 翁东山, 冯旗, 等. 窄脉冲信号峰值保持器 [J]. 核电子学与探测技术, 2009, 29(1): 42-45.
- HU Xian-long, WENG Dong-shan, FENG Qi, et al. A peak hold circuit for narrow pulse [J]. Nuclear Electronics & Detection Technology, 2009, 29(1): 42-45.
- [8] 李梅, 赵宝升, 朱香平. 一种简单的峰值保持电路 [J]. 核电子学与探测技术, 2010, 30(10): 1323-1324.
- LI Mei, ZHAO Bao-sheng, ZHU Xiang-ping. A simple pulse peak hold circuit [J]. Nuclear Electronics & Detection Technology, 2010, 30(10): 1323-1324.
- [9] National Semiconductor. LF398 Data Sheet [M]. National Semiconductor, 2006.