

A decorative network diagram in the top-left corner, featuring a complex web of interconnected nodes and lines. Some nodes are highlighted with blue circles, and others with blue dots. The lines are thin and gray, creating a mesh-like structure.

作業四：ALU

2022/05/09



設計規格描述

- 請用Case語法設計出一個算數邏輯單元-ALU

- 輸入/輸出腳位

| 訊號名稱 | I/O | Bit數 | 描述 |
|------|-----|------|----------|
| a | I | 4 | 四位元無符號資料 |
| b | I | 4 | 四位元無符號資料 |
| op | I | 3 | 三位元指令碼 |
| c | O | 8 | 八位元無符號結果 |

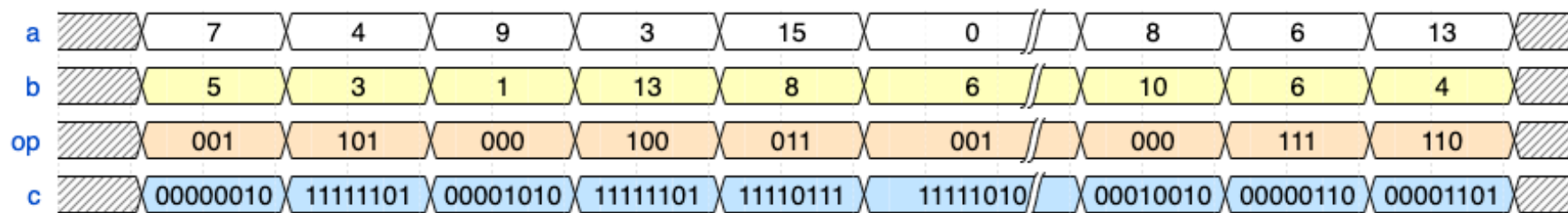
- 提供檔案

| 檔案名稱 | 描述 |
|-------------|--|
| alu.v | Verilog檔案(自行設計)，用於RTL模擬。注意：I/O 腳位已定義，請勿更改！ |
| tb.v | Testbench(測試檔)，用於RTL模擬、Gate-Level模擬 |
| pattern.dat | 作為電路模擬時，輸入訊號測試資料 一同放入ModelSim專案內 |
| golden.dat | 作為電路模擬時，比對輸出結果的資料 一同放入ModelSim專案內 |

功能描述

| OP Code | 功能 |
|---------|----------------------|
| 000 | a 跟 b 相加 |
| 001 | a 跟 b 相減 |
| 010 | a 跟 b 做 xor |
| 011 | a 跟 b 做 nand |
| 100 | a 做 2 的補數 |
| 101 | b 做 2 的補數 |
| 110 | a >= b 時，輸出 a，否則輸出 b |
| 111 | 直接輸出 b |

電路波形範例



電路模擬範例

• RTL、Gate-Level模擬 -> PASS

▸ Modelsim模擬步驟、Quartus合成步驟請參考tools教學

```
# | - 111      1111      0001      00001000 == 00001000 -|
# | - 111      1111      0010      00000001 == 00000001 -|
# | - 111      1111      0011      00001001 == 00001001 -|
# | - 111      1111      0100      00000010 == 00000010 -|
# | - 111      1111      0101      00001010 == 00001010 -|
# | - 111      1111      0110      00000011 == 00000011 -|
# | - 111      1111      0111      00001011 == 00001011 -|
# | - 111      1111      1000      00000100 == 00000100 -|
# | - 111      1111      1001      00001100 == 00001100 -|
# | - 111      1111      1010      00000101 == 00000101 -|
# | - 111      1111      1011      00001101 == 00001101 -|
# | - 111      1111      1100      00000110 == 00000110 -|
# | - 111      1111      1101      00001110 == 00001110 -|
# | - 111      1111      1110      00000111 == 00000111 -|
# | - 111      1111      1111      00001111 == 00001111 -|
# |-----|-----|-----|-----|-----|
# |  OP   |  A   |  B   |  ALU   |  ALU   |
# |-----|-----|-----|-----|-----|
# |-----|-----|-----|-----|-----|
# |                                     ALL PASS                                     |
# |-----|-----|-----|-----|-----|
# ** Note: $finish      :
# Time: 4097 ns  Iteration: 0  Instance: /tb_alu
# 1
```

助教只檢查Gate-Level模擬 是否通過

上傳檔案

- **RTL**

1. *.v (你所有的Verilog RTL Code)

- **Gate-Level**

1. *.vo (Quartus 生成的Gate-Level Netlist)
2. *.sdo (Quartus 生成的 SDF 時序資訊)

- **Document**

1. *.pdf (你的設計報告文件 請轉成PDF格式)