



# 作業三 : UpDown

2022/05/09

## 設計規格描述

- 請設計出一個上下數計數器(Up and Down Counter)的電路

此電路可以上數0到15或是下數15到0，並且當上數數到15時還在上數狀態必須將輸出保持在15，反之，當下數數到0時還在下數狀態必須將輸出保持在0。

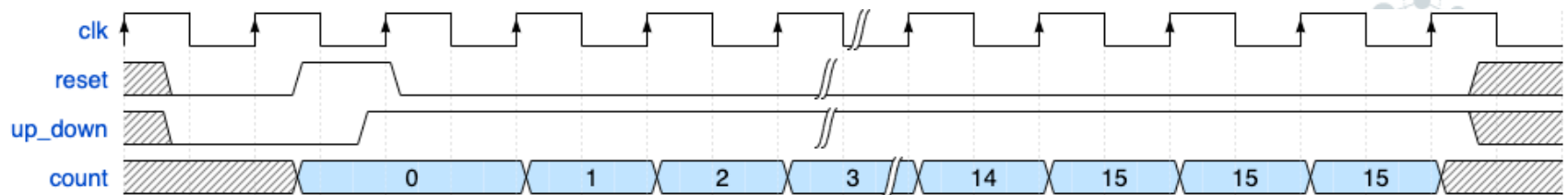
- 輸入/輸出腳位

訊號名稱	I/O	Bit數	描述
clk	I	1	本電路同步於時脈正緣之同步設計
reset	I	1	高準位非同步(active high asynchronous)之電路重置訊號
up_down	I	1	上下數控制訊號腳。高準位為上數，低準位為下數
count	O	4	輸出資料(範圍0~15)

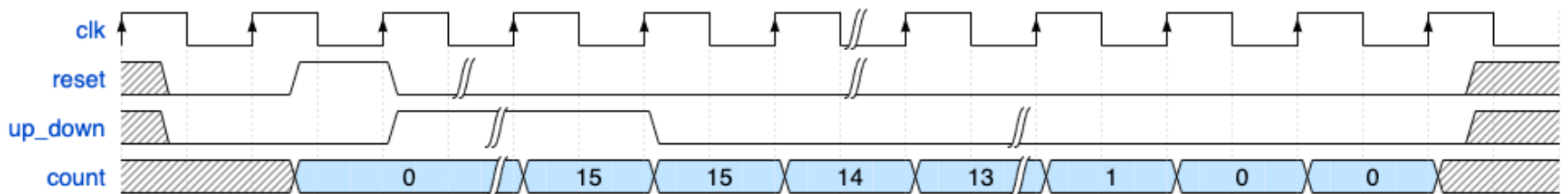
- 提供檔案

檔案名稱	描述
UpDown.v	Verilog檔案(自行設計)，用於RTL模擬 注意：I/O 腳位已定義，請勿更改！
testfixture.v	Testbench(測試檔)，用於RTL模擬、Gate-Level模擬

## 電路波形範例



↑ 上數波形



↓ 下數波形

# 電路模擬範例

## • RTL、Gate-Level模擬 -> PASS

▸ Modelsim模擬步驟、Quartus合成步驟請參考tools教學

```
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 1 = YOUR OUTPUT : 1 -|
# | - EXPECTED OUTPUT : 2 = YOUR OUTPUT : 2 -|
# | - EXPECTED OUTPUT : 3 = YOUR OUTPUT : 3 -|
# | - EXPECTED OUTPUT : 2 = YOUR OUTPUT : 2 -|
# | - EXPECTED OUTPUT : 1 = YOUR OUTPUT : 1 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# | - EXPECTED OUTPUT : 0 = YOUR OUTPUT : 0 -|
# |-----|
# |----- PASS -----|
# | All data have been generated successfully! |
# |-----|
```

助教只檢查Gate-Level模擬 是否通過

## 上傳檔案

- **RTL**

1. \*.v (你所有的Verilog RTL Code)

- **Gate-Level**

1. \*.vo (Quartus 生成的Gate-Level Netlist)
2. \*.sdo (Quartus 生成的 SDF 時序資訊)

- **Document**

1. \*.pdf (你的設計報告文件 請轉成PDF格式)