



作業七：BP

2022/05/30

設計規格描述

• 請用設計出一個雙模態預測器(bimodal predictor)

雙模態預測器又稱2bit飽和計數器，是一種簡單的動態分支預測器，在現今的處理器內分支預測器是一個不可或缺的功能，主要功能是在分支指令執行結束之前猜測哪一路分支將會被執行，以提高處理器的指令Pipeline的效能。使用分支預測器的目的，在於改善指令Pipeline的流程

▸ 輸入/輸出腳位

訊號名稱	I/O	Bit數	描述
clk	I	1	本電路同步於時脈正緣之同步設計
rst	I	1	高準位非同步(active high asynchronous)之電路重置訊號
jump	I	1	當為 High 時，表示需要轉跳 當為 Low 時，表示不需轉跳
out	O	4	四位元無號數輸出

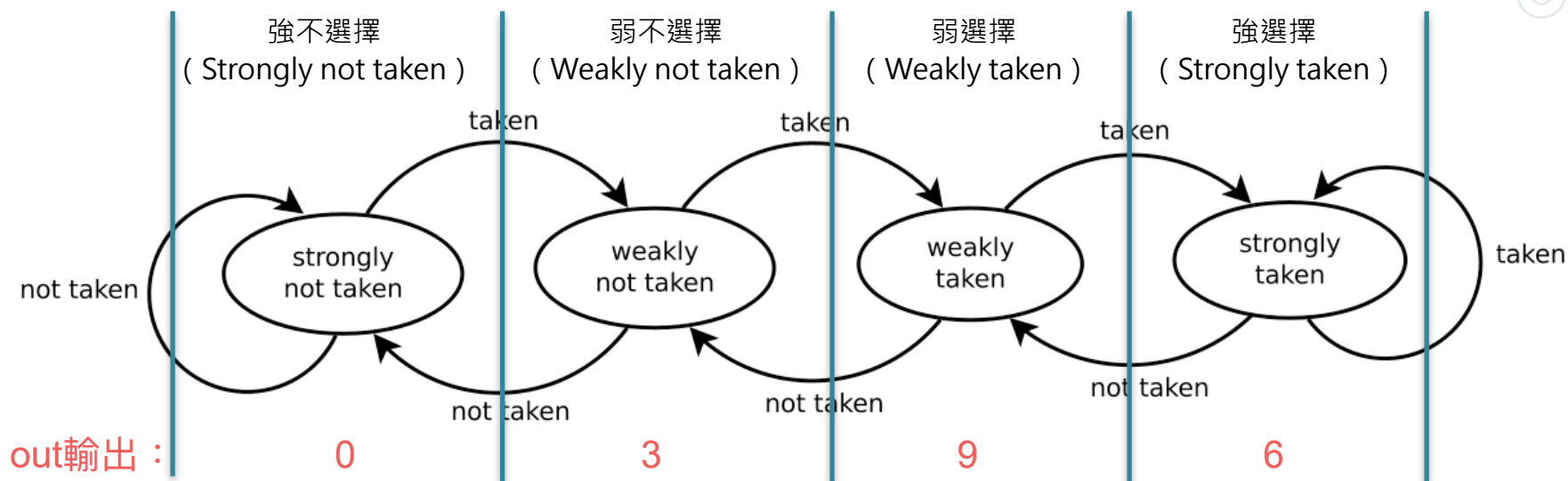
▸ 提供檔案

檔案名稱	描述
BP.v	Verilog檔案(自行設計)，用於RTL模擬。注意：I/O 腳位已定義，請勿更改！
BP_tb.v	Testbench(測試檔)，用於RTL模擬、Gate-Level模擬
pattern1.dat, pattern2.dat	作為電路模擬時，輸入訊號測試資料 一同放入ModelSim專案內
golden1.dat, golden2.dat	作為電路模擬時，比對輸出結果的資料 一同放入ModelSim專案內

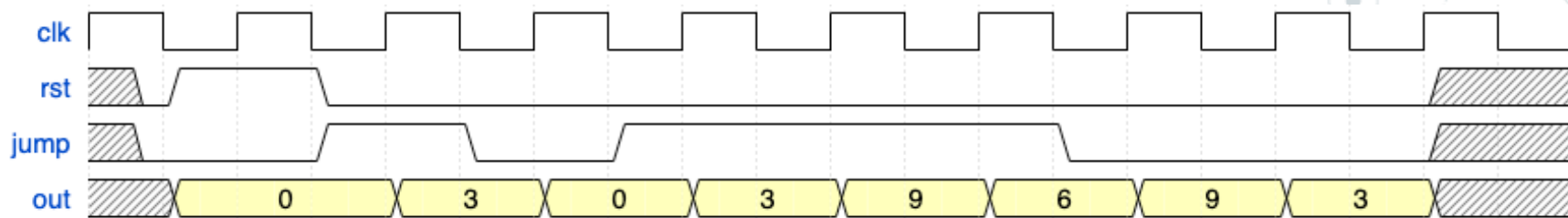
功能描述

- 資料輸入:當reset訊號送出後，請將狀態設定到初始狀態(強不選擇)，並且依照jump訊號來決定下一個狀態
- 資料輸出:依照不同狀態在out線輸出不同資料

雙模態預測器是一種有4個狀態的狀態機：



電路波形範例




提示：

此題請參考第五章的有限狀態機，來完成此題的設計
Coding Style 可參考第五章的第12頁完成

電路模擬範例

- RTL、Gate-Level模擬 -> PASS

► **Modelsim模擬步驟、Quartus合成步驟請參考tools教學**

```
#####  
**                                     **  
**   Congratulations !!             **  
**                                     **  
**   Simulation PASS!!              **  
**                                     **  
#####  
  
#####  
# ** Note: $finish      :  
#    Time: 3275 ns   Iteration: 2   Instance: /testfixture  
# 1
```

助教只檢查Gate-Level模擬 是否通過

上傳檔案

- **RTL File**

1. BP.v (你所有的Verilog RTL Code)

- **Gate-Level File**

1. BP.vo (Quartus 生成的Gate-Level Netlist)
2. BP.sdo (Quartus 生成的 SDF 時序資訊)

- **Document**

1. report.pdf (你的設計報告文件 **請轉成PDF格式**)

▲請包成zip格式，並命名為 學號__HW7.zip

本次及補交作業上傳注意事項

- 1.Quartus 請一律使用 **Cyclonell** 晶片
- 2.**請勿**將整個專案資料夾包進zip檔上傳，如發現上傳整個專案者一律**視同未繳交**
- 3.設計**未完成的**檔案請勿上傳，如果只有gate-level無法通過，可只上傳.v檔
- 4.上傳後請再次檢查上傳是否有誤，如上傳錯誤一律**視同未繳交**