



作業六：Sort

2022/05/23

設計規格描述

• 請用設計出一個排序電路，並且將輸入資料由小排到大

排序 (Sorting) 在電腦領域中是非常普遍且重要工作，即是將一群不規格的資料按照某個規格來重新排列，讓排序過的資料容易閱讀、利於統計整理、和減少搜尋時間

▸ 輸入/輸出腳位

訊號名稱	I/O	Bit數	描述
clk	I	1	本電路同步於時脈正緣之同步設計
rst	I	1	高準位非同步(active high asynchronous)之電路重置訊號
data_vaild	I	1	有效輸入資料之通知訊號 當為 High 時，表示目前輸出data為有效輸入
data	I	8	八位元無號數輸入
valid	O	1	有效輸出資料之通知訊號 當為 High 時，表示目前輸出sort_data為有效輸出
sort_data	O	8	八位元無符號輸出

▸ 提供檔案

檔案名稱	描述
sort.v	Verilog檔案(自行設計)，用於RTL模擬。注意：I/O 腳位已定義，請勿更改！
sort_tb.v	Testbench(測試檔)，用於RTL模擬、Gate-Level模擬
pattern.dat	作為電路模擬時，輸入訊號測試資料 一同放入ModelSim專案內
golden.dat	作為電路模擬時，比對輸出結果的資料 一同放入ModelSim專案內

功能描述

- 資料輸入:當reset訊號送出後，data線會開始送出資料，並且以六筆為一個單位，共送出10次
- 資料輸出:請將送出的六筆資料由小到大排序，並且送出資料，資料送出時請將vaild拉High

	1	2	3	4	5	6
1	24	81	09	63	0d	8d
2	65	12	01	0d	76	3d
3	ed	8c	f9	c6	c5	aa
4	e5	77	13	8f	f2	ce
5	e8	c5	5c	bd	2d	65
6	63	0a	80	20	aa	9d
7	96	13	0d	53	6b	d5
8	02	ae	1d	cf	23	0a
9	ca	3c	f2	8a	41	d8
10	78	89	eb	b6	c6	ae

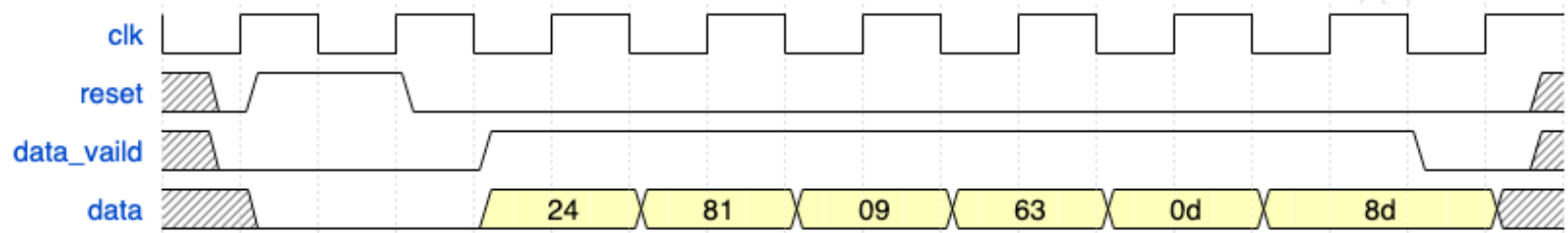
pattern.dat



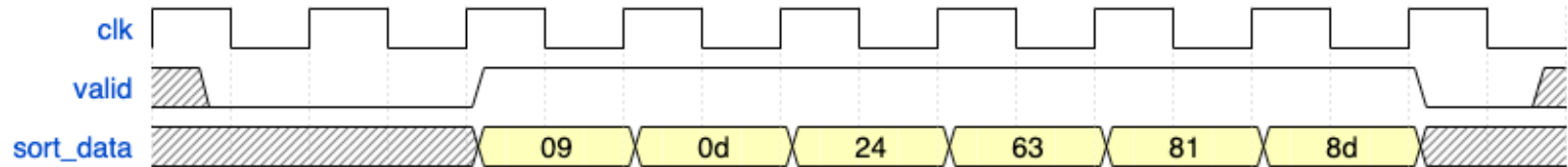
	小	1	2	3	4	5	大	6
1		09	0d	24	63	81		8d
2		01	0d	12	3d	65		76
3		8c	aa	c5	c6	ed		f9
4		13	77	8f	ce	e5		f2
5		2d	5c	65	bd	c5		e8
6		0a	20	63	80	9d		aa
7		0d	13	53	6b	96		d5
8		02	0a	1d	23	ae		cf
9		3c	41	8a	ca	d8		f2
10		78	89	ae	b6	c6		eb

golden.dat

電路波形範例

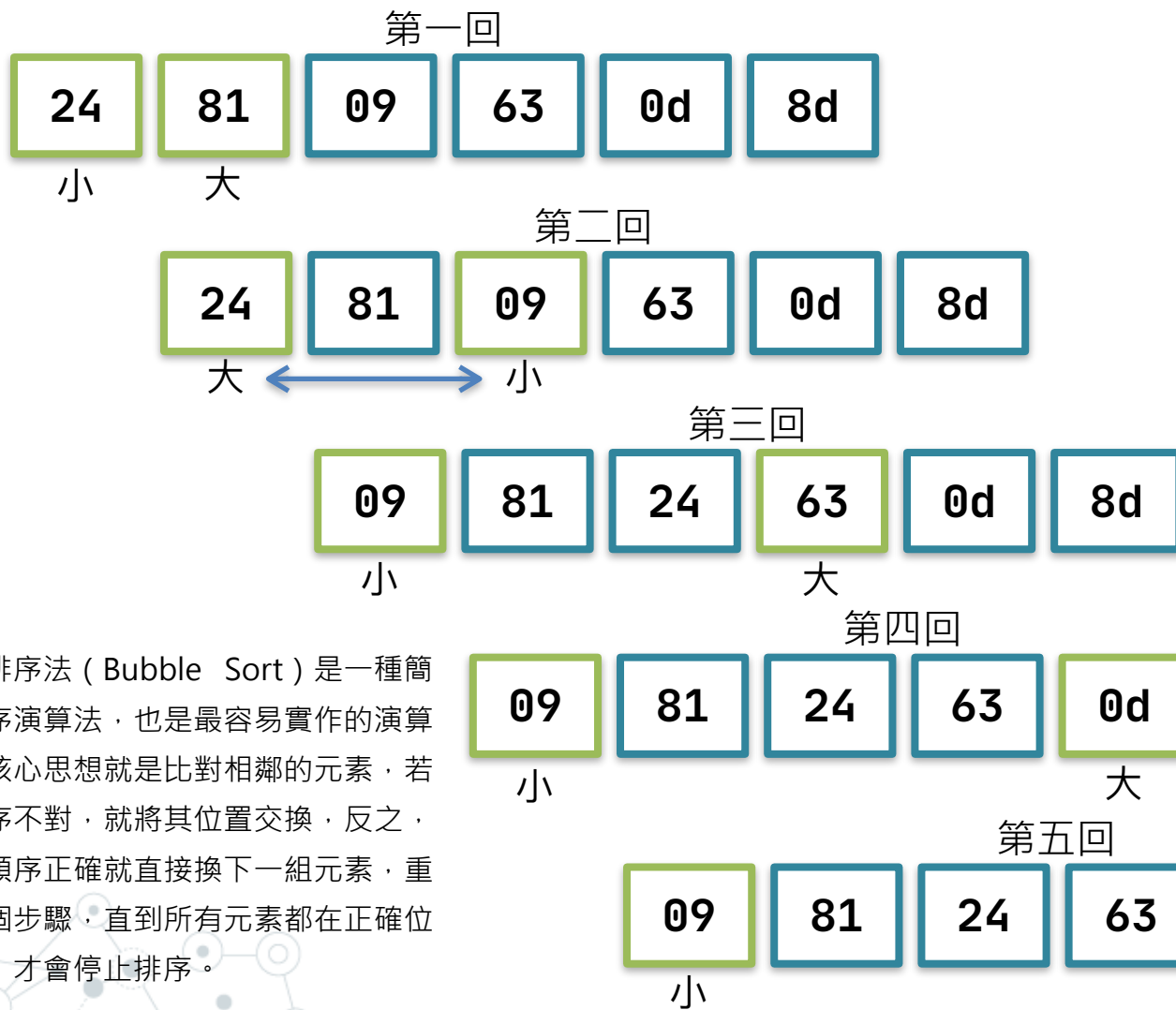


▲資料輸入波形參考



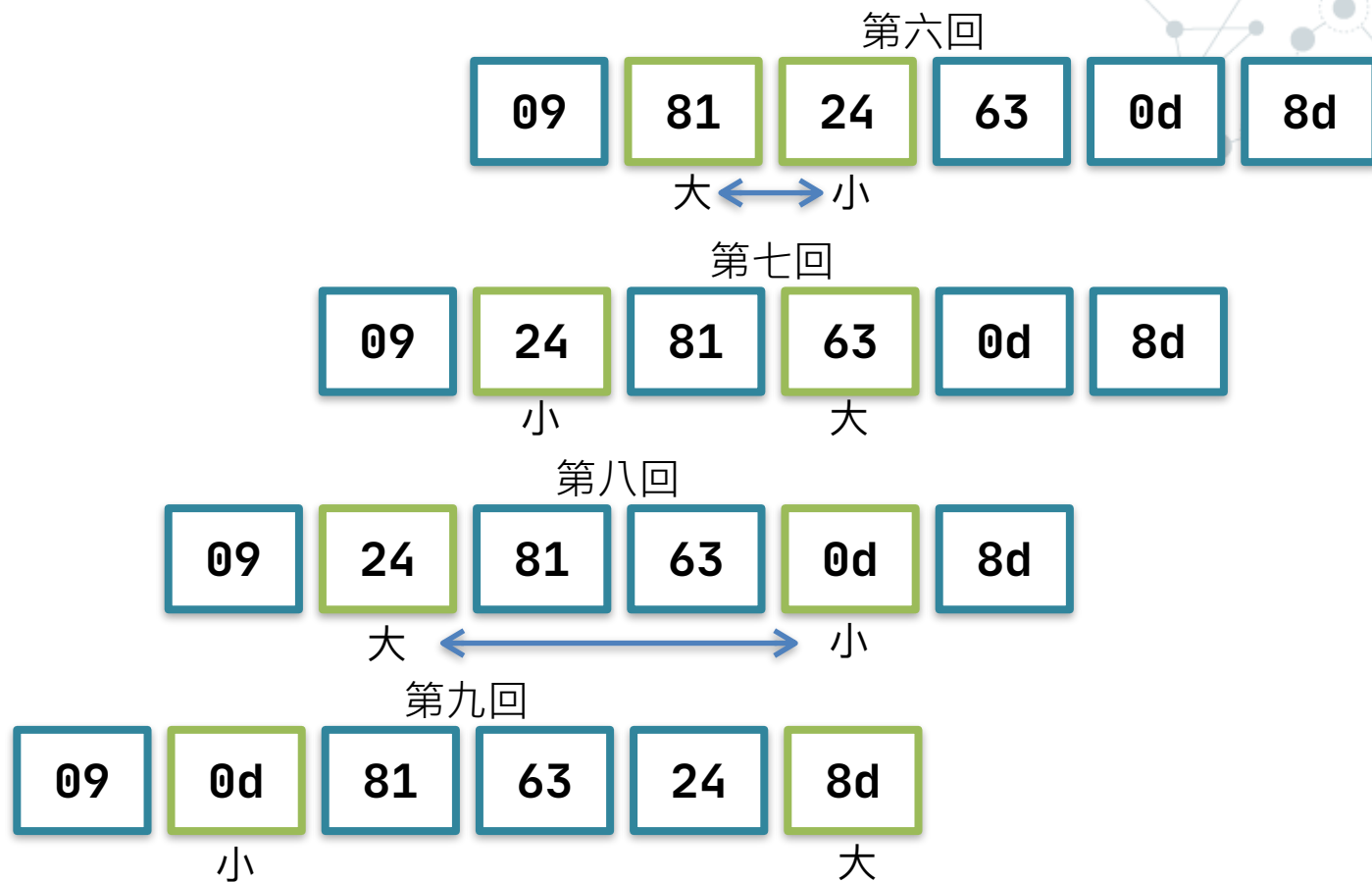
▲結果輸出波形參考

解題方法一 泡沫排序法



泡沫排序法 (Bubble Sort) 是一種簡單排序演算法，也是最容易實作的演算法。核心思想就是比對相鄰的元素，若是順序不對，就將其位置交換，反之，如果順序正確就直接換下一組元素，重複這個步驟，直到所有元素都在正確位置上，才會停止排序。

解題方法一 泡沫排序法



以此類推……

解題方法二 插入排序

初始化



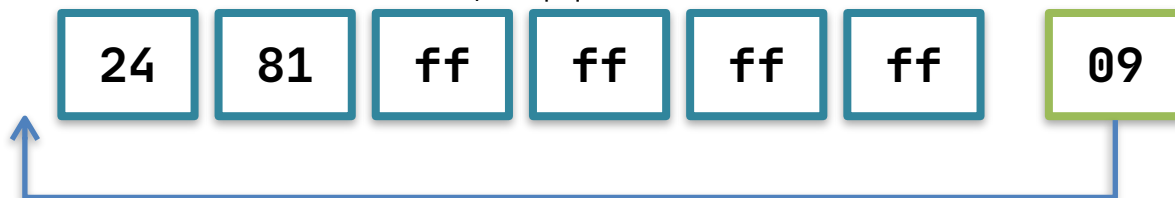
第一回



第二回



第三回



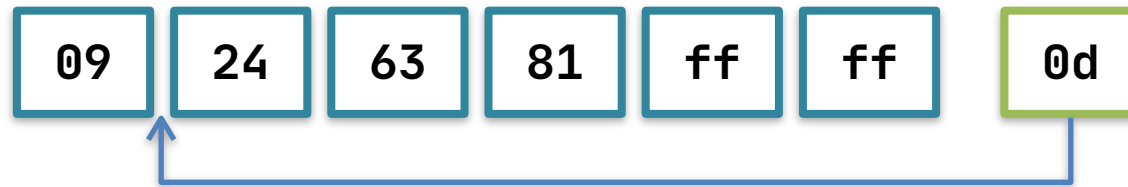
插入排序法(Insertion Sort)是排序演算法的一種，他是一種簡單容易理解的排序演算法，概念是利用另一個數列來存放已排序部分，逐一取出未排序數列中元素，依大小插入已排序好的記錄中

解題方法二 插入排序

第四回



第五回



第六回



最後結果



電路模擬範例

- RTL、Gate-Level模擬 -> PASS

► **Modelsim模擬步驟、Quartus合成步驟請參考tools教學**

```
#####  
#  
#  
#  
#  
# *****  
# **                                     **  
# **   Congratulations !!               **  
# **                                     **  
# **   Simulation PASS!!                **  
# **                                     **  
# *****  
#  
#  
#  
#####
```

** Note: \$finish :
Time: 3275 ns Iteration: 2 Instance: /testfixture
1

助教只檢查Gate-Level模擬 是否通過

上傳檔案

- **RTL File**

1. sort.v (你所有的Verilog RTL Code)

- **Gate-Level File**

1. sort.vo (Quartus 生成的Gate-Level Netlist)
2. sort.sdo (Quartus 生成的 SDF 時序資訊)

- **Document**

1. report.pdf (你的設計報告文件 **請轉成PDF格式**)

▲請包成zip格式，並命名為 學號__HW5.zip

上傳檔案注意事項

- 1.Quartus 請一律使用 **Cyclonell** 晶片
- 2.請勿將整個專案資料夾包進zip檔上傳，如發現上傳整個專案者一律視同未繳交
- 3.設計**未完成的**檔案請勿上傳
- 4.上傳後請再次檢查上傳是否有誤，如上傳錯誤一律視同未繳交
- 5.補交作業一律在**下週5/30**當天補交