|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2020-2021学年第1学期 | | | | **实验日期** | | 2020.10.13 | | |
| **学 院** | 计算机学院 | | | | **专 业** | | 计算机类 | | |
| **班 级** | 190741 | | **学 号** | | 19030419 | | **姓 名** | | 王昕 |
| **组 号** | 24 | | **学 号** | | 19074104 | | **姓 名** | | 王佳玮 |
| **评 阅 内 容** | | | | | | | | | |
| **实验预习** | | **实验原理** | | **详细设计** | | **实验结果** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验 8：时序逻辑设计——移位寄存器 | | | | | | | | |

1. **实验目的**
2. 理解移位寄存器工作原理。

2.掌握使用 Verilog 设计移位寄存器的方法。

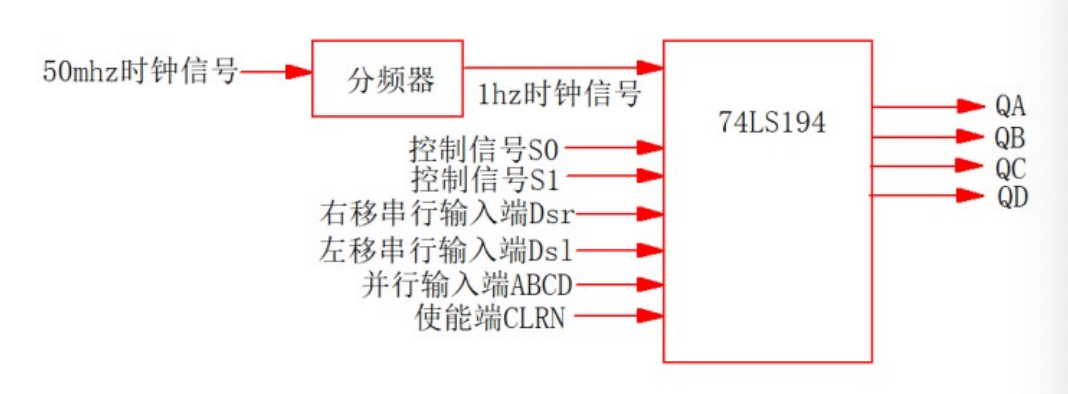
**二．实验任务及要求**

1.系统时钟为 50MHz，时钟由之前设计的分频器模块提供，用 Verilog 编写。

2.采用结构化描述方式将寄存器 IP 和分频器 IP 相连。

3.输出数据用发光二极管 D1—D8 。

**三．实验原理**





**四．详细设计**

1、电路实现

module wxwjwjicunqi (clrn,clk,data,sel,Lin,Rin,Qout);

input clrn,clk,Rin,Lin;

input [1:0] sel;

input [3:0] data;

output [3:0] Qout;

reg [3:0] Qout;

always@(posedge clk or negedge clrn)

if(!clrn) Qout<=4'b0000;

else

case (sel)

2'b00:Qout<=Qout;

2'b01:begin Qout<=Qout>>1;Qout[3]<=Rin;end

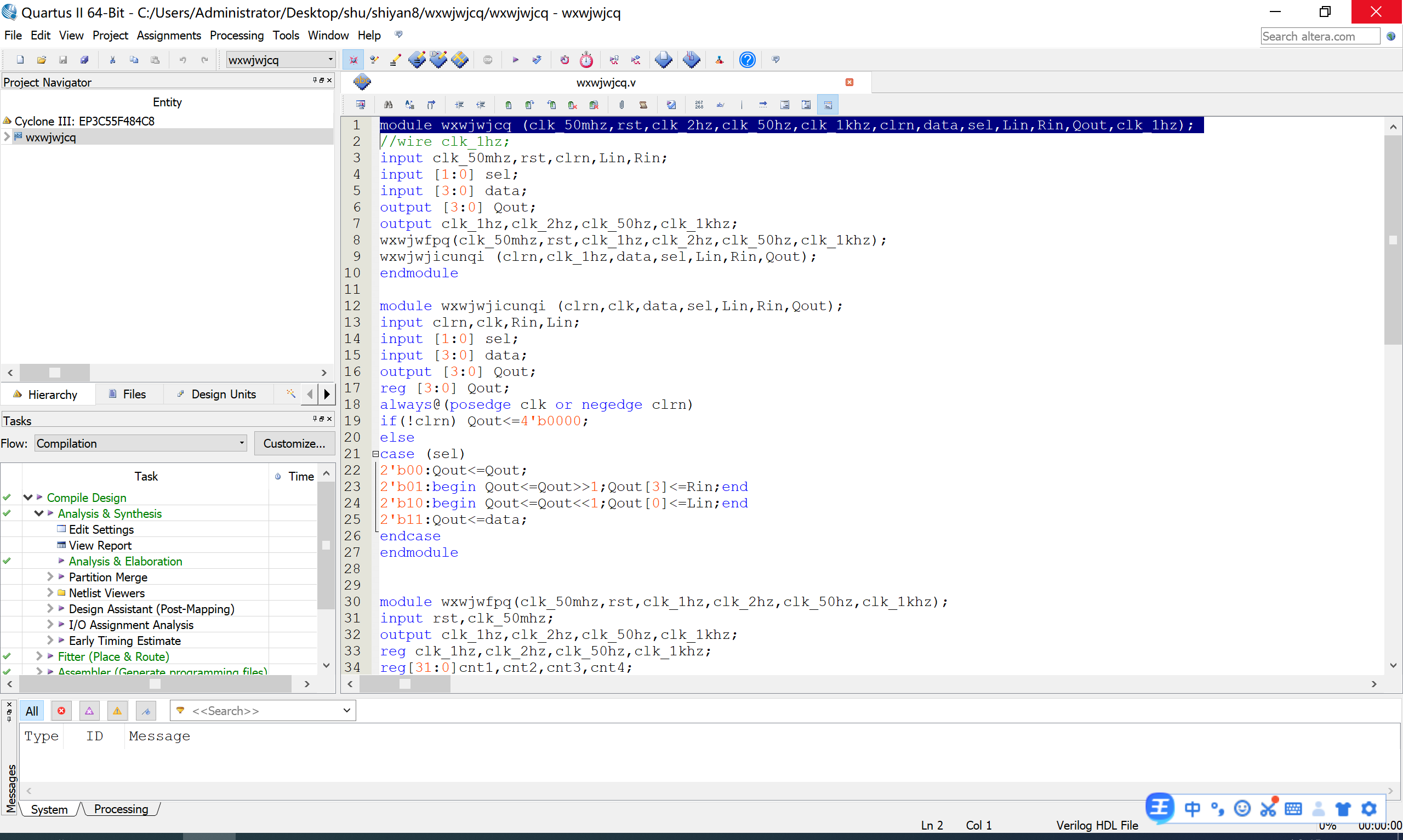
2'b10:begin Qout<=Qout<<1;Qout[0]<=Lin;end

2'b11:Qout<=data;

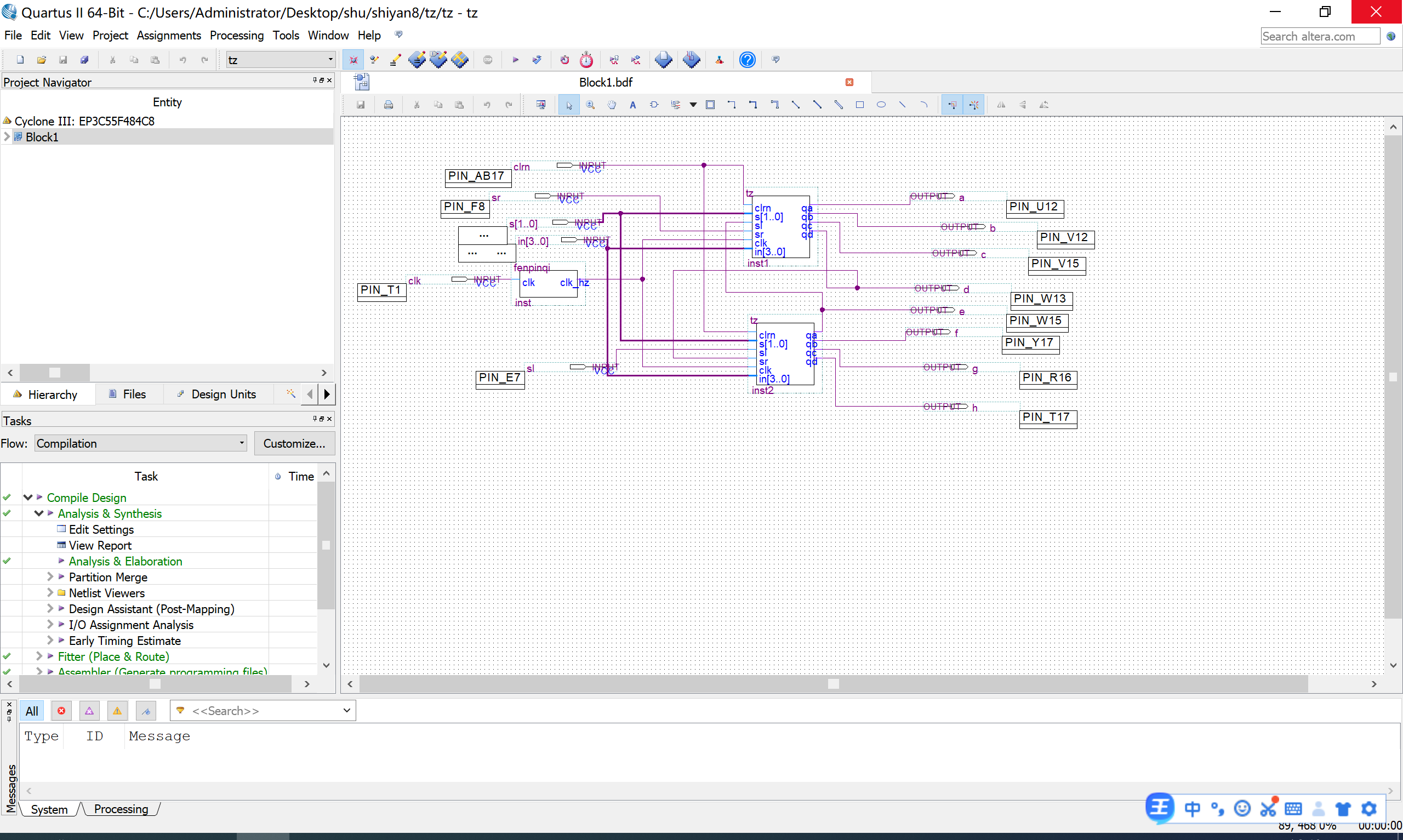
endcase

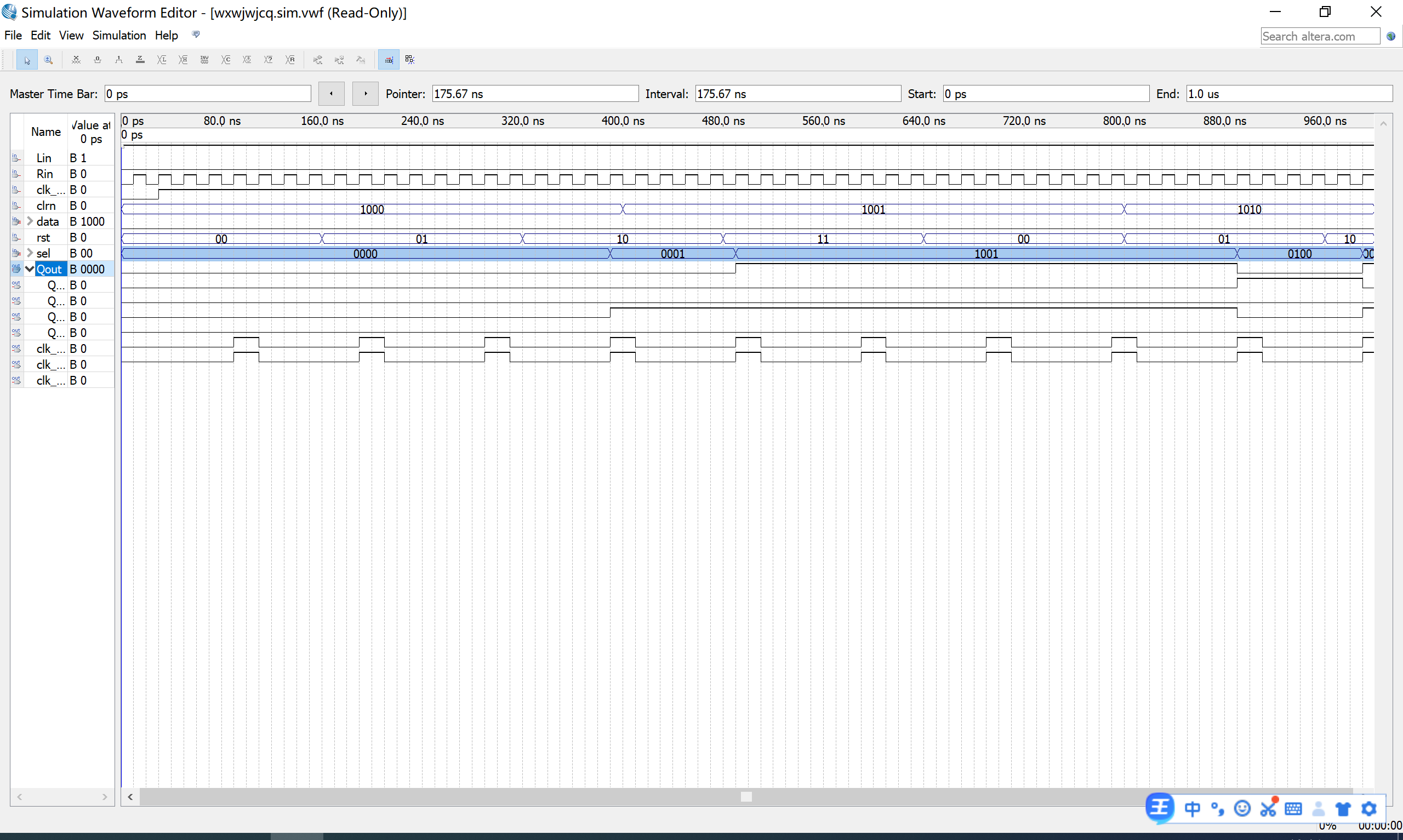
Endmodule

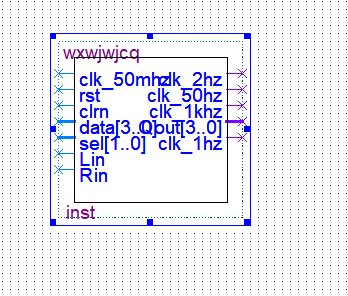
将其与分频器相连。



拓展实验：

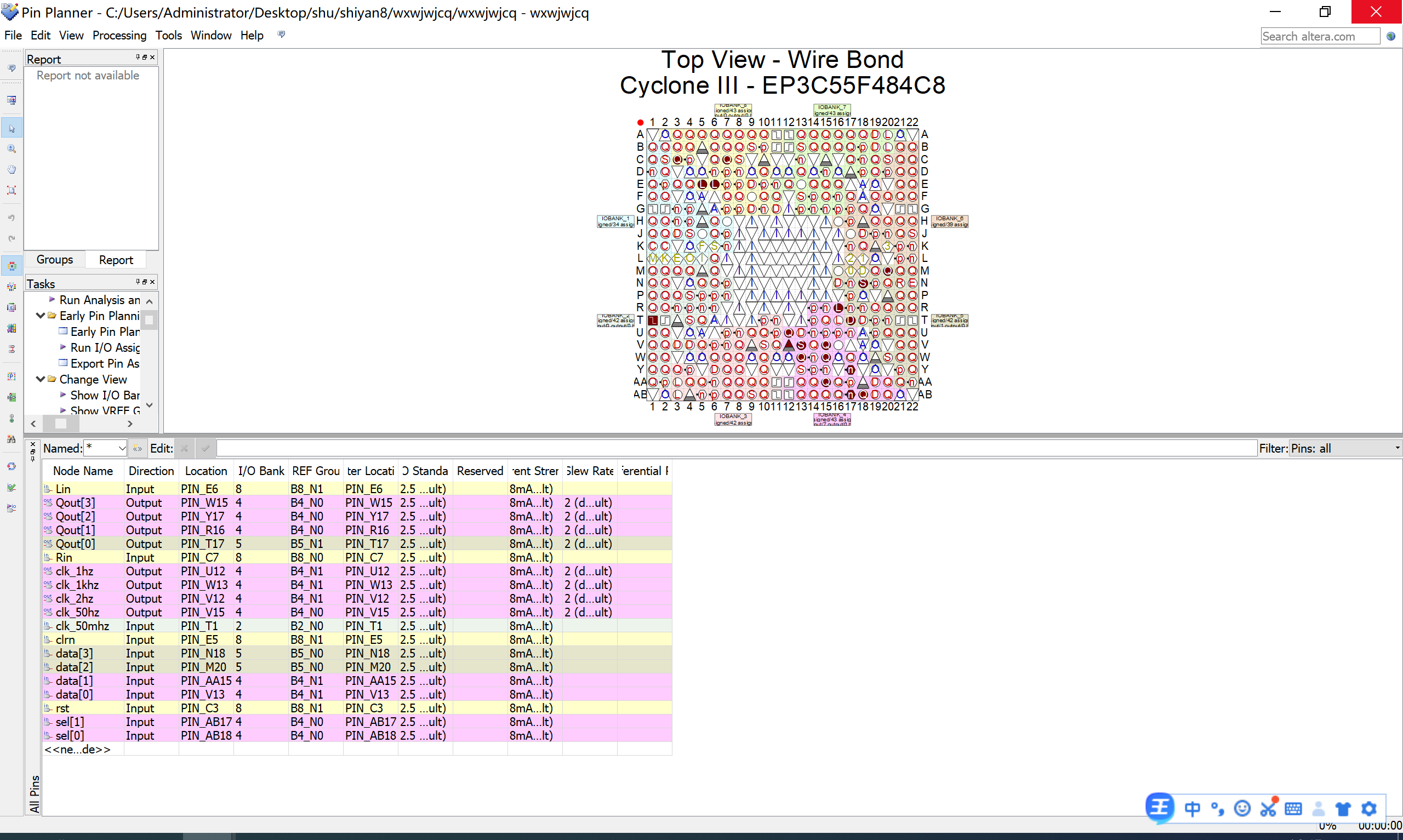


1. 仿真
2. 封装图

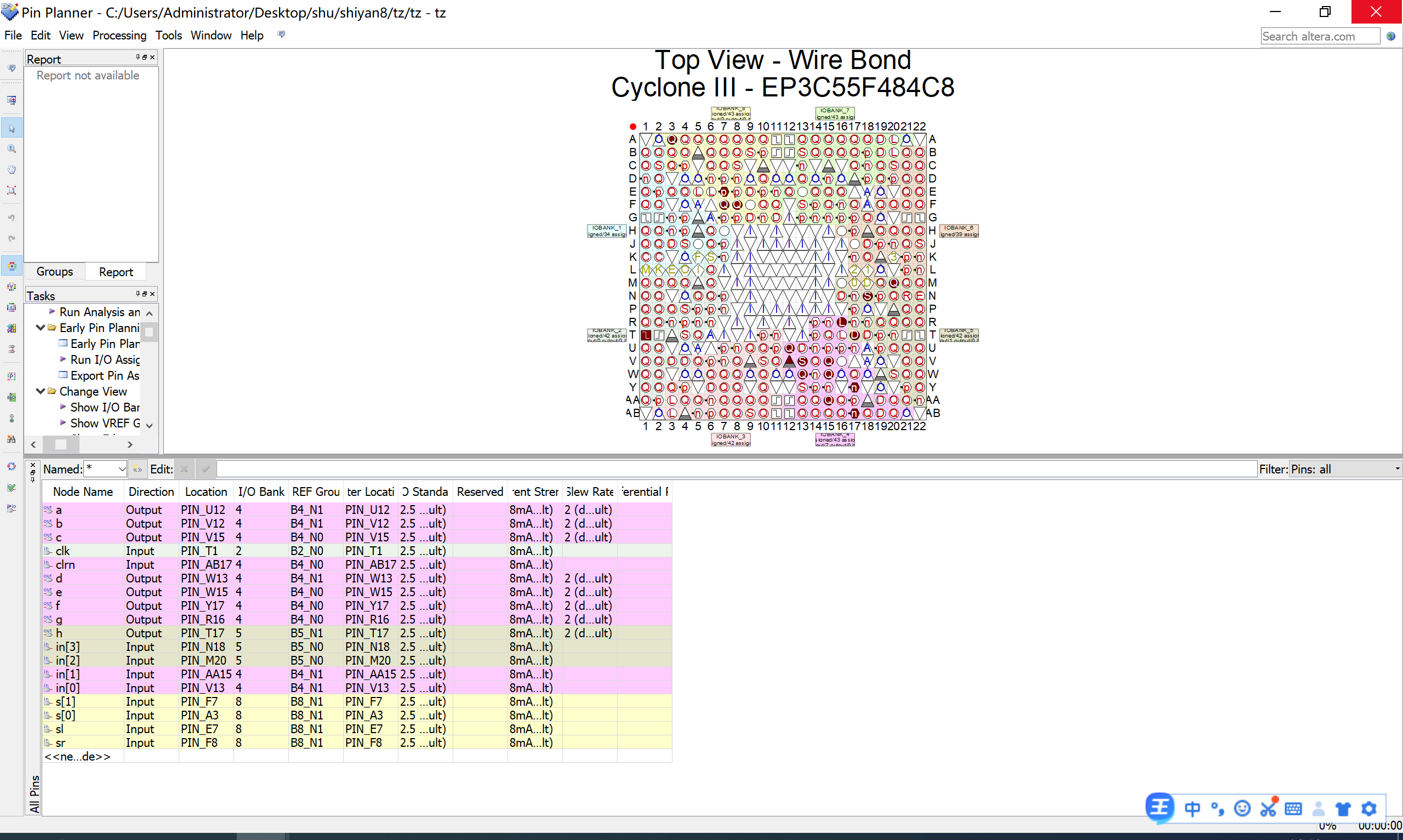


**五．实验结果**

（1）引脚分配

基础实验：

拓展实验：

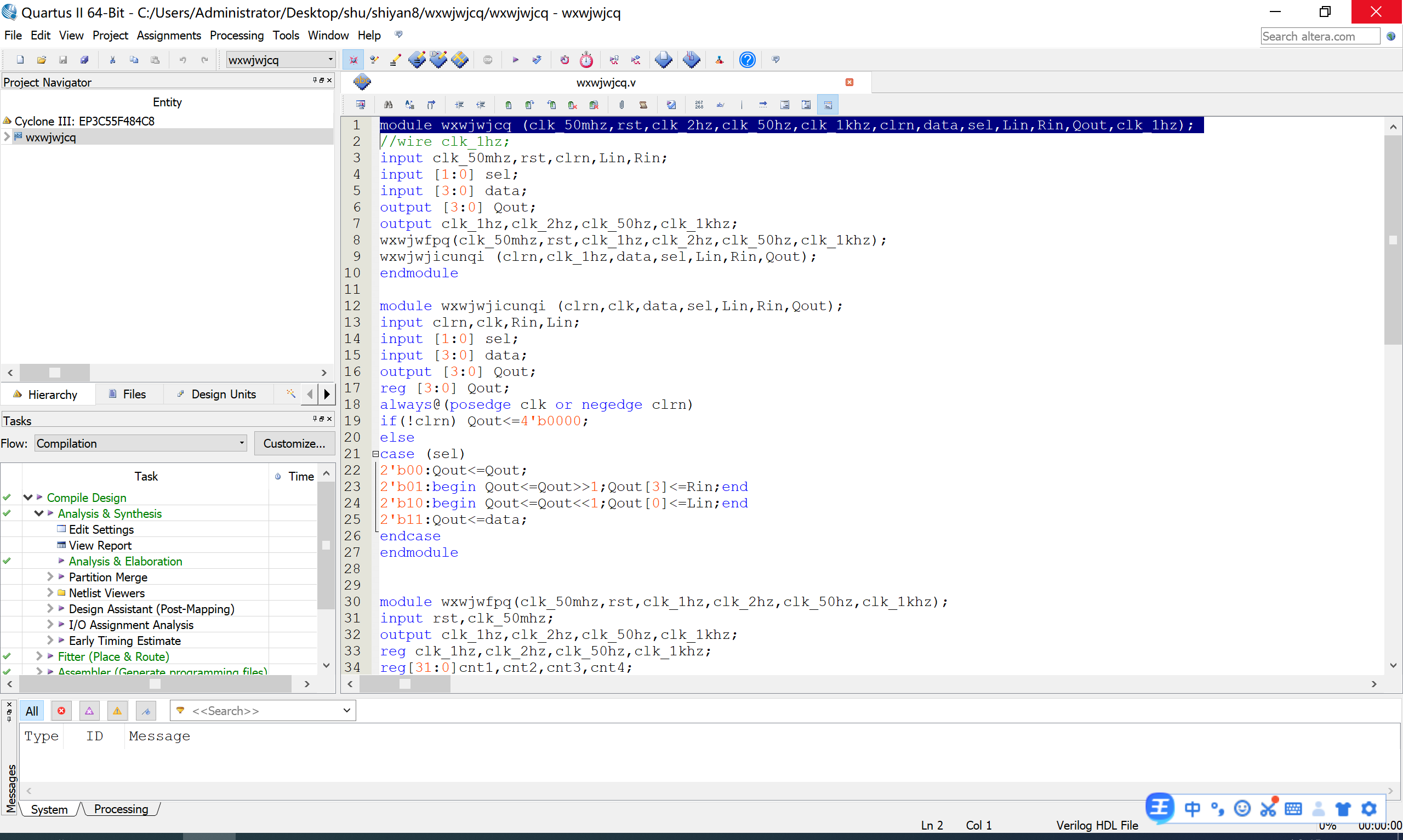


（2）实验现象

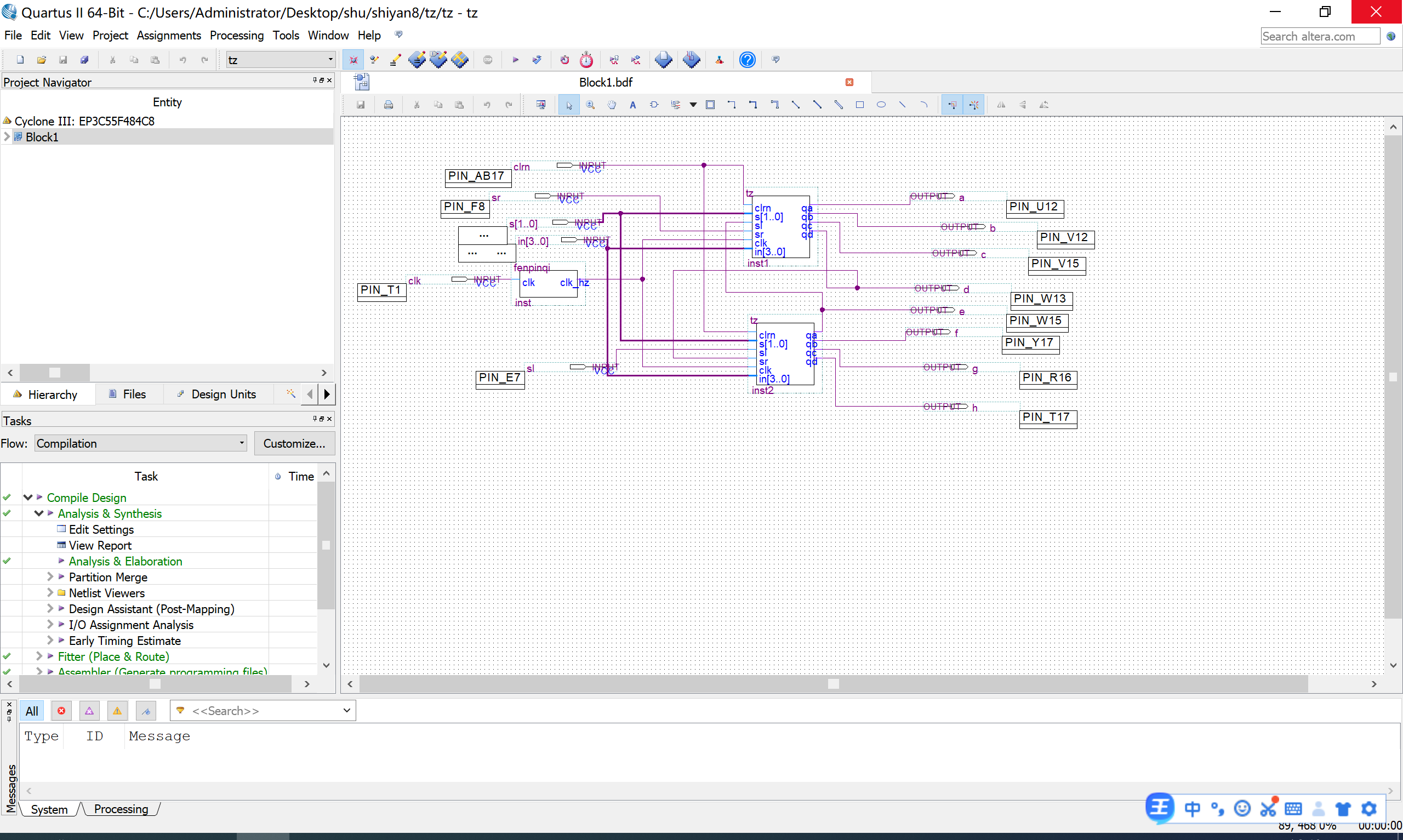
基础实验：当sel为00时，实现保持，当sel为01时，右移，sel为10时，左移，当sel为11时，实现置数，使输出变为输入的四位二进制数字。clrn为低有效，当其为0时，实现清零，为1时，则不影响该程序运行。

拓展实验：

：当sel为00时，实现保持，当sel为01时，右移，sel为10时，左移，当sel为11时，实现置数，使输出变为输入的四位二进制数字。clrn为低有效，当其为0时，实现清零，为1时，则不影响该程序运行。拓展实验实现的是八位的寄存器。



基础实验图



此图为拓展实验图

附图：顶层模块