|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2020-2021学年第1学期 | | | | **实验日期** | | 2020年11月10日 | | |
| **学 院** | 信息学部 | | | | **专 业** | | 计算机类 | | |
| **班 级** | 190741 | | **学 号** | | 19030419 | | **姓 名** | | 王昕 |
| **组 号** | 24 | | **学 号** | | 19074104 | | **姓 名** | | 王佳玮 |
| **评 阅 内 容** | | | | | | | | | |
| **实验预习** | | **实验原理** | | **详细设计** | | **实验结果** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验5：时序逻辑设计——锁存器和触发器 | | | | | | | | |

**一．实验目的**

1.掌握D锁存器和D触发器的逻辑功能。

2.学会使用硬件描述语言编写D锁存器和D触发器。

**二．实验任务及要求**

任务：

用硬件描述语言编写D锁存器和D触发器

要求：

1. 分别用数据流和行为描述方式实现D锁存器，并对该器件进行封装。
2. 分别用数据流和行为描述方式实现D触发器，并对该器件进行封装。
3. 用图形方式调用D锁存器和D触发器，两个器件公用一个输入端D，并用拨动开关控制，输出端Q分别接至LED灯，EN接开关，CLK接按键，下载后进行功能测试并记录实验现象。
4. **实验原理**

锁存器和触发器是时序电路的基本部件。它们都是由独立的逻辑门电路和反馈电路构成的，锁存器在时钟信号为有效电平期间，不断检测所有输入端，任何满足输出改变条件的输入，均会改变输出端，而触发器只有在时钟信号变化的瞬间才会改变输出值。

D锁存器逻辑功能： 在EN有效时，将数据D存入锁存器，当EN无效时，保存该数据不变，只有EN再次有效时，才能将新的数据存入锁存器而改变原来的存储数据。当D锁存器正常工作时，应保证EN有效期间数据保持不变。

D触发器逻辑功能：在EN有效时，且时钟信号处于上升边沿时，D更新为新的数据，当EN无效，或者时钟信号不处于上升边沿时，数据保持不变。

**四．详细设计**

1、电路实现

首先根据实验原理列出D锁存器真值表（如图一）

|  |  |  |  |
| --- | --- | --- | --- |
| EN | D | Q(t+1) | 功能 |
| 1 | 0 | 0 | 置0 |
| 1 | 1 | 1 | 置1 |
| 0 | x | Qt | 保持 |

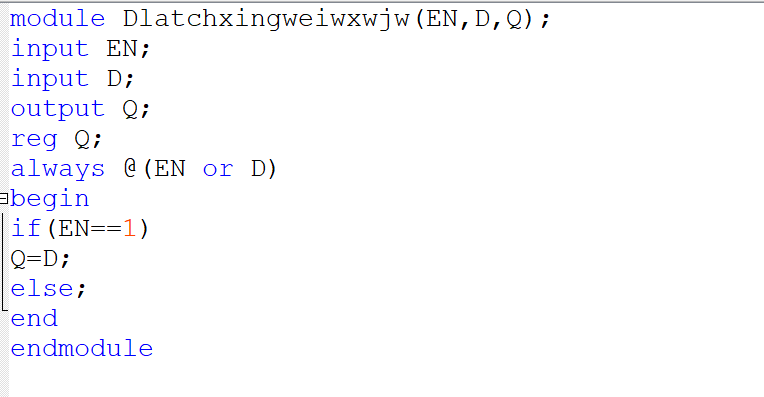
图一 D锁存器真值表

列出D触发器真值表（如图二）

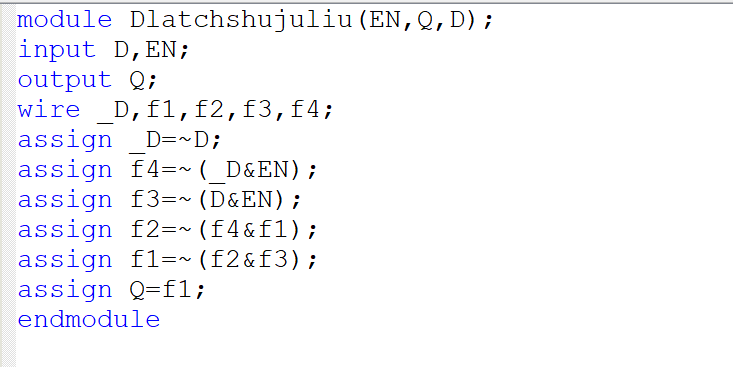
|  |  |  |  |
| --- | --- | --- | --- |
| EN | D | Q(t+1) | 功能 |
| ⬆ | 0 | 0 | 置0 |
| ⬆ | 1 | 1 | 置1 |
| 0 | x | Qt | 保持 |

图二 D触发器真值表

根据真值表，利用Verilog语言对D锁存器行为建模描述（如图三）：

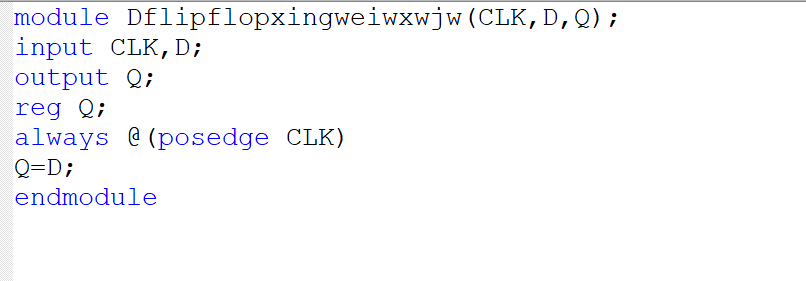


图三 D锁存器的行为建模

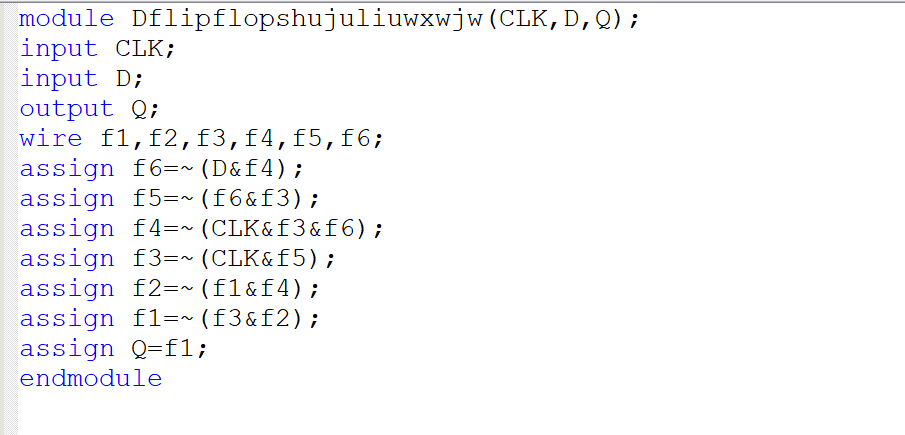


D锁存器数据流建模

根据真值表，利用Verilog语言对D触发器行为建模描述（如图四）：

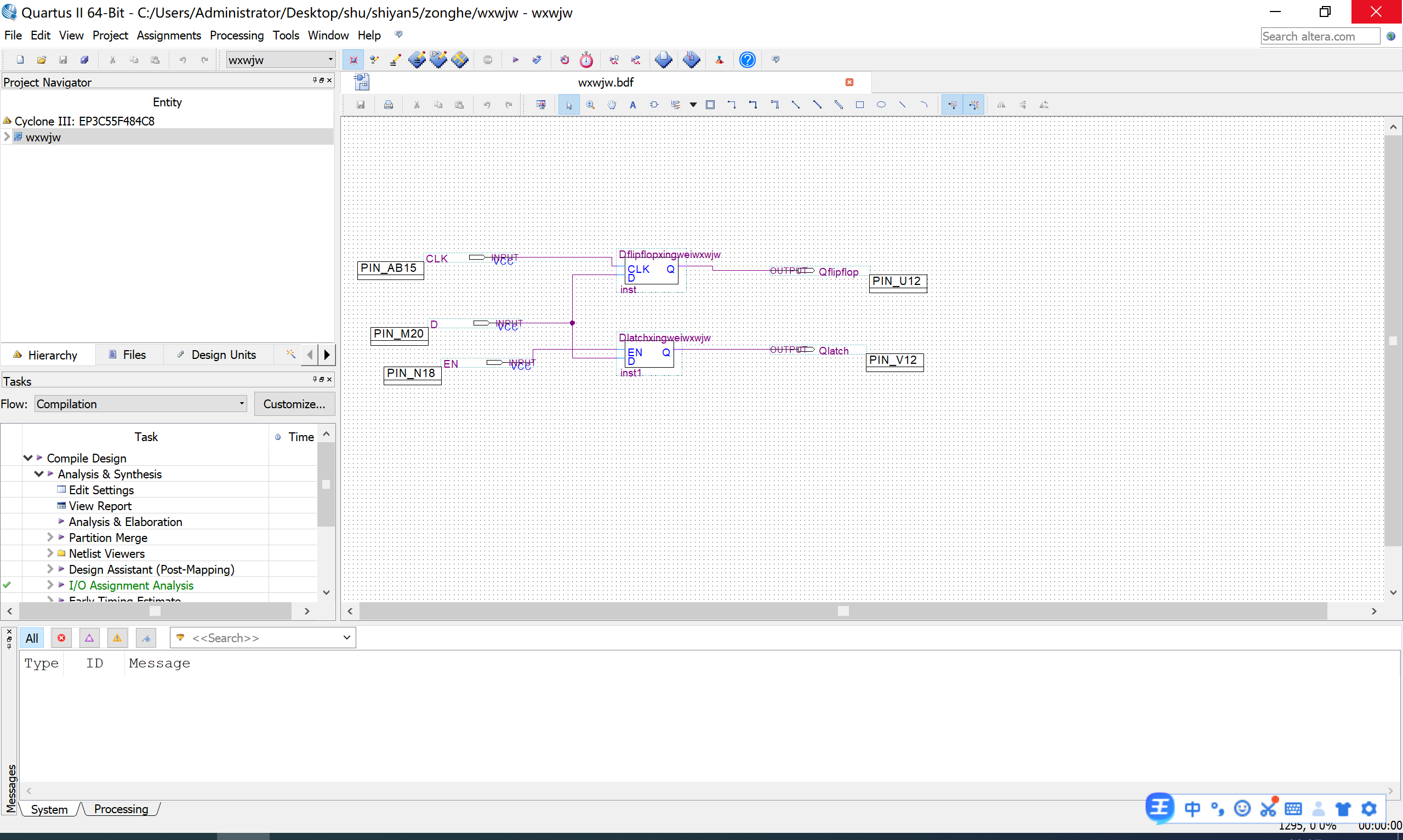


图四 D触发器的行为建模



D触发器数据流建模

通过Verilog语言将D锁存器以及D触发器的逻辑功能实现以后，将功能封装为模块，继续后续功能：用图形方式调用D锁存器和D触发器，两个器件公用一个输入端D，并用拨动开关控制，输出端Q分别接至LED灯，EN接开关，CLK接按键。将存储的数据利用LED灯显示出来。电路实现如图五所示：

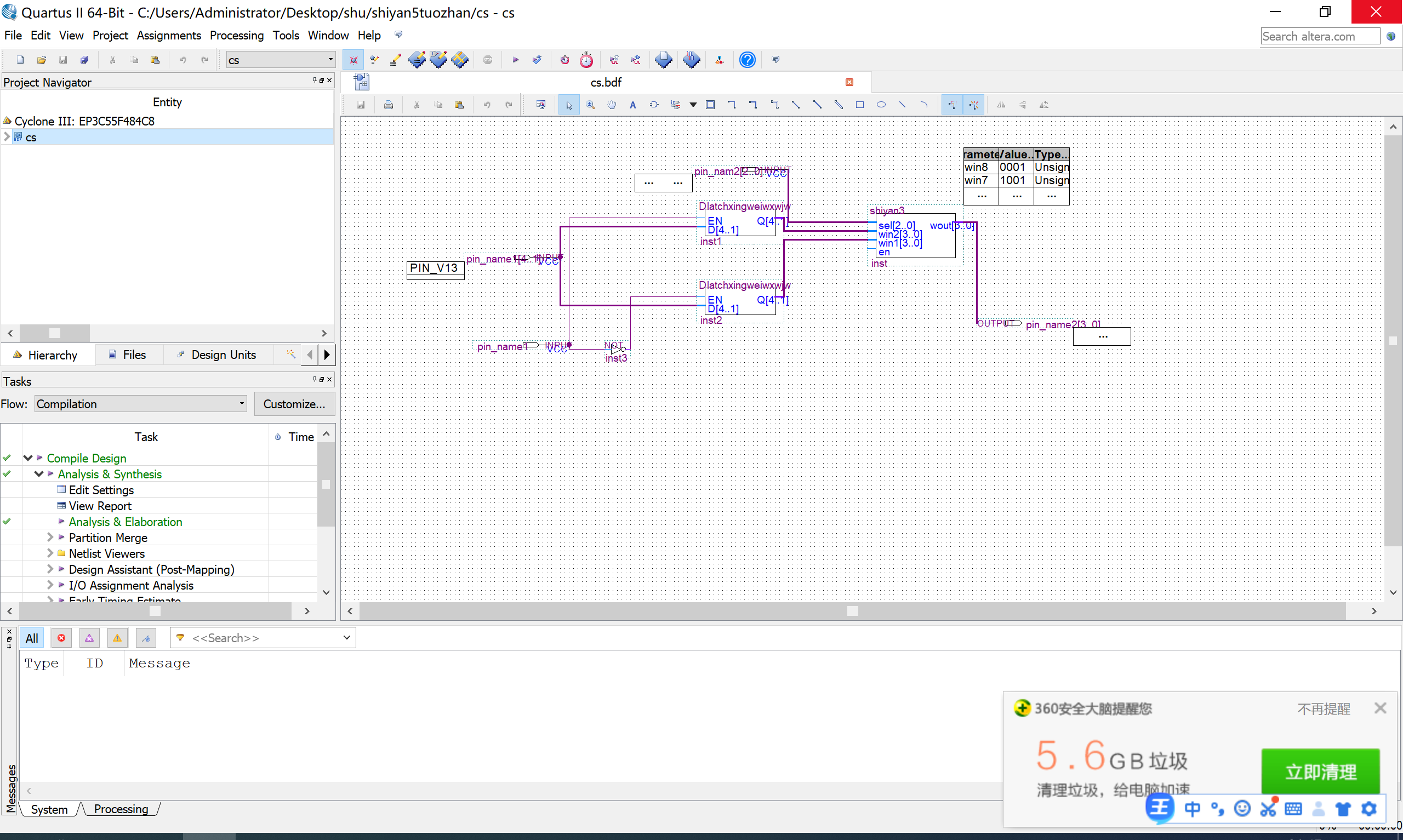


图五将D锁存器与触发器连起来后的电路实现

拓展：

要求：修改实验二的数据选择器电路。将低电位的输入修改为共用一组开关输入（4个开关）。通过锁存器分别锁存两位数据，可用一个开关完成两个锁存器的所存。

电路实现：通过对数据选择器电路的修改，将两个模块连接得到电路（如图六）



图六 拓展实验的电路实现（电路图）

2、仿真

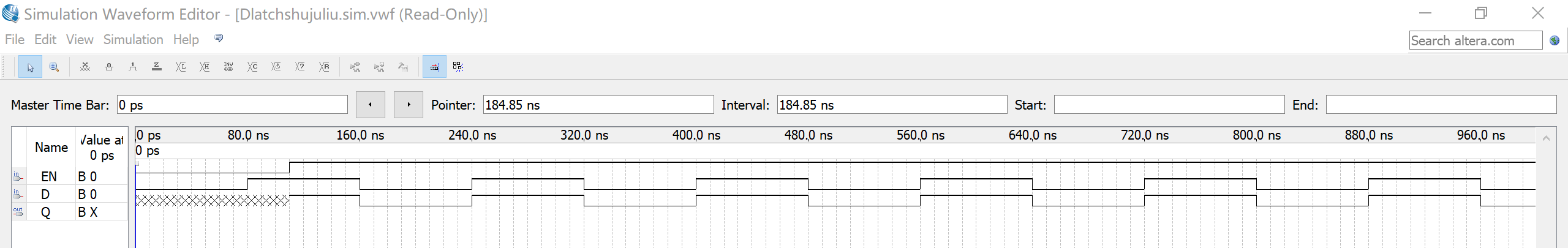


图8数据流方式实现D 锁存器仿真波形

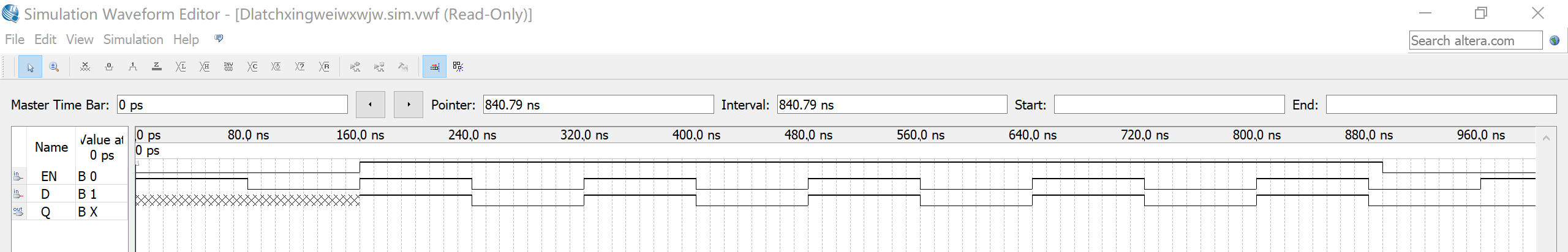


图9行为描述方式实现D 锁存器仿真波形

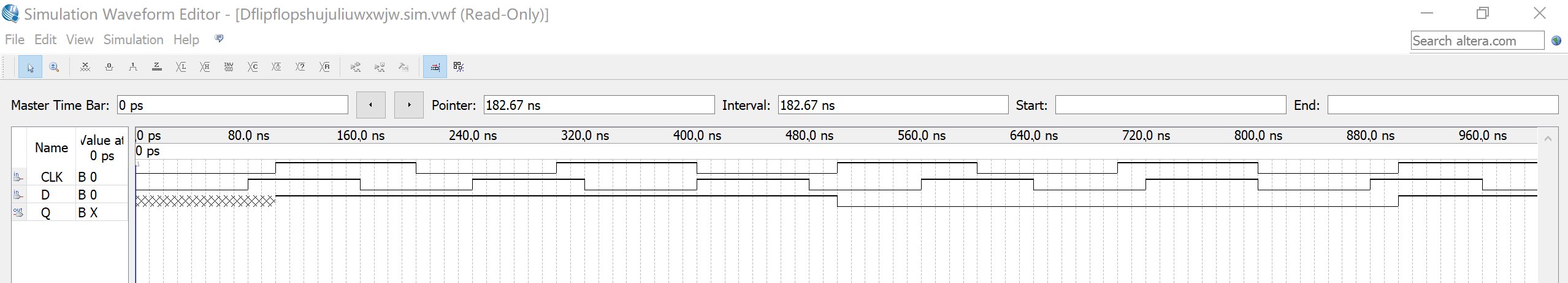


图10数据流方式实现D 触发器仿真波形

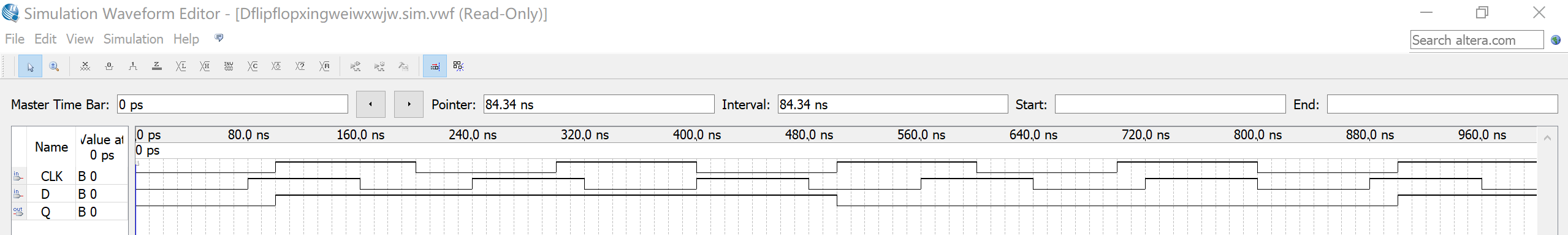


图11行为描述方式实现D 触发器仿真波形

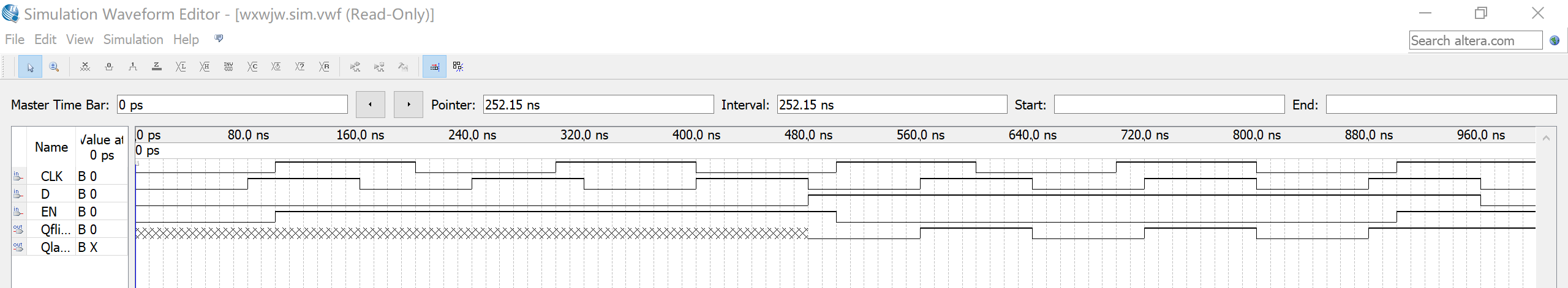
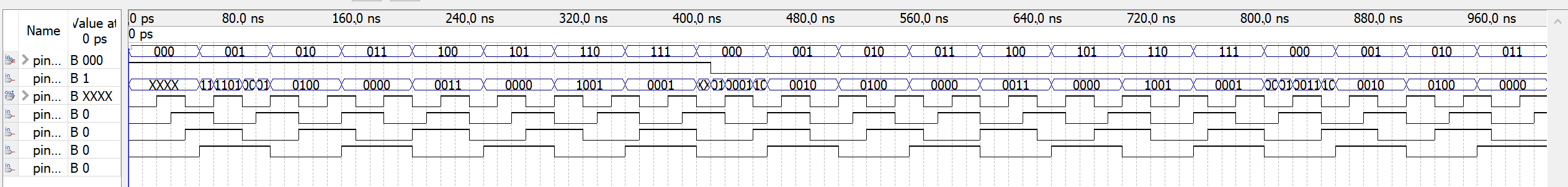


图12图形方式调用D锁存器和D触发器仿真波形

根据仿真结果：使用一个控制使能EN控制D锁存器与D触发器，可以实现两个器件所要求的功能。

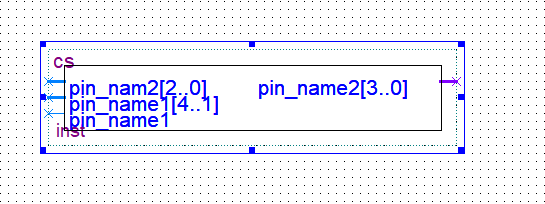
拓展功能（修改实验二的数据选择器电路。将低电位的输入修改为共用一组开关输入（4个开关）。通过锁存器分别锁存两位数据，可用一个开关完成两个锁存器的所存。）电路仿真结果如图十所示：



图十 拓展功能电路仿真结果

根据仿真结果：拓展功能的设计合理，实验结果正确。

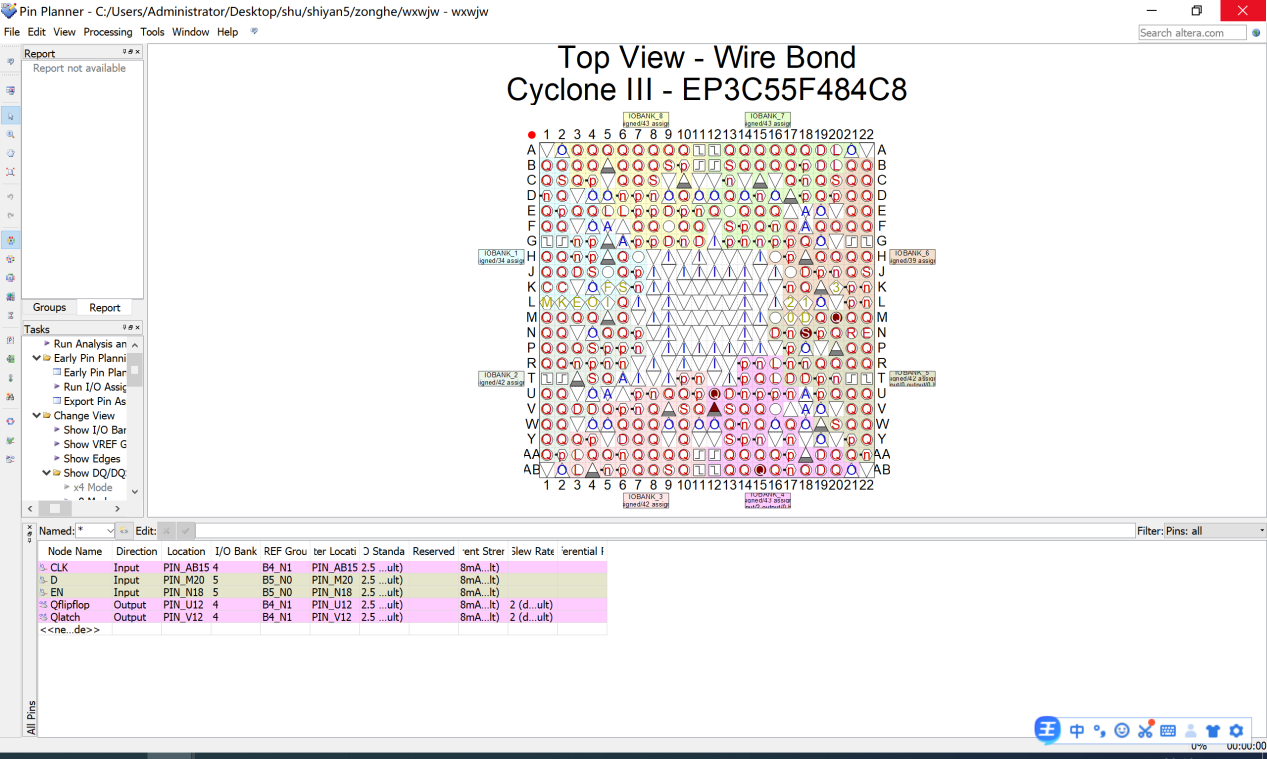
1. 封装图



**五．实验结果**

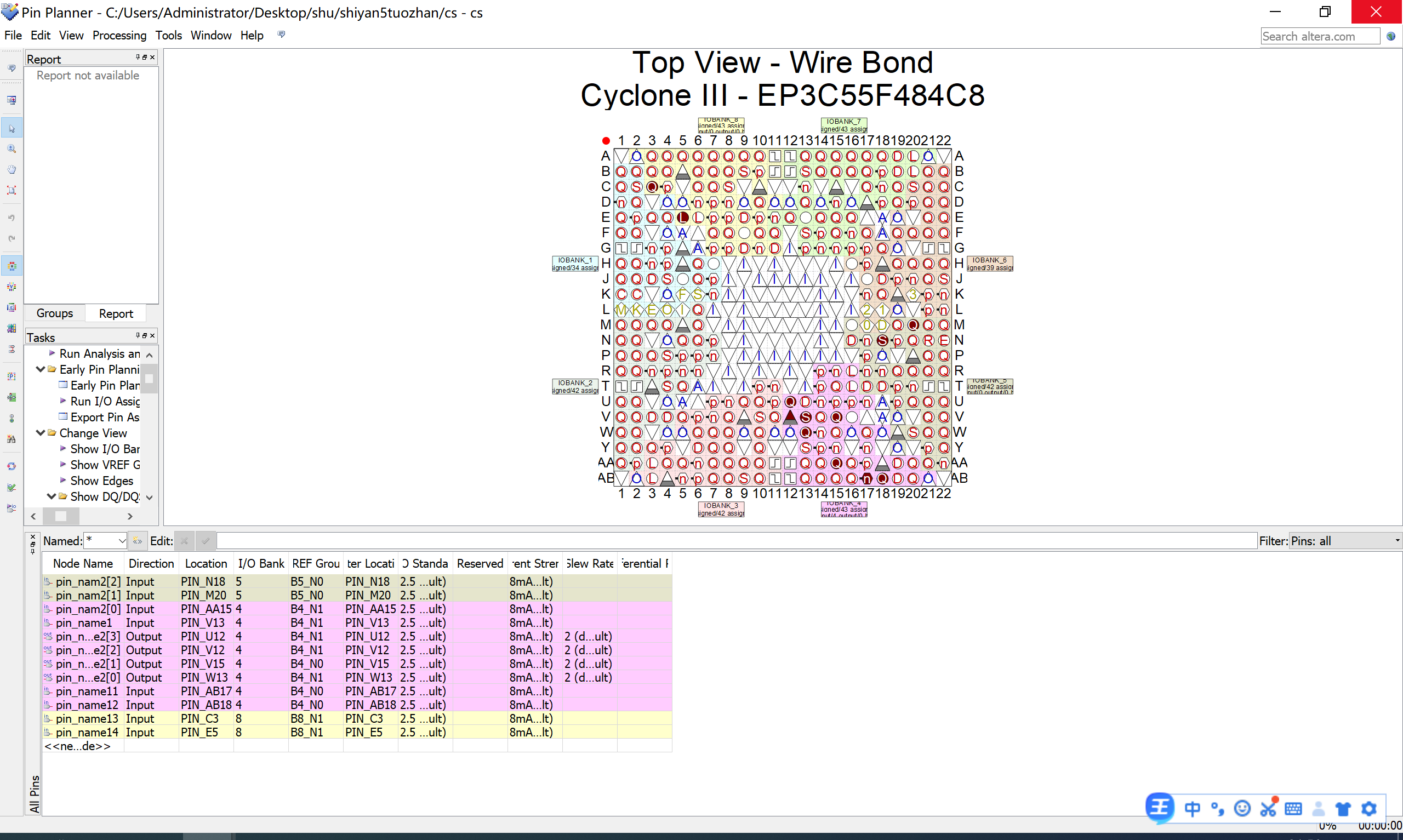
（1）引脚分配

D锁存器与D触发器连接在一起后实验的引脚分配如图十四所示：



图十四 D锁存器与D触发器连接后的引脚分配

后续拓展功能的引脚分配如图十五所示：



图十五 拓展实验的引脚分配图

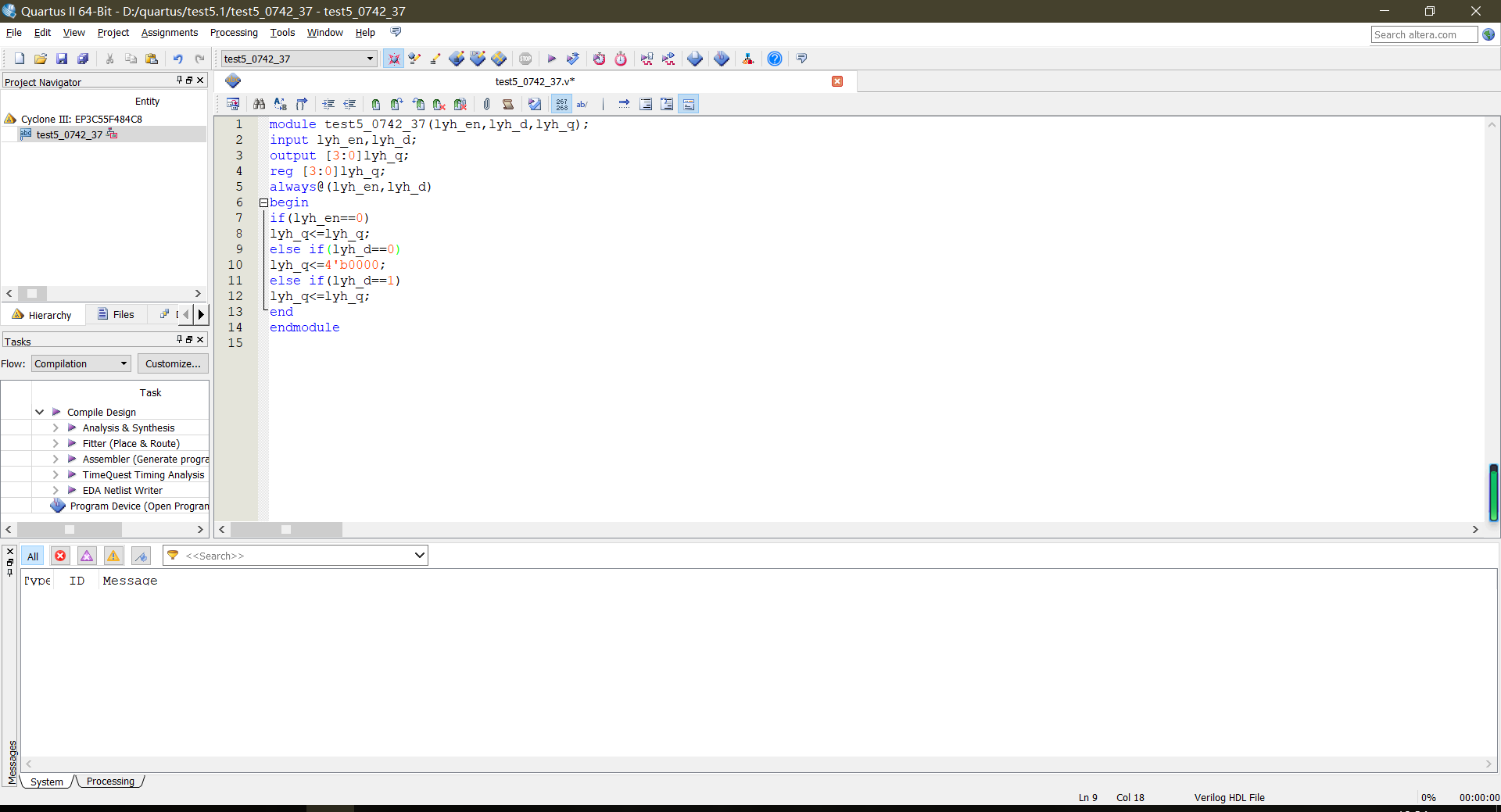
（2）实验现象

用图形方式调用D锁存器和D触发器，两个器件公用一个输入端D控制试验的实验现象：

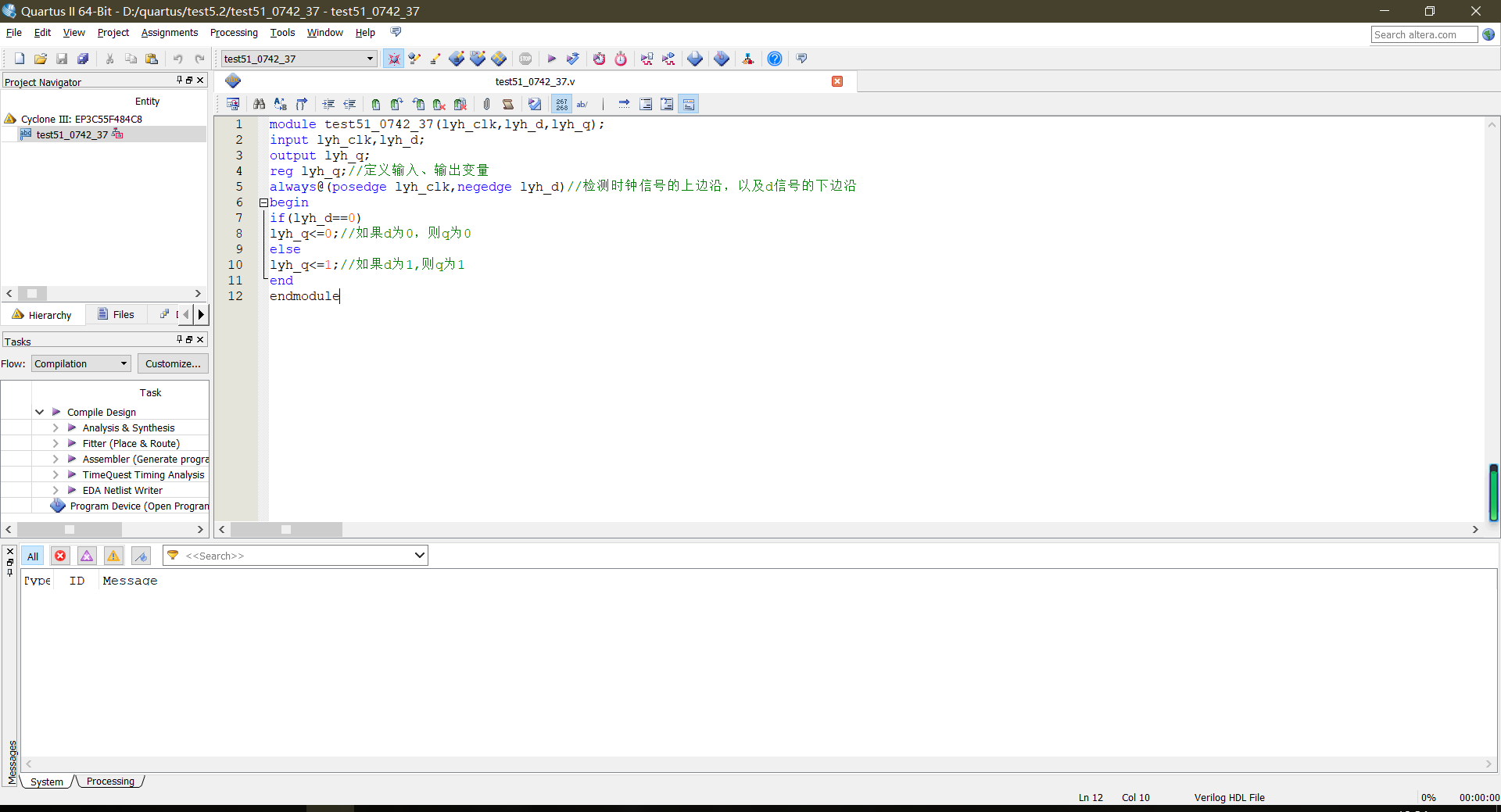
通过开关控制D的输入，以及利用LED灯的显示，可以看到，通过改变D输入的开关，从而使相应的LED灯，亮或者熄灭，当按下CLK信号输入的开关时，改变CLK的输入，LED灯会做出相应的改变，当不按下CLK开关时，改变D的输入，LED灯不会改变。

拓展实验：

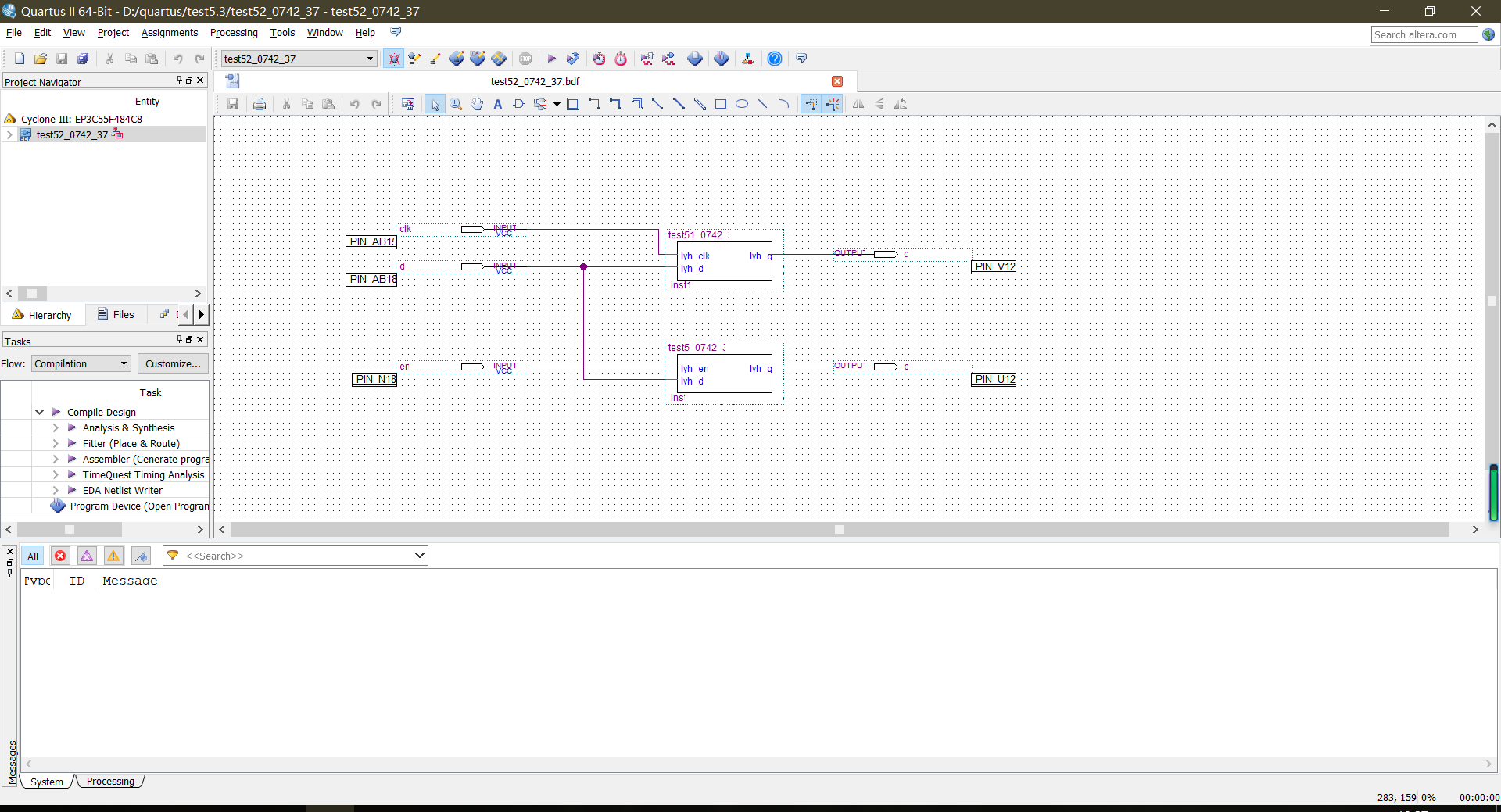
当使能EN为0时，一个锁存器不工作，而另一个锁存器工作，通过数据选择器，使最低位锁存此时输入的数据，LED显示此时的输出状态。之后使使能EN为1，此时，两个锁存器的状态交换，通过数据选择器，使工作的锁存器将次低位此时输入的数据锁存，保持输入端与使能EN不变，改变数据选择器发现，LED灯会显示之前输入的最低位数据（即数据锁存器锁存了输入的最低位数据）。



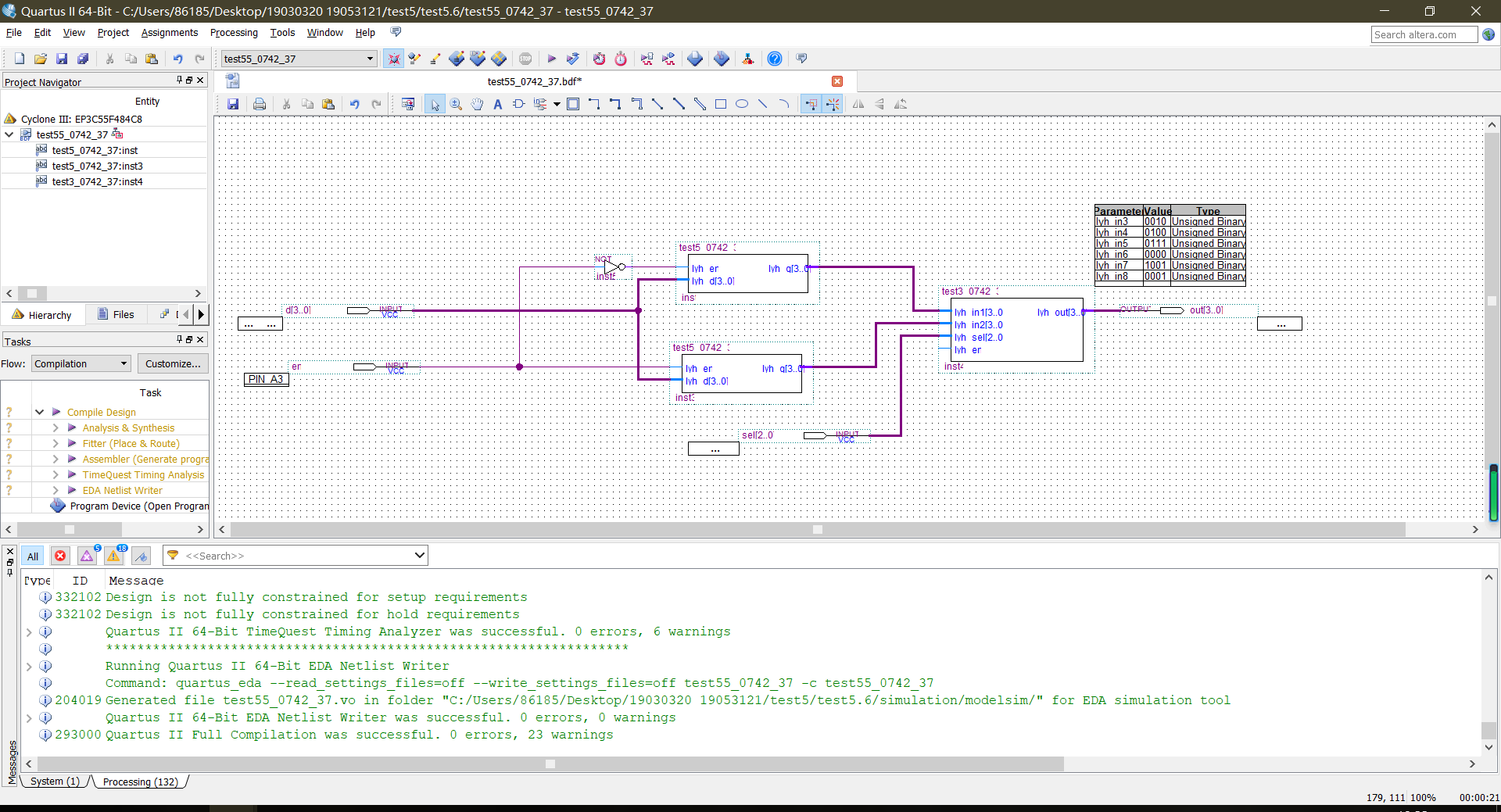
图十六 D锁存器的顶层模块



图十七 D触发器的顶层模块



图十八 D锁存器与D触发器连接在一起实验的顶层模块



图十九 拓展实验的顶层模块

附图：顶层模块