|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2020-2021学年第1学期 | | | | **实验日期** | | 2020.10.13 | | |
| **学 院** | 计算机学院 | | | | **专 业** | | 计算机类 | | |
| **班 级** | 190741 | | **学 号** | | 19030419 | | **姓 名** | | 王昕 |
| **组 号** | 24 | | **学 号** | | 19074104 | | **姓 名** | | 王佳玮 |
| **评 阅 内 容** | | | | | | | | | |
| **实验预习** | | **实验原理** | | **详细设计** | | **实验结果** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验3：组合逻辑设计——数据选择器 | | | | | | | | |

1. **实验目的**

1．掌握数据选择器的工作原理。

2．掌握运用Verilog描述数据选择器的方法。

**二．实验任务及要求**

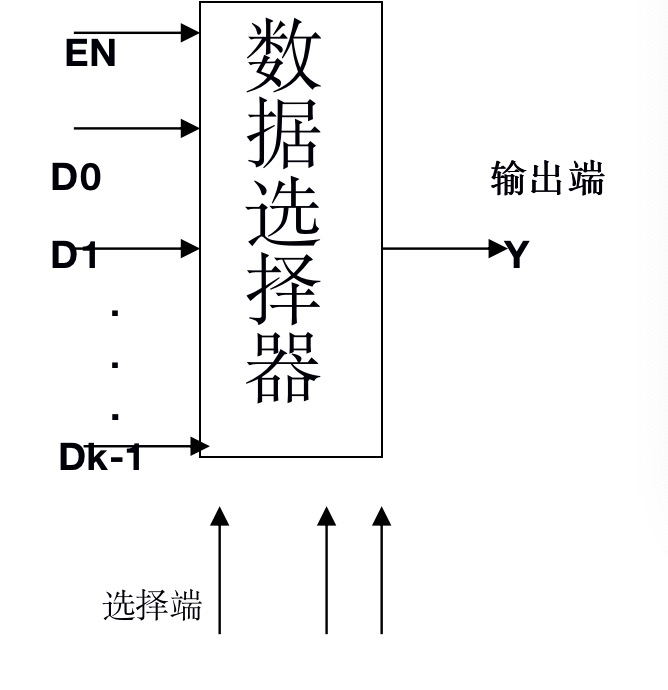
任务：设计一个4位八选一数据选择器，通过控制数据选择端，将个人学号按8421 BCD码依次输出到LED灯上。

要求：

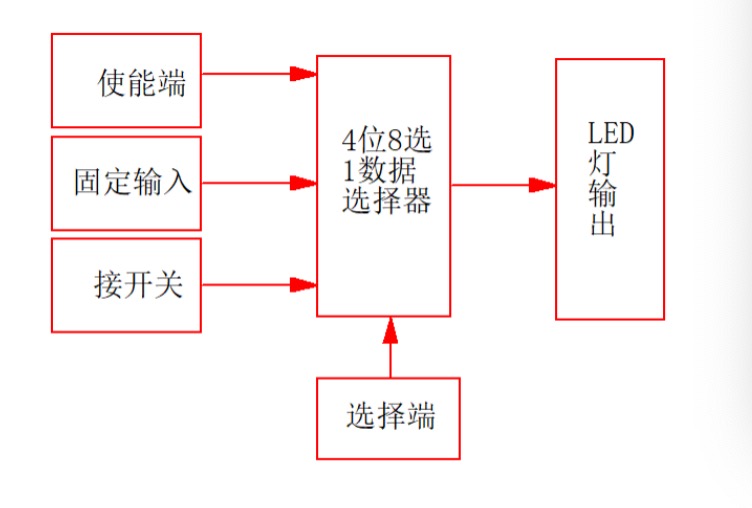
用Verilog实现一个4位八选一数据选择器，仿真验证通过后将该电路封装成电路符号。编码规范参考附录B。

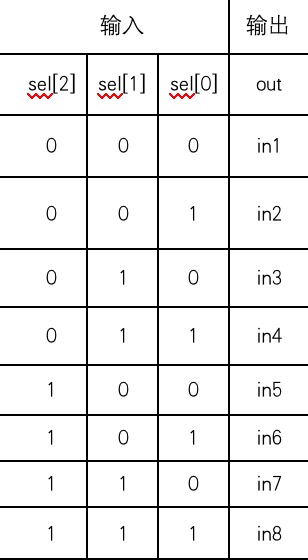
**三．实验原理**

在多路数据传输过程中，能够根据需要将其中任意一路挑选出来的电路，称作数据选择器，也可称为多路选择器(Multiplexers), 该电路是种多路输入单路输出的组合逻辑电路。通常表示为n-1数据选择器。图中所示为数据选择器功能框图，其中数据输入端个数与选择端满足k<=2"。当使能端EN有效时，根据选择端的输入选择其中一路输出。数据输入端与输出端宽度应保持一致， 可以是1位数据，也可以是多位数据。



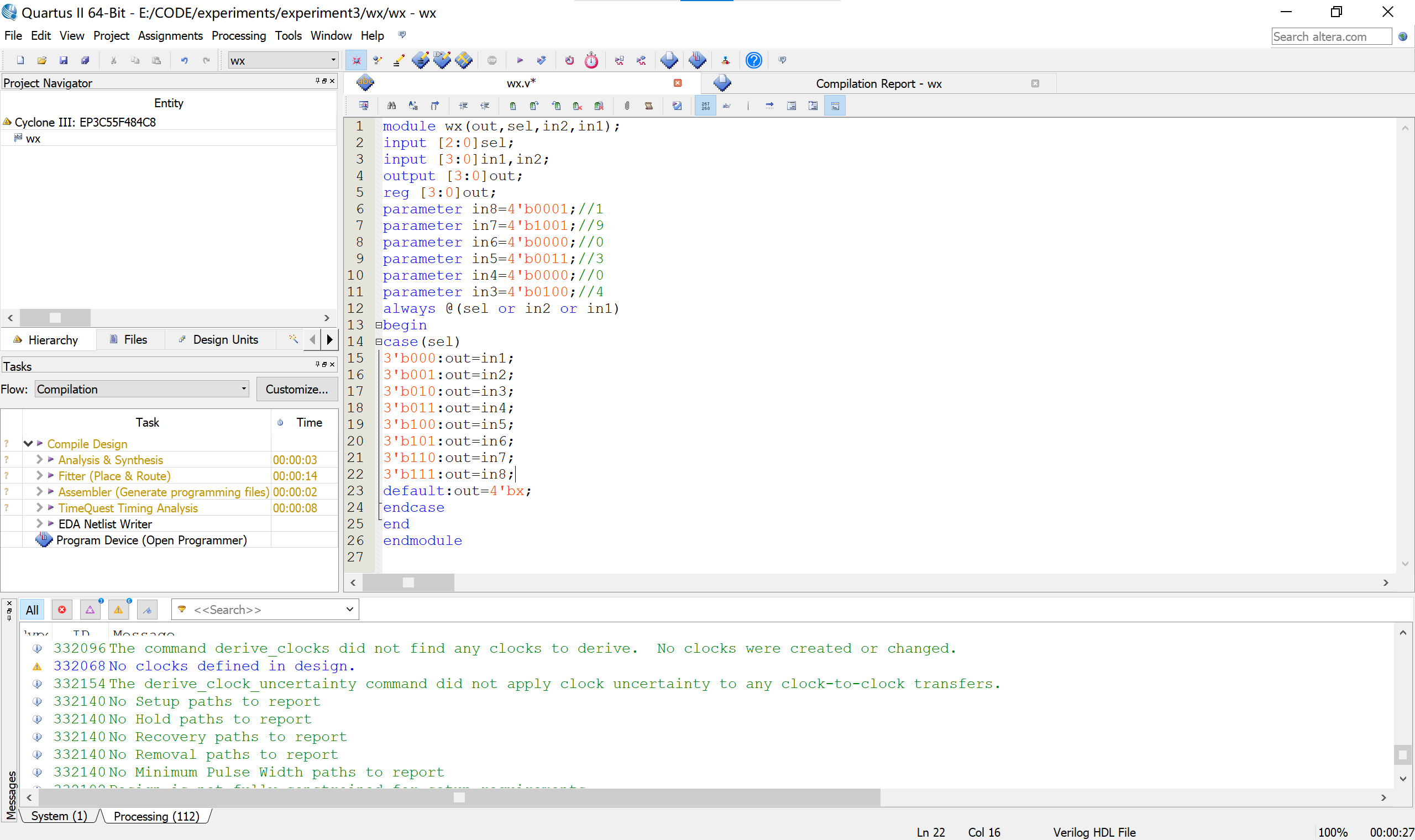
本实验可以分为三个模块：输入，FPGA电路，输出，电路框图如下，输入部分由试验台上开关控制，输出部分用led灯显示。FPGA电路核心是数据选择器，在数据选择器输出加非门取反，用led灯表示高电平。

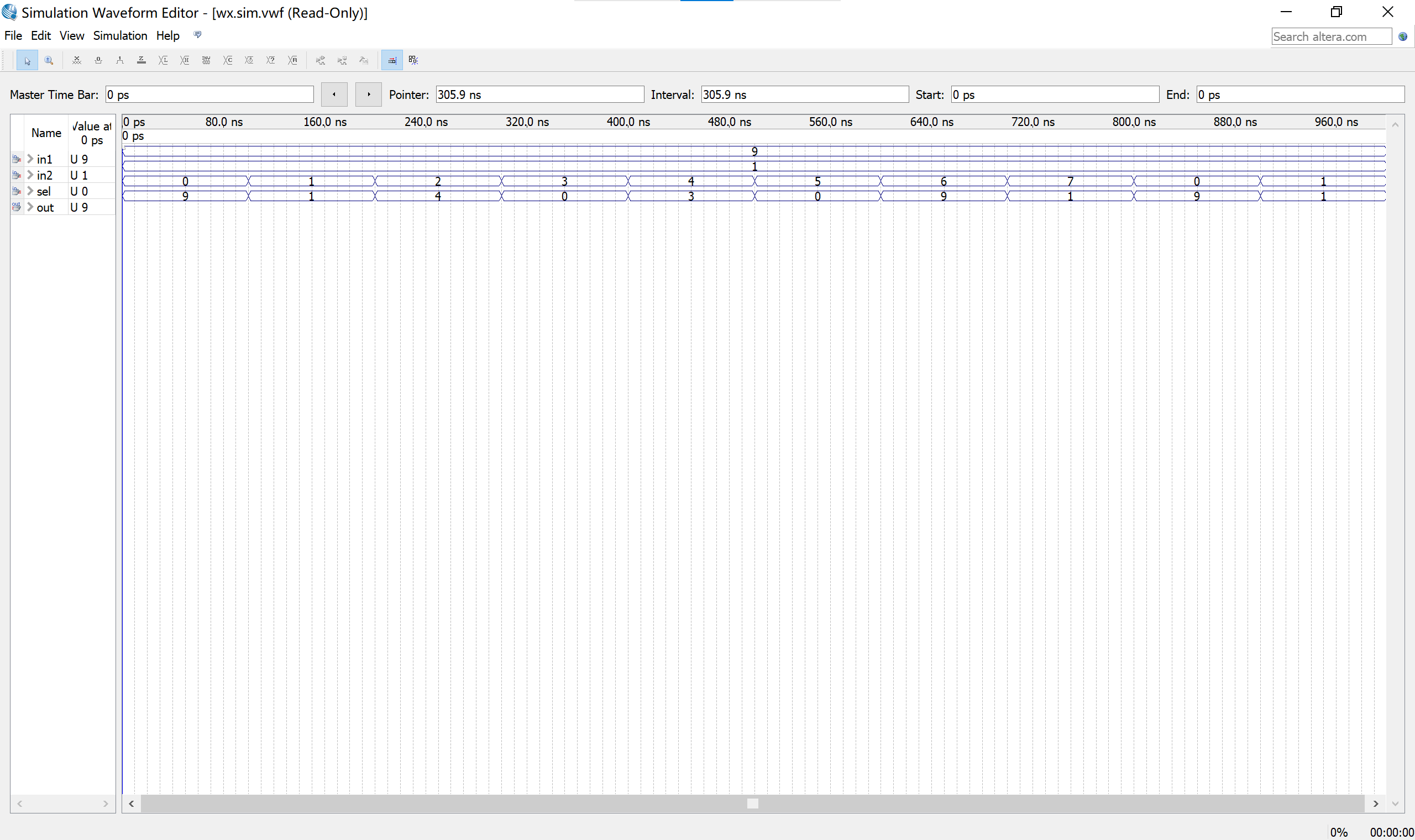




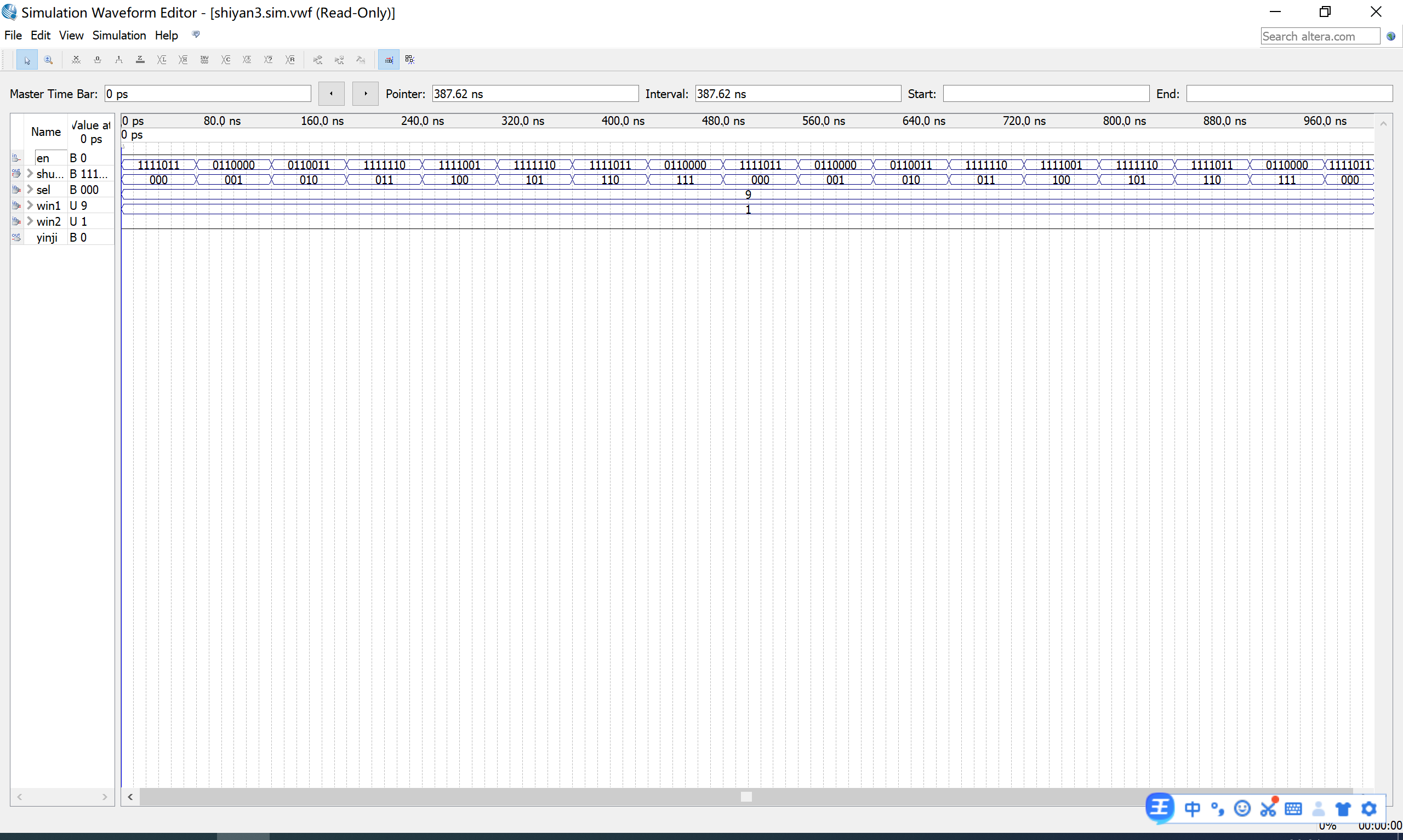
**四．详细设计**

1、电路实现



1. 仿真

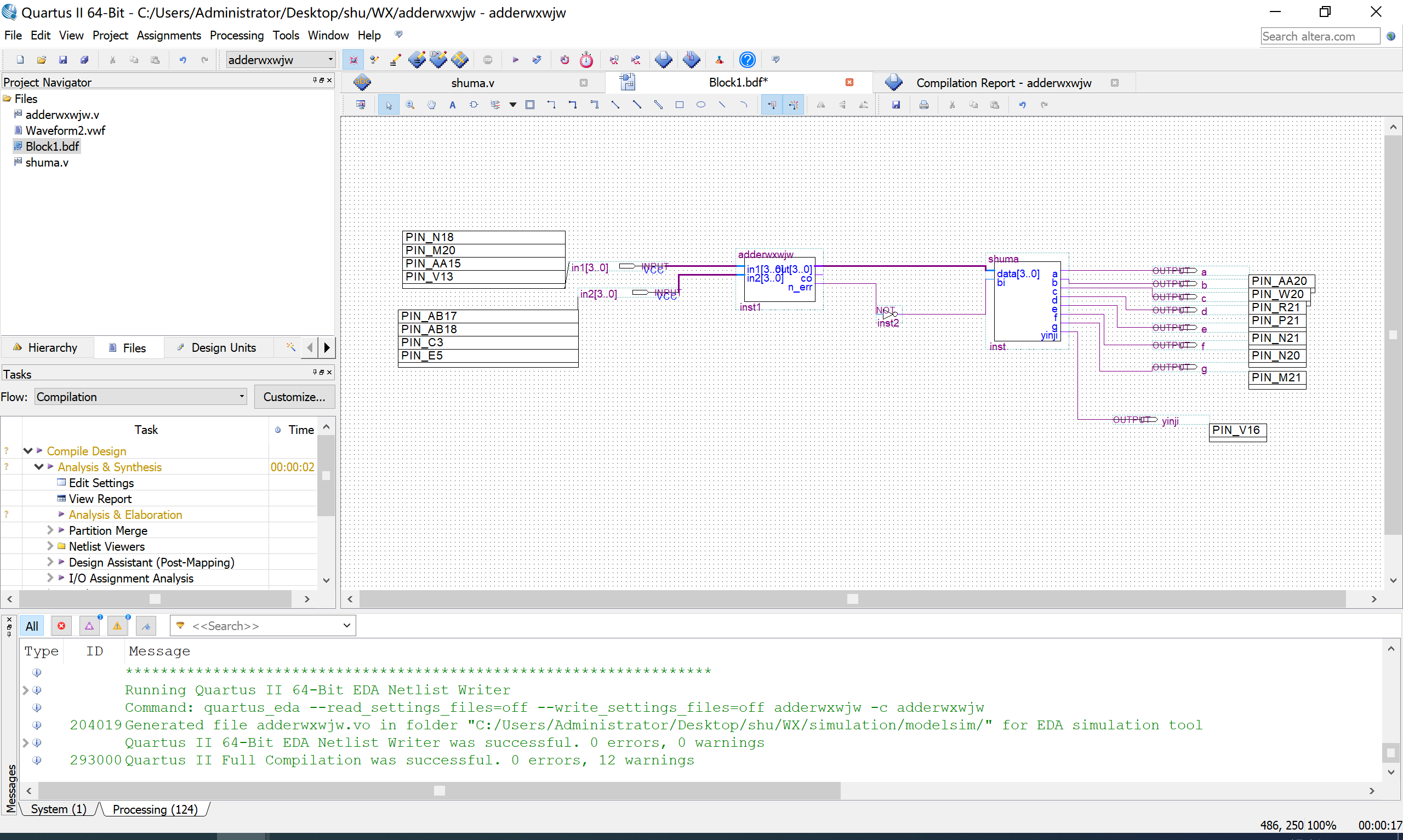
拓展实验



从仿真波形图上可以看到，en为高电平时，输出一直为0000000。当en为低电平时，shumaguan按照sel所选择的数据输出in1到in8转化成的十进制数的数码管的阳极输出。

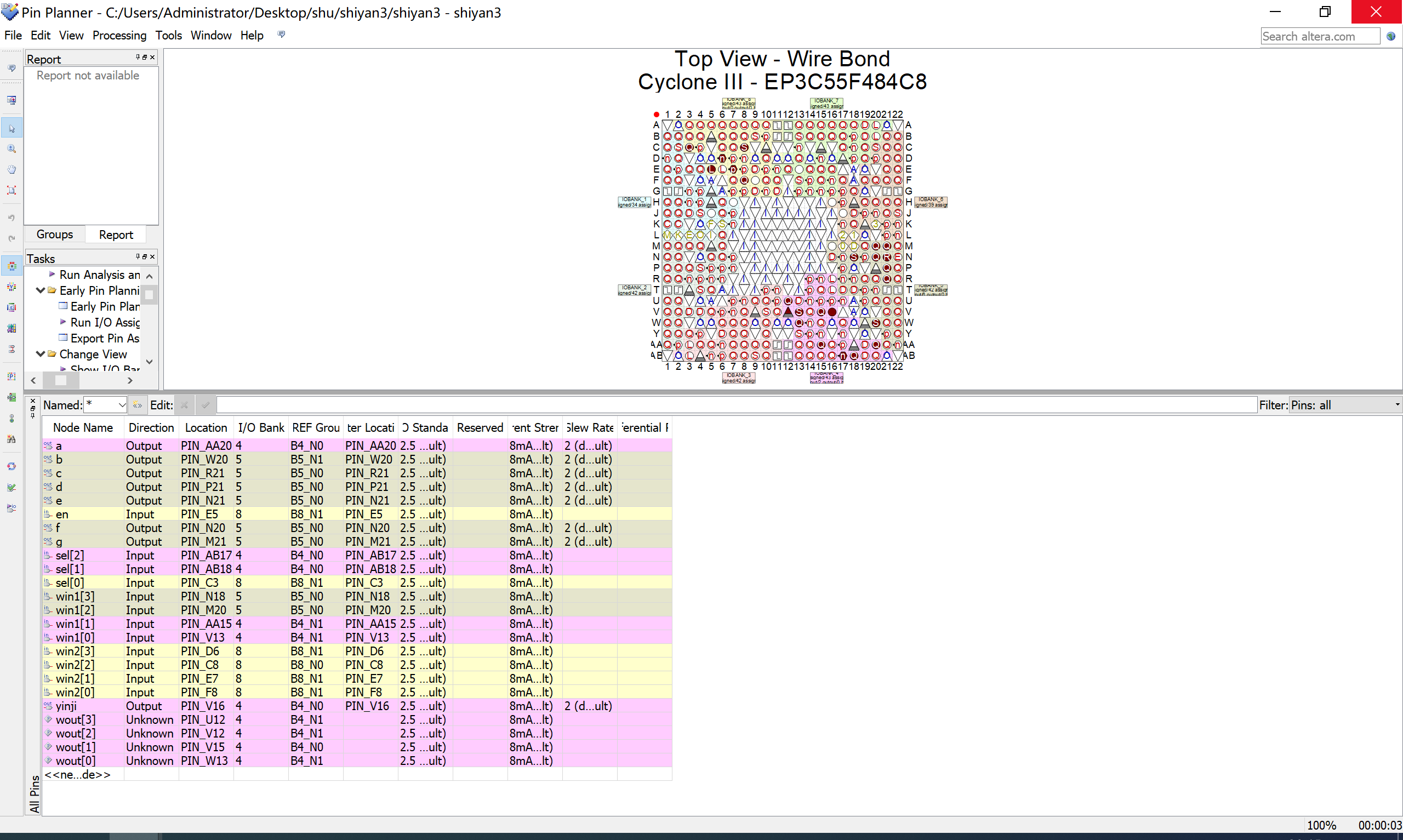
从波形上可以验证本电路设计符合要求。

1. 封装图



**五．实验结果**

（1）引脚分配



（2）实验现象

SW9,SW10,SW11为0，0，0的时候，数码管亮起in8的数据—1；

SW9,SW10,SW11为0，0，1的时候，数码管亮起in7的数据—9；

SW9,SW10,SW11为0，1，0的时候，数码管亮起in6的数据—1；

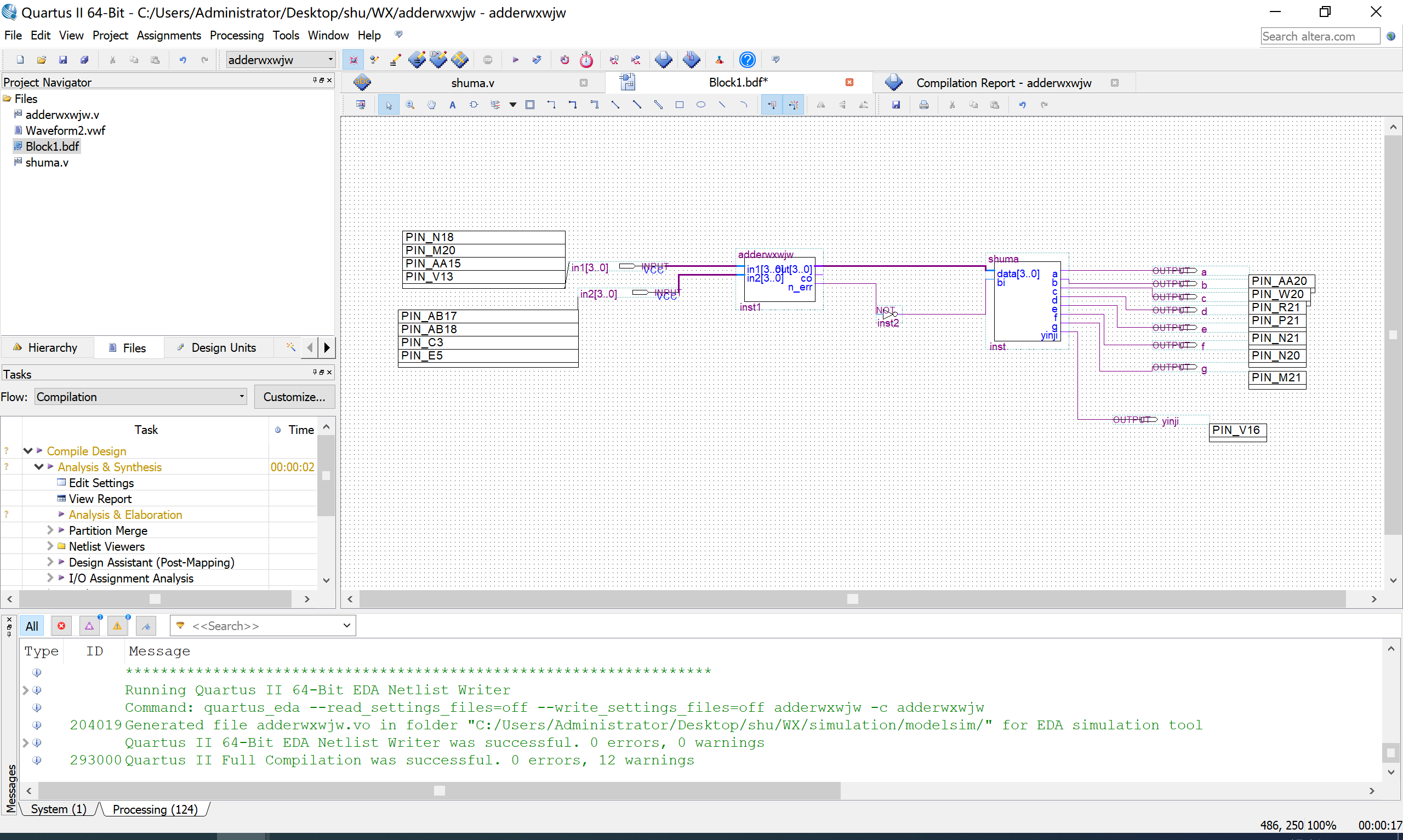
SW9,SW10,SW11为0，1，1的时候，数码管亮起in5的数据—0；

SW9,SW10,SW11为1，0，0的时候，数码管亮起in4的数据—5；

SW9,SW10,SW11为1，0，1的时候，数码管亮起in3的数据—2；

SW9,SW10,SW11为1，1，0的时候，数码管亮起in2的数据—SW1,SW2,SW3,SW4;

SW9,SW10,SW11为1，1，1的时候，数码管亮起in1的数据—SW5,SW6,SW7,SW8。



附图：顶层模块