|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2020-2021学年第1学期 | | | | **实验日期** | | 2020.10.27 | | |
| **学 院** | 计算机学院 | | | | **专 业** | | 计算机类 | | |
| **班 级** | 190741 | | **学 号** | | 19030419 | | **姓 名** | | 王昕 |
| **组 号** | 24 | | **学 号** | | 19074104 | | **姓 名** | | 王佳玮 |
| **评 阅 内 容** | | | | | | | | | |
| **实验预习** | | **实验原理** | | **详细设计** | | **实验结果** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验4:组合逻辑设计——选作题 | | | | | | | | |

1. **实验目的**

**1．通过BCD码加法器、简单ALU等电路的设计，进一步学习组合逻辑电路的设计。**

**2．进一步掌握运用Verilog描述基本组合电路的方法。**

**二．实验任务及要求**

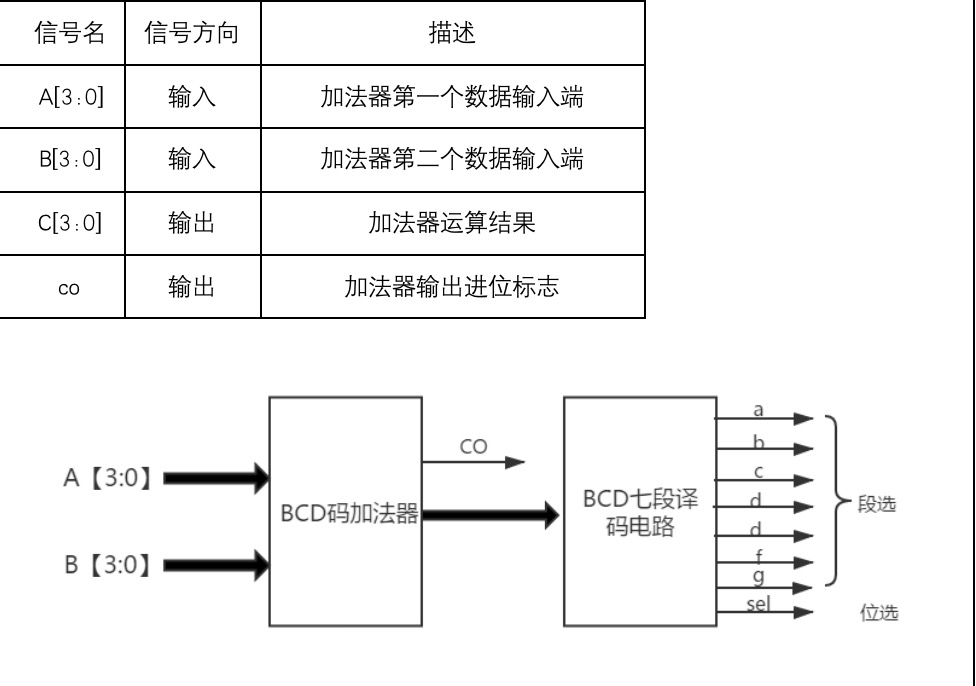
**任务（一）设计一个一位（或两位）8421 BCD码加法器**

**要求：**

**1．用Verilog实现一位（或两位）8421 BCD码加法器。BCD码的输入通过拨动开关（SW1~SW16）实现。**

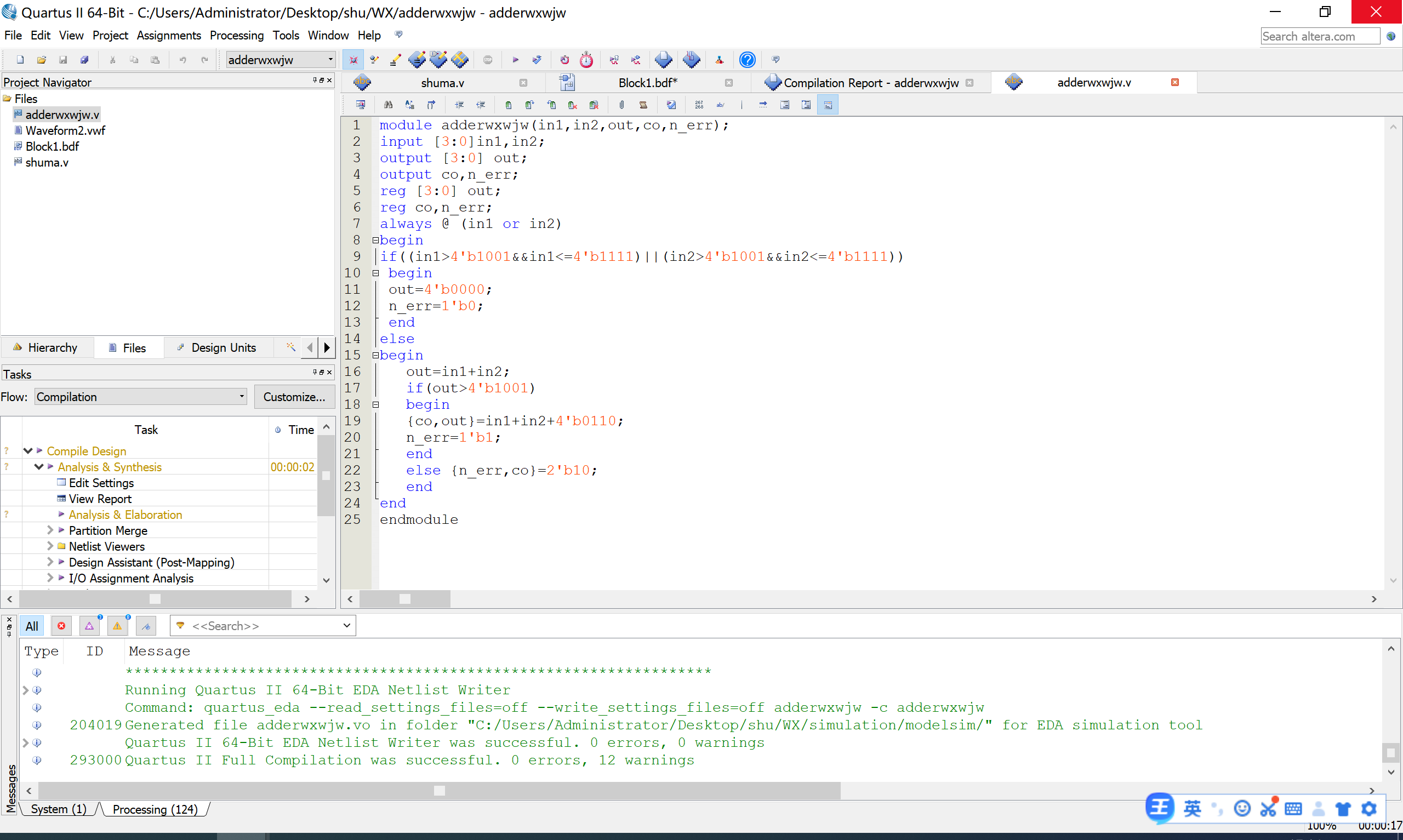
**2．将8421 BCD码加法器与七段数字显示译码模块相连。采用原理图方式设计。**

1. **实验原理**

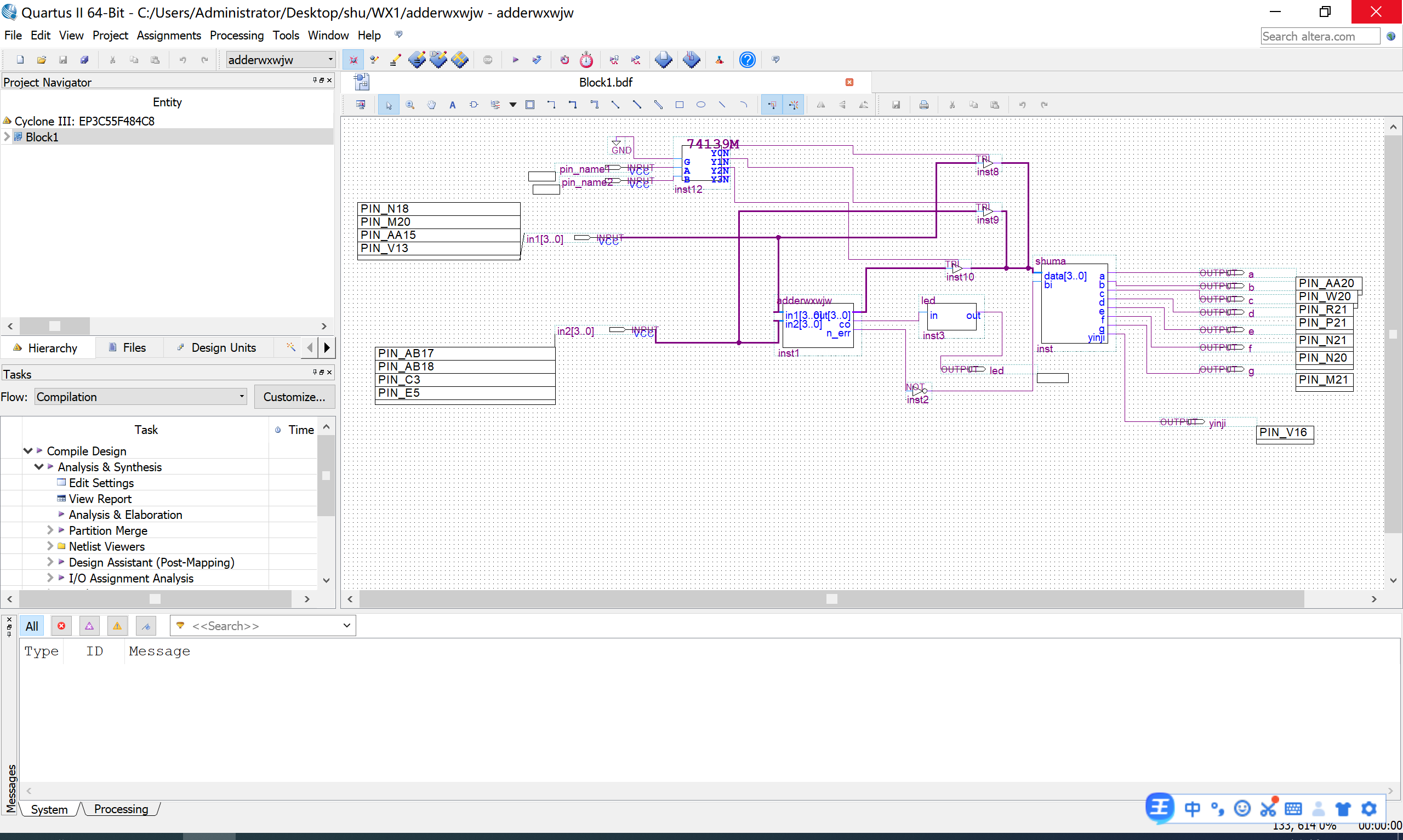


**四．详细设计**

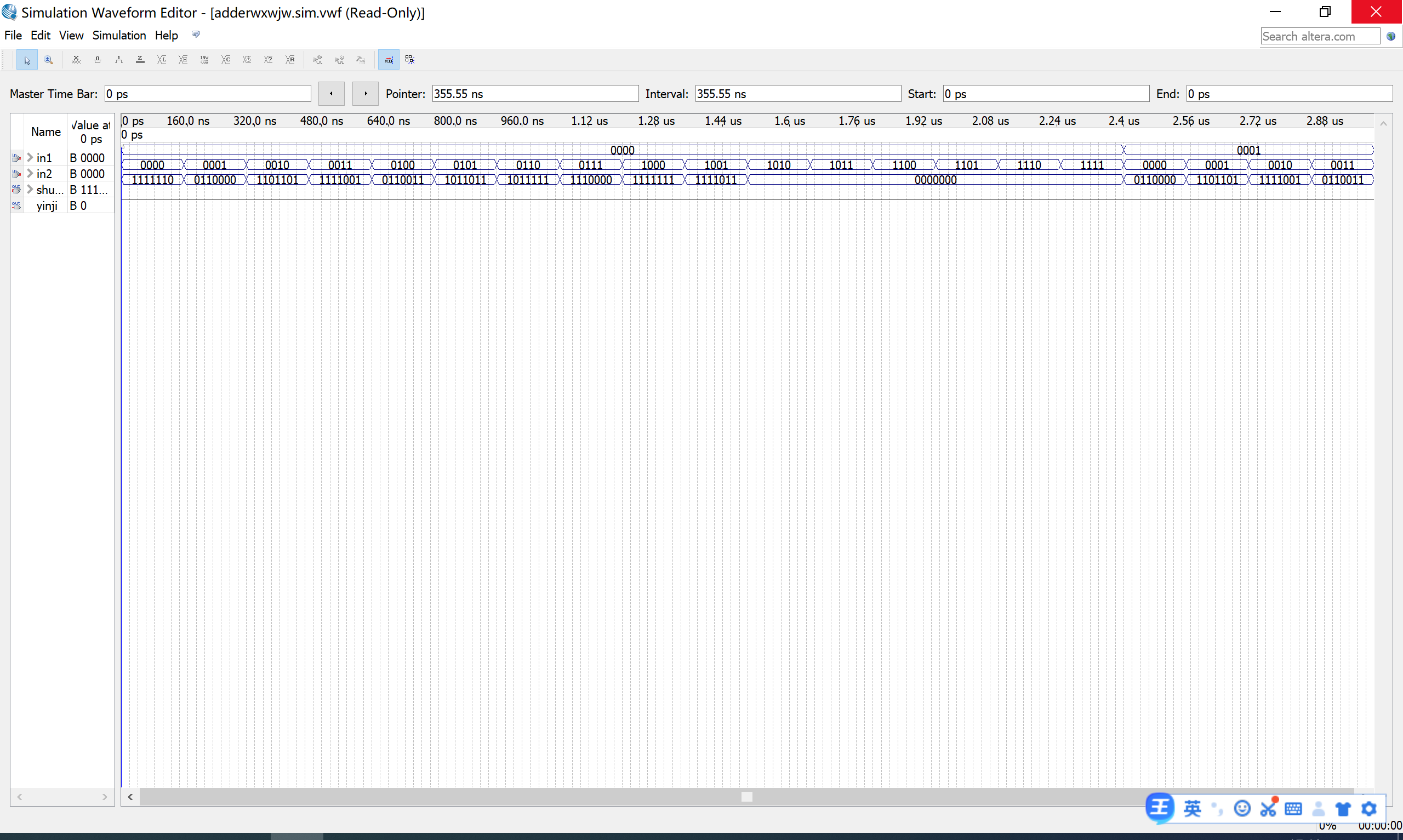
1、电路实现



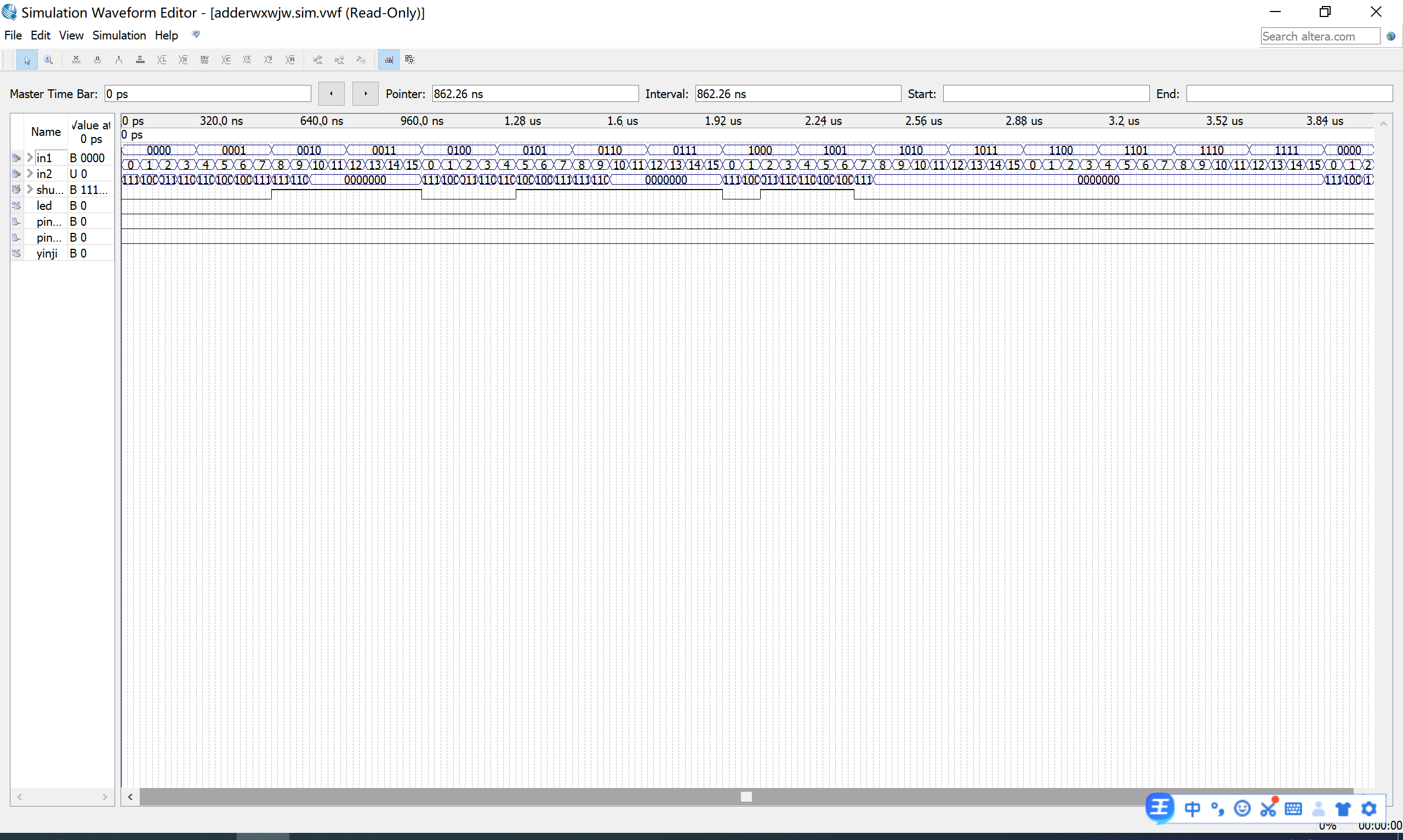
使用了写代码的模式进行了建模，输入均通过不同的开关实现，在0-9的时候可以显示出本位，当输入大于9或者和数大于9的时候将会不显示。

以下为拓展

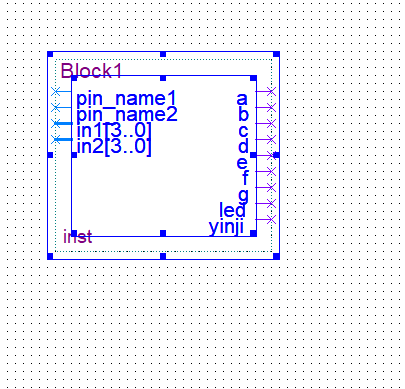
使用了原理图的方式进行了拓展实验的实现，即分别显示加数，被加数，以及他们的和数。当打开不同的开关也会显示不同的数字。当要现实的数字大于9的时候数码管上将没有数字显示出来。否则显示本位。led等显示是否有进位。

2、仿真

以下为拓展实验

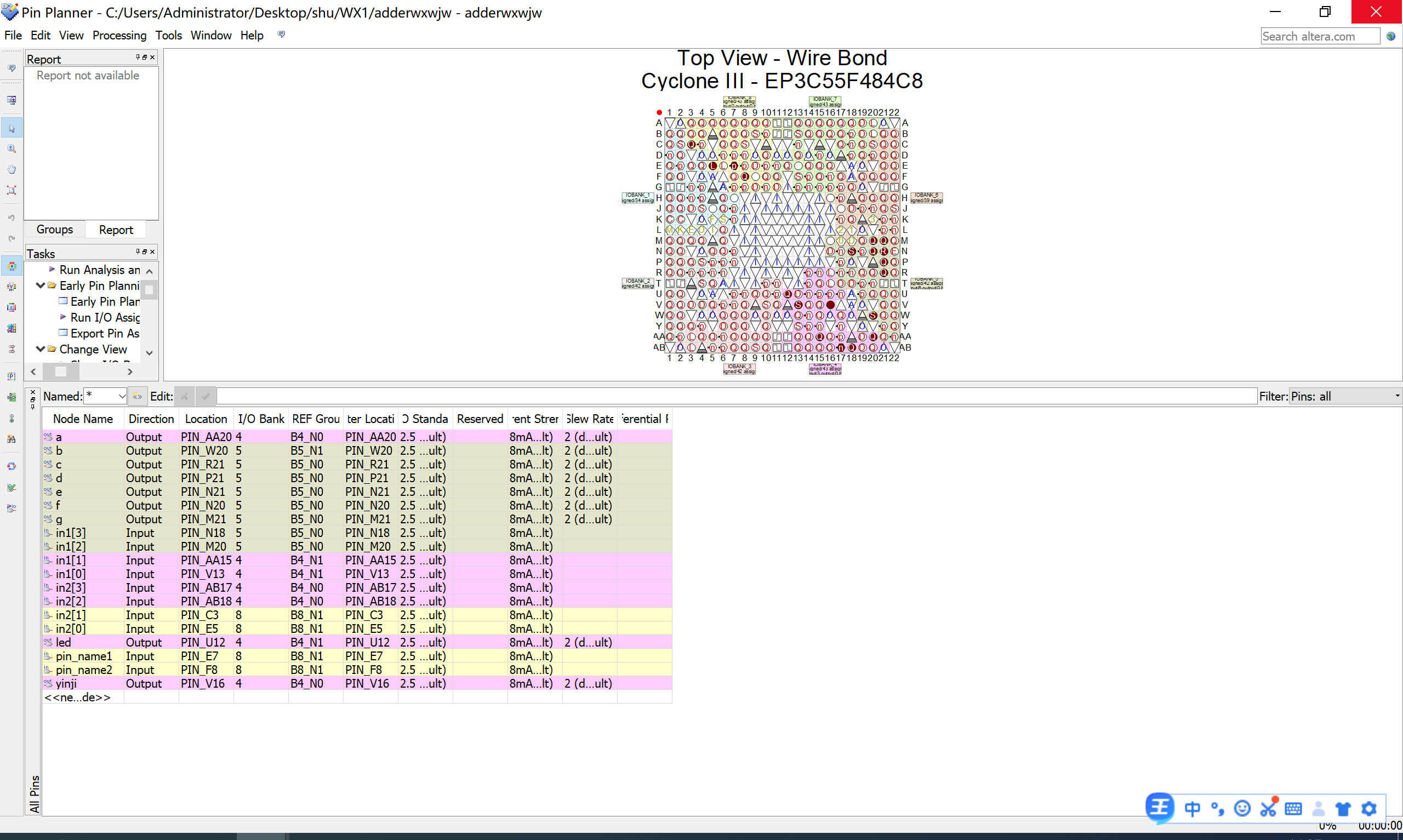


1. 封装图



**五．实验结果**

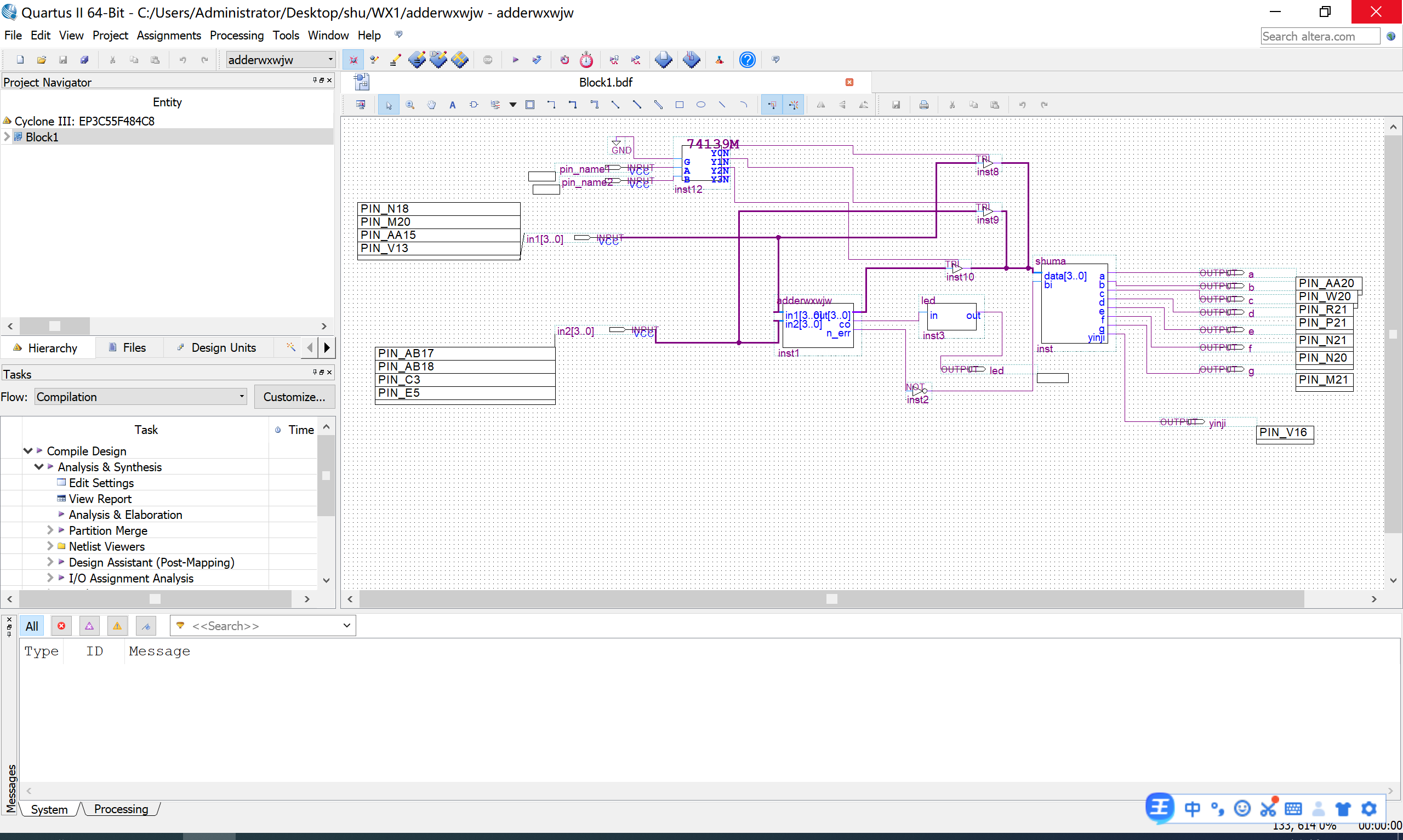
（1）引脚分配



分配引脚时，两个数据的输入分别分配给了八个开关，分别为SW1，SW2，SW3，SW4，SW9，SW10，SW11，SW12；数码管分配分别是LA，LB，LC，LD，LE，LF，LG；LED灯的引脚分配为LED1；使能端赋给两个开关，分别是SW15，SW16；

（2）实验现象

当SW15，SW16赋值为00的时候数码管显示第一个加数，当其为01的时候数码管显示另一个加数，当其为00的时候数码管显示和数的本位，若有进位则led熄灭，若无进位则led不熄灭。若输入大于9的时候数码管不显示数据，代表无效数据。



附图：顶层模块