|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2020-2021学年第1学期 | | | | **实验日期** | | 2020.10.27 | | |
| **学 院** | 计算机学院 | | | | **专 业** | | 计算机类 | | |
| **班 级** | 190741 | | **学 号** | | 19030419 | | **姓 名** | | 王昕 |
| **组 号** | 24 | | **学 号** | | 19074104 | | **姓 名** | | 王佳玮 |
| **评 阅 内 容** | | | | | | | | | |
| **实验预习** | | **实验原理** | | **详细设计** | | **实验结果** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验4:组合逻辑设计——选作题 | | | | | | | | |

1. **实验目的**

**1．通过BCD码加法器、简单ALU等电路的设计，进一步学习组合逻辑电路的设计。**

**2．进一步掌握运用Verilog描述基本组合电路的方法。**

**二．实验任务及要求**

**任务（一）设计一个一位（或两位）8421 BCD码加法器**

**要求：**

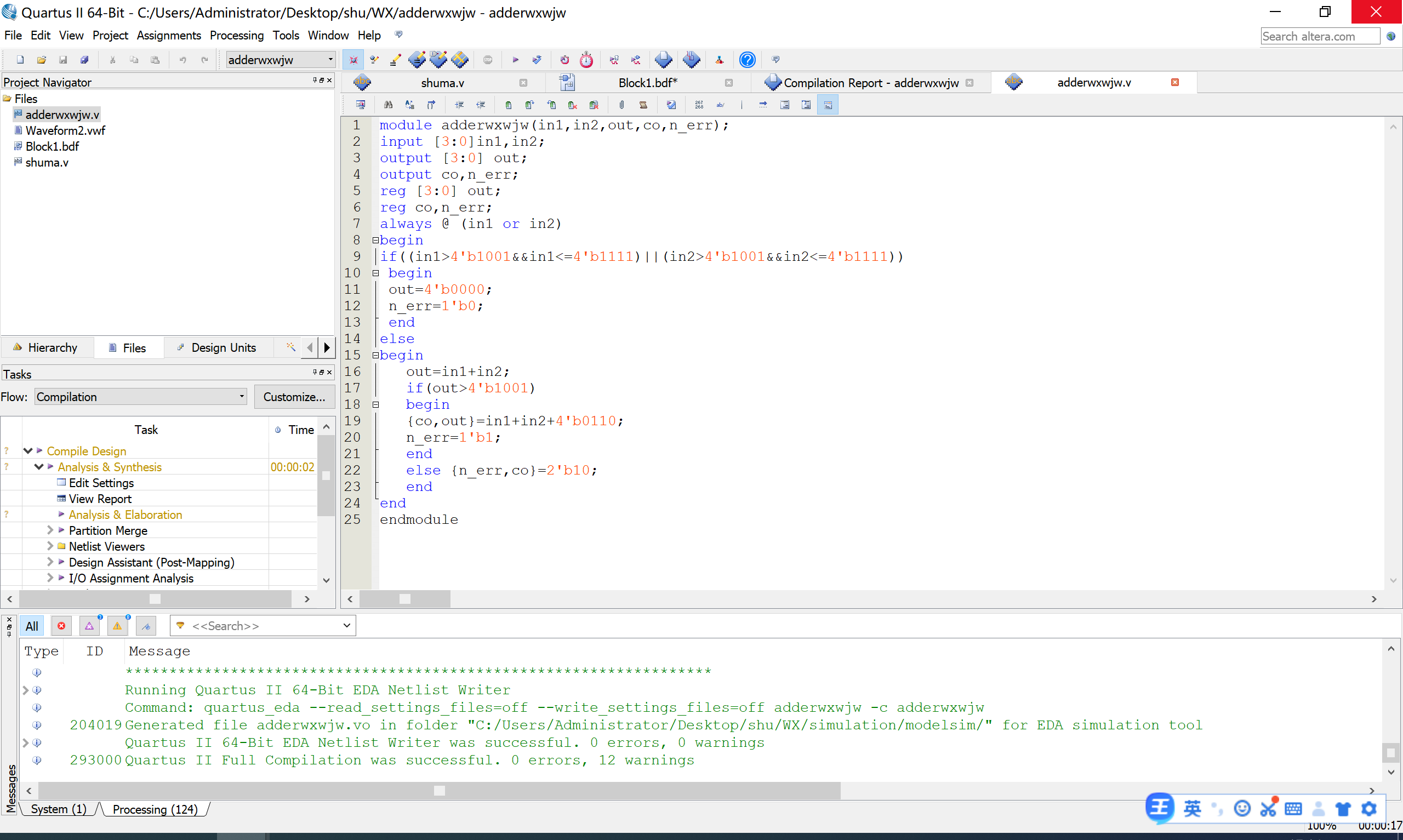
**1．用Verilog实现一位（或两位）8421 BCD码加法器。BCD码的输入通过拨动开关（SW1~SW16）实现。**

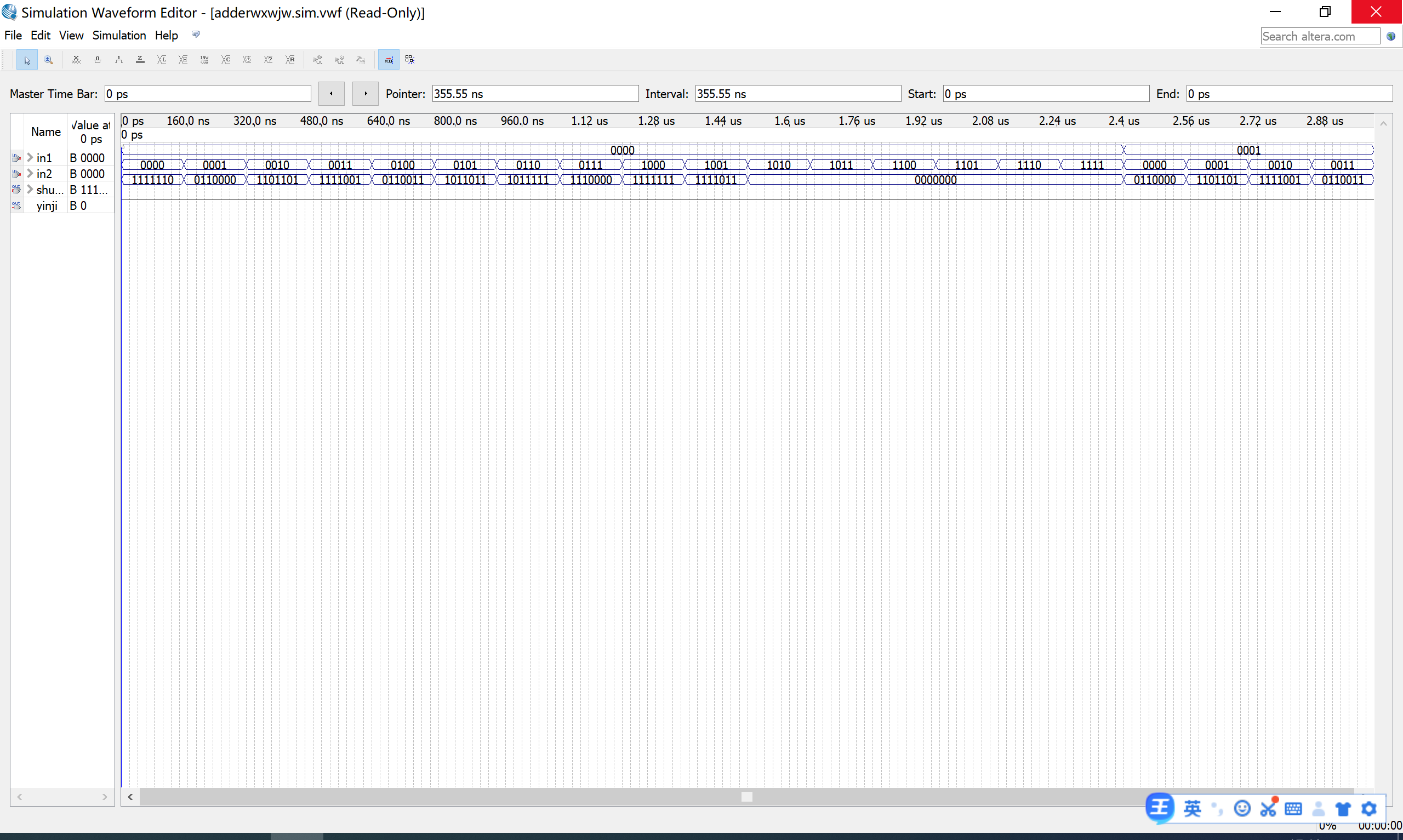
**2．将8421 BCD码加法器与七段数字显示译码模块相连。采用原理图方式设计。**

1. **实验原理**

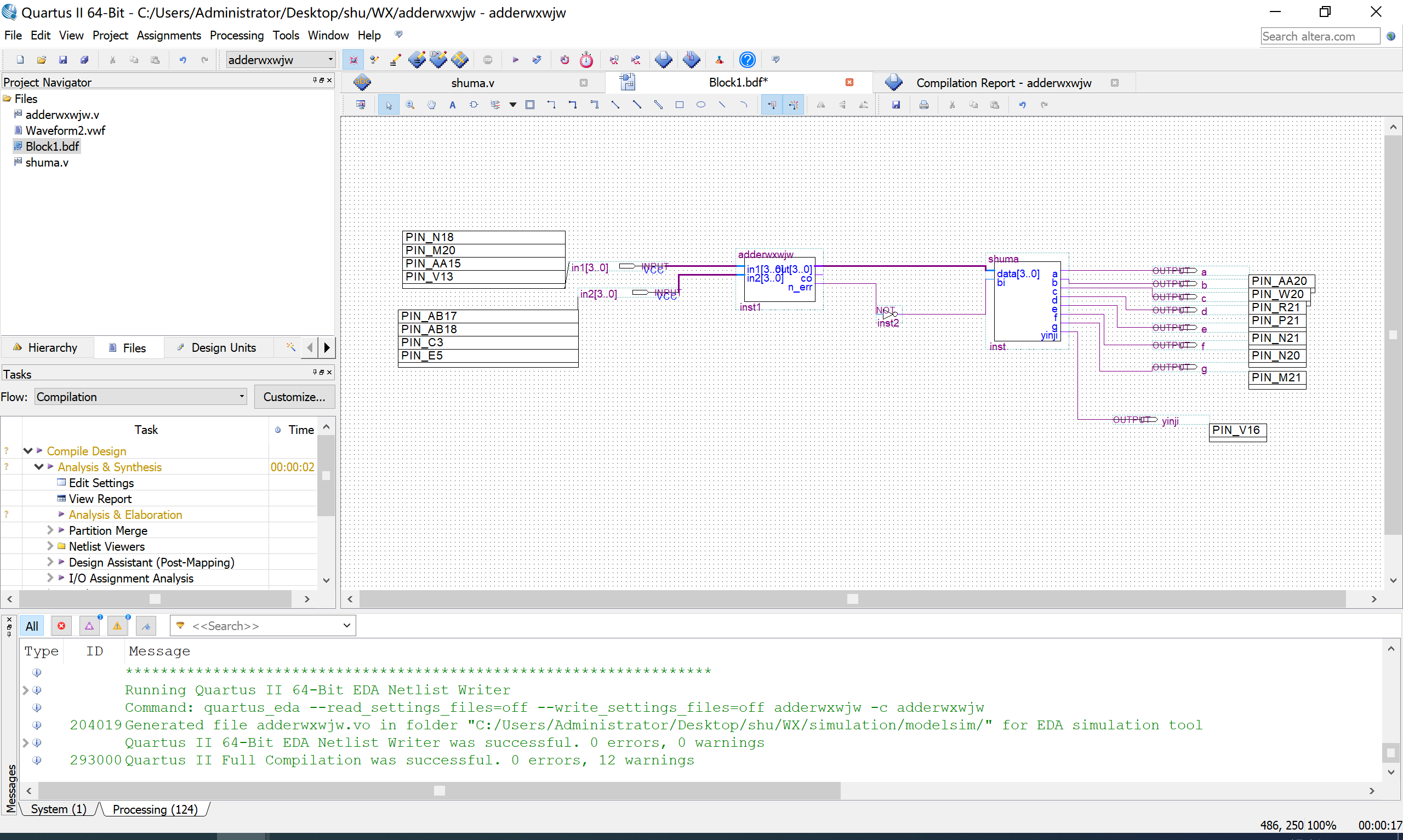
**四．详细设计**

1、电路实现



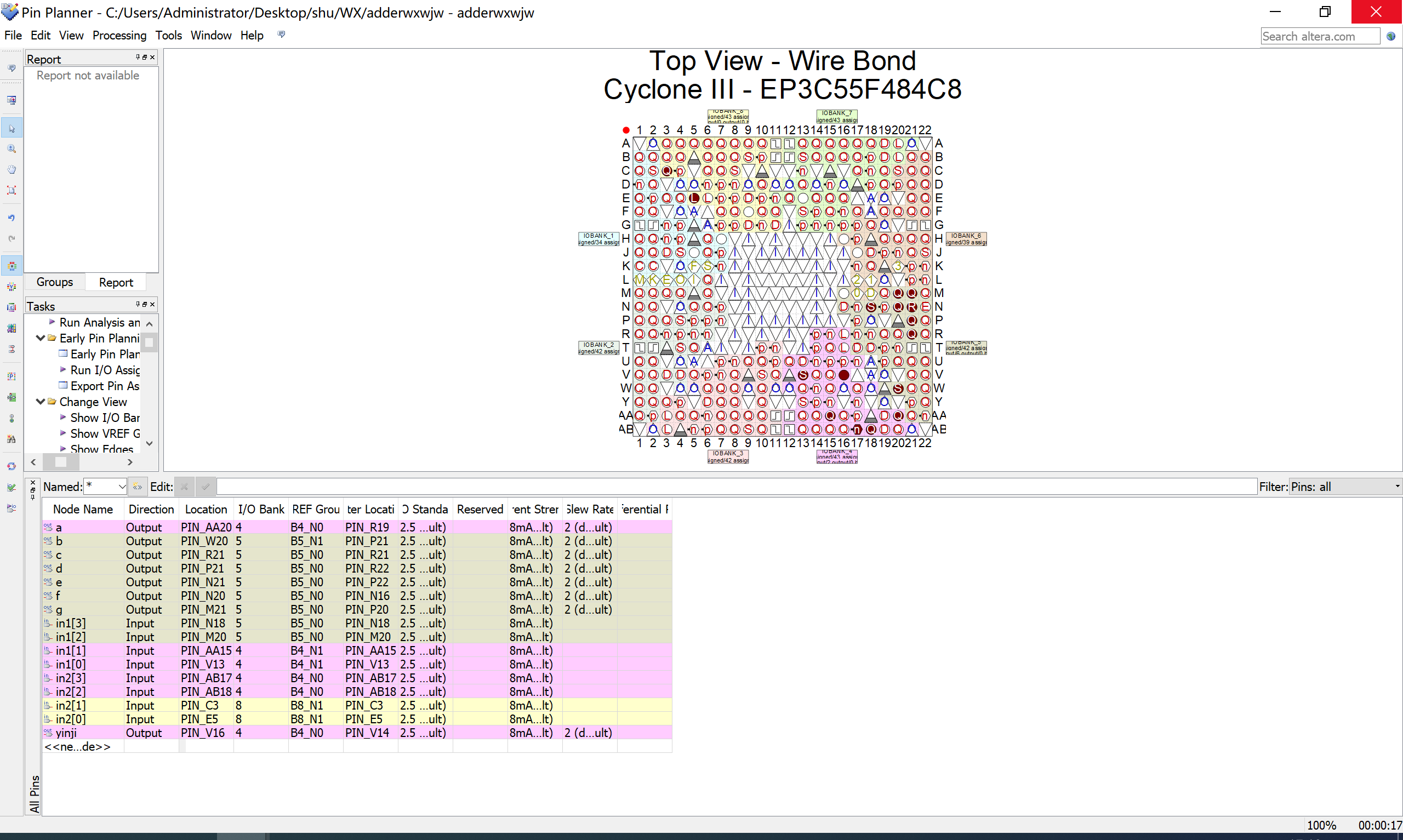
2、仿真

1. 封装图



**五．实验结果**

（1）引脚分配



（2）实验现象

附图：顶层模块