



Plazo de entrega:

1.30pm del sábado 8 de agosto de 2020, en el Google Classroom del curso.

Formato de entrega:

Fotografía o escáner con respuestas escritas a mano (por favor, usar formato conocido, como PDF o JPG), o bien, PDF con respuestas escritas en el computador. **No** es necesario imprimir las preguntas, pero el archivo digitalizado o escrito en computador debe indicar claramente a qué pregunta corresponde cada respuesta.

Código de honor y excelencia académica

(No es necesario imprimir esta hoja, se puede transcribir el siguiente texto a mano).

Me comprometo a responder esta prueba respetando los valores de la Universidad de Santiago de Chile, en particular aquellos referidos a la excelencia y la transparencia y probidad. Esto significa que no revisaré el material del curso ni otras fuentes durante el desarrollo de esta prueba, y que trabajaré en mis respuestas de manera individual, sin discutir ni consultar con otras personas por ningún medio.

Firma



Pregunta 1. Rendimiento (1,5 pts.)

Parte 1

Considere 3 procesadores distintos, P1, P2 y P3, que implementan el mismo conjunto de instrucciones (ISA). P1, P2 y P3 tienen tasas de reloj de 3 GHz, 2,5 GHz y 4 GHz, respectivamente, y CPIs de 1,5, 1,0 y 2,2, respectivamente.

- A) (0,3 pts.) ¿Qué procesador tiene el mejor rendimiento, medido en instrucciones por segundo?
- B) (0,3 pts.) Si cada procesador ejecuta un programa (no necesariamente el mismo) en 10 segundos, encuentre el número de instrucciones y el número de ciclos.
- C) (0,3 pts.) Para cada procesador, encuentre la tasa de reloj que permite reducir el tiempo de ejecución en un 30% a expensas de un incremento de 20% del CPI.

Parte 2

Considere el siguiente programa que muestra un bucle que se repite infinitamente. Se pide comparar el desempeño de un procesador MIPS monociclo con tasa de reloj de 750 MHz y un procesador MIPS con *pipeline* de 5 etapas, como el discutido en clases. Asuma que el procesador con *pipeline* dispone de adelantamiento (*forwarding*) y que la dirección de destino de un salto incondicional (*j*) está disponible en la etapa IF.

```
ilovebeatles:    lw $t0, 0($s0)
                  add $t1, $t0, $t2
                  add $t1, $t0, $t2
                  add $t1, $t0, $t2
                  j  ilovebeatles
```

- D) (0,3 pts.) Determine el CPI para ambos procesadores.
- E) (0,3 pts.) Determine la tasa de reloj del procesador con *pipeline* de modo que el tiempo promedio de ejecución de una iteración del bucle sea el mismo para ambos procesadores.



Pregunta 2. Procesador Monociclo (2,5 pts.)

Considere el procesador MIPS monociclo visto en clases (Figura 1). Suponga que en determinado ciclo de reloj se está ejecutando una instrucción, *In*, que escrita en binario es: '00100001100011011000000000010100'. *In* está almacenada en la dirección 0x000011B4 de la memoria de instrucciones. Asuma que los registros del procesador tienen los siguientes valores, escritos en decimal, al inicio del ciclo en que se realiza "fetch" de esta instrucción:

#Registro	8	9	10	11	12	13	14	15	16	17	18	19
Valor almacenado	11	-1	0	10	10	15	20	300	100	-21	22	21

- (0,4 pts.) ¿Cuáles son los valores de *todas* las entradas del archivo de registros?
- (0,3 pts.) ¿Cuáles son los valores de *todas* las salidas del archivo de registros?
- (0,3 pts.) ¿Cuál es el valor de la salida del "Add" de más a la derecha en la Figura 1?
- (0,2 pts.) ¿Cuál es el nuevo valor del contador de programa al terminar la ejecución de esta instrucción?
- (0,3 pts.) Para cada multiplexor, indique el valor de la señal de control que lo comanda. HINT: Note que el dibujo de cada multiplexor en la Figura 1 indica qué línea se selecciona dependiendo del valor de la señal de control.
- (0,4 pts.) Suponga que la fabricación de este procesador resultó fallida, de modo que el bit 2 (número de bit se cuenta de derecha a izquierda, partiendo de 0) de la entrada "Read Register 1" del archivo de registros es siempre cero, independiente de la instrucción en ejecución. Este error se denomina "stuck-at-0". ¿Cuál es el resultado de la ALU al ejecutar *In* en el procesador con este error de fabricación?
- (0,6 pts) Suponga que, para probar el procesador, se pueden llenar el PC, los registros y las memorias de datos e instrucciones con valores a elección, luego ejecutar una instrucción particular y finalmente leer el PC, registros y memorias, los que son examinados para determinar la presencia de una falla particular. ¿Cómo detectaría el error "stuck-at-0" de la parte F)?

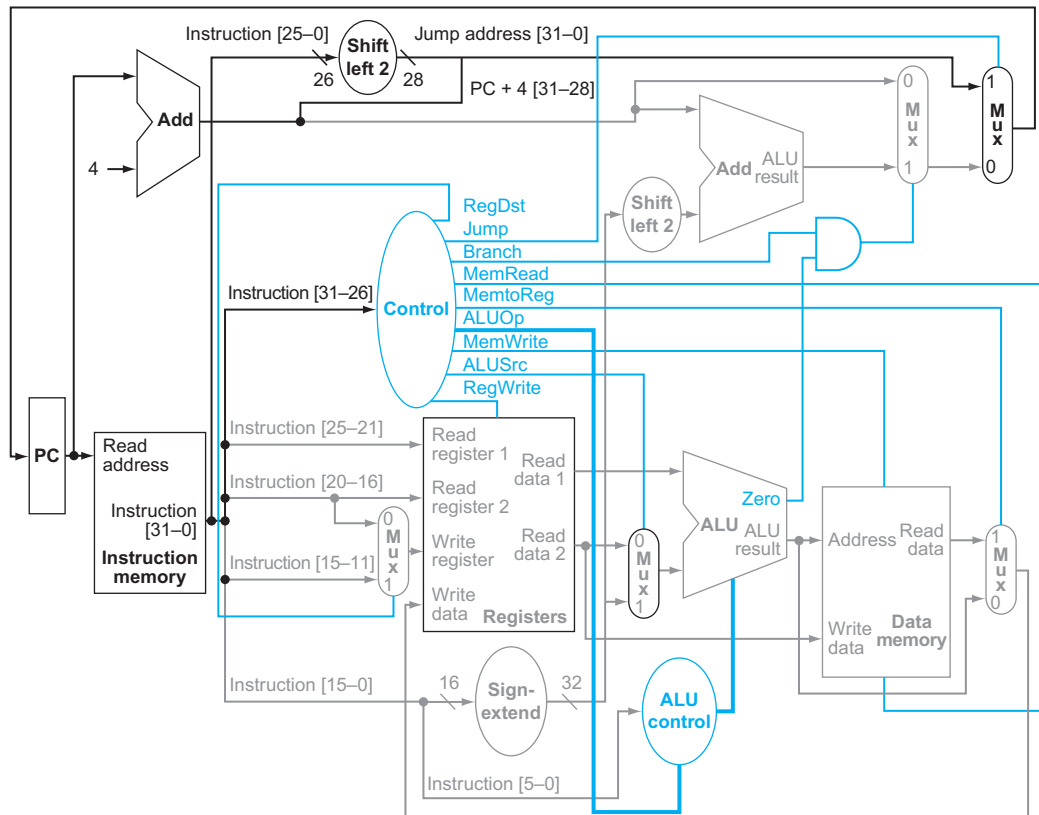


Figura 1. Diagrama de un procesador monociclo. Se ha marcado el camino de datos de la instrucción “jump”.

Tabla 1. Opcode de algunas instrucciones MIPS

Instrucción	Opcode (decimal)
<i>slt</i>	0
<i>add</i>	0
<i>sub</i>	0
<i>j</i>	2
<i>beq</i>	4
<i>bne</i>	5
<i>addi</i>	8
<i>lw</i>	35
<i>sw</i>	43



Pregunta 3. Pipeline (2 pts.)

Parte 1

Considere las siguientes secuencias de instrucciones, S1 y S2.

S1	S2
add \$t1, \$t2, \$t1	lw \$t1, 0(\$t1)
lw \$t2, 0(\$t1)	and \$t1, \$t1, \$t2
lw \$t1, 4(\$t1)	lw \$t2, 0(\$t1)
and \$t3, \$t1, \$t2	lw \$t1, 0(\$t3)
or \$t3, \$t3, \$t3	
sw \$t3, 0(\$t1)	
or \$t4, \$t3, \$t2	

- A) (0,4 pts.) Encuentre todos los riesgos de datos en ambas secuencias de instrucciones para un *pipeline* de cinco etapas como el visto en clases (*i.e.*, IF-ID-EX-MEM-WB). Indique cuáles riesgos se resuelven completamente con adelantamiento (*forwarding*) y cuáles no.
- B) (0,6 pts.) Para ambas secuencias, dibuje un diagrama de ciclos de reloj del *pipeline* (ciclos avanzan de izquierda a derecha). Considere el caso **sin** adelantamiento.
- C) (0,2 pts.) Para reducir el tiempo del ciclo de reloj, se considera la posibilidad de dividir la etapa MEM en dos. Repita A) para este *pipeline* de seis etapas (*i.e.*, IF-ID-EX-MEM1-MEM2-WB).
- D) (0,3 pts.) Asuma que, antes de ejecutar las secuencias de instrucciones S1 y S2, todos los valores en la memoria de datos valen 0 y los valores en los registros \$t0 a \$t3 para S1 y S2 son los siguientes, respectivamente:

	\$t0	\$t1	\$t2	\$t3
S1	0	1	31	1000
S2	0	-2	63	2500

¿Cuál es el primer valor que se adelanta y a qué valor reemplaza?

Parte 2

- E) (0,3 pts.) Considere un procesador con *pipeline* de N etapas en el que, para una bifurcación (*beq*), la comparación y el cálculo de la dirección de destino se realizan en la etapa i -ésima. Asuma un esquema de predicción “*branch not taken*” o “bifurcación no tomada”. Entregue una expresión del CPI para un programa de X instrucciones sin riesgos de datos ($X \gg N$), con una proporción b de instrucciones de bifurcación, y en el que hay probabilidad p de que las bifurcaciones se tomen. Asuma que, al finalizar el programa, una fracción e del total de instrucciones se ejecutaron, y esta fracción incluye todas las instrucciones de bifurcación.
- F) (0,2 pts.) Considere el particular caso en que, al finalizar el programa, sólo instrucciones de bifurcación fueron ejecutadas y en todas ellas hubo un salto. En este caso, ¿en qué condiciones el CPI podría ser 2?