Cociao de honor y excelencia acca demica

Me comprometo a responder esta prueba respetando
los valores de la Universidad de Santago de Chile,
en particular aquellos refenidos a la excelencia y
la transparencia y probidad. Esto significa que
no revisare el material du curso ni otras quentes
durante el desarrollo de esta prueba, y que
trabajare en mis respuestas de manera individual,
sin discutir ni consultar con otras personas per
ningún medio.

Muy burn trabajo!

# **PREGUNTA 1**

### Pregunta 1. Mapeo Directo (2 pts.)

Considere la siguiente secuencia de accesos a memoria, entregadas como direcciones de byte y escritas en decimal. Las direcciones de memoria son de 32 bits, y las palabras son de tamaño 4 bytes.

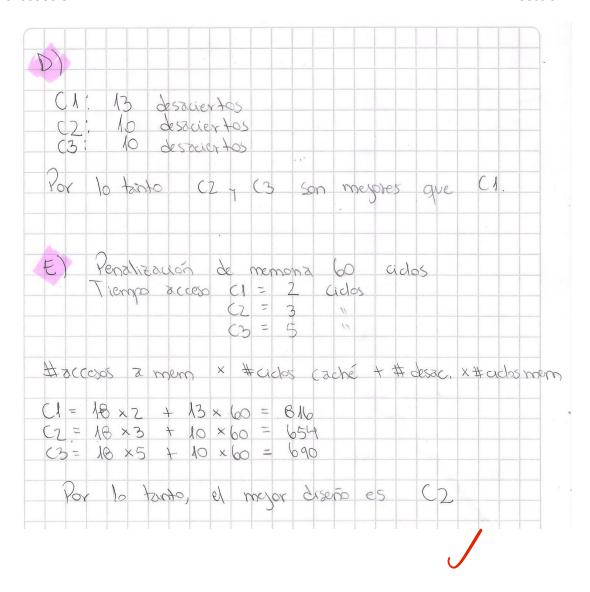
0, 0, 4, 4, 8, 64, 128, 512, 0, 32, 1024, 1028, 1032, 1036, 0, 524, 512, 1036

Se quiere encontrar un diseño óptimo de caché para este caso. Se tienen 3 diseños posibles, todos de mapeo directo y con una capacidad total de 512 bytes para datos, pero que difieren en el tamaño del bloque: C1 tiene bloques de 2 palabras; C2, bloques de 4 palabras, y C3, bloques de 8 palabras.

- A) (0,6 pts.) Para cada una de las direcciones y para cada diseño de caché, escriba el número correspondiente de bloque de la memoria.
- B) (0,6 pts.) Para cada una de las direcciones y para cada diseño de caché, indique el "index" en binario.
- C) (0,2 pts.) ¿Cuántos bits de "tag" requiere cada diseño de caché?
- D) (0,3 pts.) Considerando solamente desaciertos de caché, ¿cuál diseño es el mejor?
- E) (0,3 pts.) Si la penalización de memoria es de 60 ciclos, y C1, C2 y C3 tienen tiempos de acceso de 2, 3 y 5 ciclos, respectivamente, ¿qué diseño de caché es el mejor para esta secuencia de accesos a memoria?

Pregunta !	Mapeo	Direct	Φ   -			
Capacidad	total:	5/12	bytes	para di	atos	
C1 - blogu	es de 2	) 231-	albras -	, 64		26)
C2 - blogue		lsq L		1 32	bloques (2	25)
C3 - o bloque	s-de 8	lelsq ,		→ 16	blogues (2	24)
	# blogue	CI	H block	pe (2		<i>C</i> 2
Dirección	(6 by)	es)	(16	bytes)	# bloque	C5
0	0	M		0 1	0	
D 0 / 6 - 0	0	He		Q A	057/6-0:	14
4/6	Ø	H		Q H	(a Ø ·	H
8	0	Ho.		0. 4	0	H
	1	M		0 4	19 0	4
128		M		4 Mo	1 4 2	N
512 -	16	M		8 M	6 4	
10	64	N	2	3Z M	16	
32	4	M				_M
1024	128	M		2 M	4	
1028	128	H		of H	32	M_
4032	129	M		4 4	72	H
1036	129			4 4	27	14
	()	A		M		M
524	65	MI	3		32 32 32 0 16	M
512	64	MI	3		16	4
1036	129	M	(	4/ 1	32,	17

)iv	[ CI	(Co bits)	(7.	(5 bits)	(3	(4 bits)
0	0 -	000000	0-0	00000	0 -0	0000
Ö	0 -	000000	0 -	00000	0 0	0000
4	0 -0	00000	0 _	00000	0 -0	0000
4	0 -0	000000	0 -0	00000	0-0	0000
8	1 -0		0-0	00000	0 -0	0000
64	B -	001000	4-0	0.0100	2 -	0010
128	16 -	010000	<b>⊗</b> →	01000	40	0000
512	0 -0		0 -	00.000	0	0000
0	Ø:	000000	8 -0	00000	0.0	0000
32	4-0	000100	2 -0	00010	1 ->	0001
024	0 -	000000	Ø -0	00000	0 -0	0000
228	0 0	000000	0 -0	00000	0 -	0000
032	1 1	000001	0 -0	00000	0 -	0000
036	1 -0	000001	0 -0	00000	0 -	0000
0	0 -	000000	0 -0	00000	0 -0	0000
24	1-1-0	7 00000	Ø -	00000	0 -	0000
12.	0 -	000000	0 -0	00000	0 4	0000
36	1 1 -	000001	0 -0	00900	0 -	0000
7	130					
	1 00					
CI	: 32	2-6-3=	= 23	bits &		0,
01	: 37		= 23	bits V		



p13

# **PREGUNTA 2**

### Pregunta 2. Caché, caché, y más caché... (2 pts.)

Considere direcciones de memoria de 32 bits, y asuma un largo de palabra de 4 bytes en todos los casos. Se tienen tres configuraciones de caché distintas, con sus respectivos tamaños de datos indicados entre paréntesis, y para las cuales los bits de la dirección de memoria son usados para "tag", "index" y "offset" como se indica.

Caché X (4 MiB):

 Tag
 Offset

 31-10
 9-0

Caché Y (2 MiB):

 Tag
 Index
 Offset

 31-21
 20-7
 6-0

 Tag
 Index
 Offset

 31-18
 17-2
 1-0

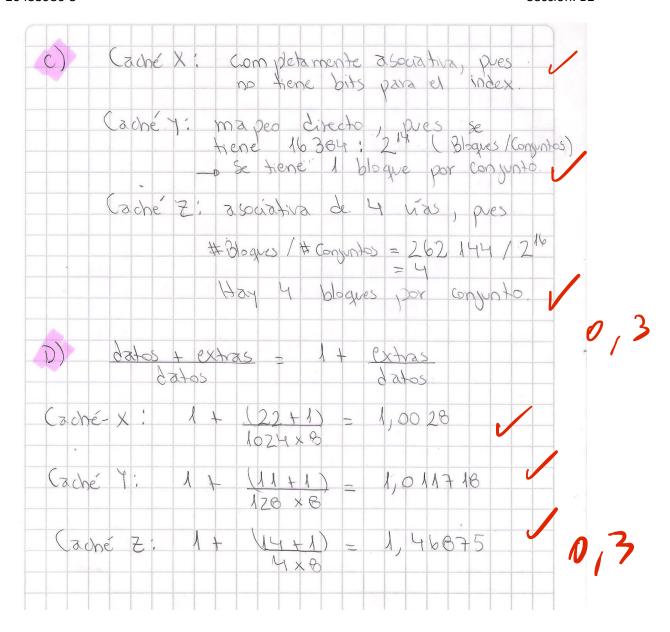
Caché Z (1 MiB):

- A) (0,3 pts.) Considere que la memoria principal no puede ser direccionada más allá de lo que permite el espacio de direcciones posibles. ¿Cuál es el tamaño máximo, en bytes, de la memoria principal?
- B) (0,3 pts.) Para cada caché, indique el tamaño del bloque en palabras y el número total de bloques.
- C) (0,3 pts.) Indique el tipo de mapeo de caché en cada caso (si hay alguna caché de conjunto asociativo, especifique el número de vías).
- D) (0,3 pts.) Para cada caché, encuentre la razón entre el total de bits requeridos para implementar la caché y los bits usados para datos.
- E) (0,8 pts.) Suponga que inicialmente cada caché está vacía. Para la siguiente secuencia de accesos a memoria principal expresadas en *byte*, calcule la tasa de desaciertos ("miss rate") de cada caché, donde N es el número de bloques de esa caché y m es el número de bits de offset usados para esa caché.

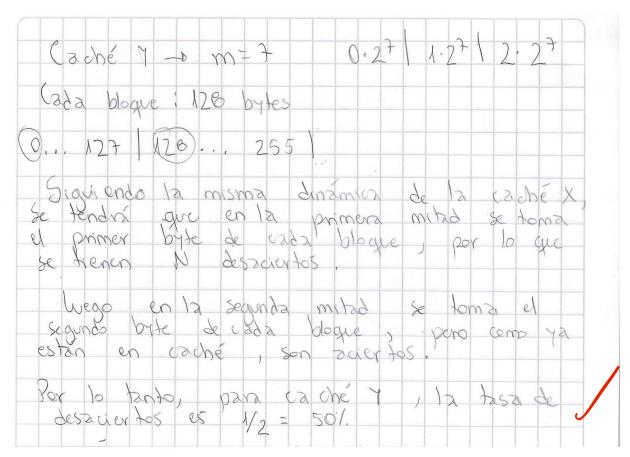
$0 \cdot 2^m$	$1 \cdot 2^m$	$2 \cdot 2^m$		$(N-1) \cdot 2^m$	$0 \cdot 2^{m} + 1$	$1 \cdot 2^{m+1}$	$2 \cdot 2^{m+1}$		$(N-1) \cdot 2^m + 1$
---------------	---------------	---------------	--	-------------------	---------------------	-------------------	-------------------	--	-----------------------

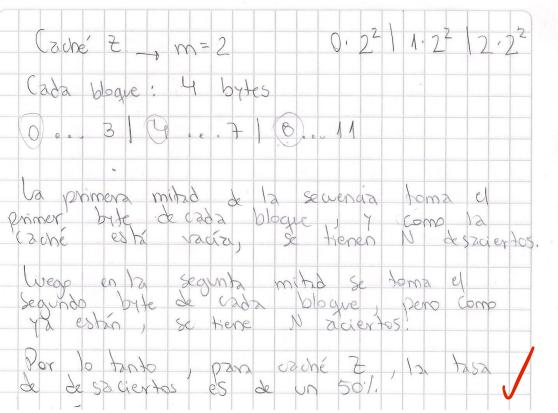
Pregun	(ome	usio 1.		bits 2 1- 230 =	on pt	irección re, en to	de
3)	· \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \						0,3
Cau	é. Y: ? né Z:	t bits à	de offse	x → 12	8/4=	256 palab 32 palab	ovas/bloque
X, L	+ M: B =	= 4 × 2 <sup>2</sup>	03/1	024 =	4096 -0 16364 -0 262144 -	4 Ki Bloo 16 Ki Bloo 1256 Ki B'	ques ques logues

0,3



E) Caché X - m= 10	0.210	1.210 1.2.210
(2d2 bloque: 1024 bytes) dise cciones en bytes de la quedan cemo:	por lo	que 125 Principal
0 1 2 1023 1024 204 bloque 1 bloque 2		
Loim es possible notar, la la sevencia toma el prin bloque comenzando con el bloque "V-1" cor vacía, estos N accesos de caché.	primora  per bito que  po la  son	mitad de e de vada O hasta coché inicia desader tos
La -otra mitud de la se Segundo loyte de cada le todos estos y ze están en Conside van aciertos	ecencia Nogre, Caché,	toma el pero como se
Por la trata, para cache de desa ciertos es 1/	2 = 50·/	la tasa





## **PREGUNTA 3**

## Pregunta 3. Varios (2 pts.)

#### Parte 1 - Rendimiento procesadores paralelos

A) (0,8 pts.) Considere una suma no paralelizable de N² escalares, y una suma paralelizable de matrices MxM (i.e., M² sumas). Encuentre la razón entre N y M que permite obtener una aceleración -con respecto del caso con 1 procesador- igual a la mitad del número de procesadores, P.

#### Parte 2 - Memoria virtual

Considere un sistema de memoria virtual con las siguientes características:

Dirección virtual	Memoria DRAM	Tamaño de página	Tamaño de una entrada de la
(bits)	física instalada (GiB)	(KiB)	tabla de páginas (bytes)
42	32	8	4

B) (0,4 pts.) ¿Cuántas entradas en total se requieren para la tabla de páginas, y cuánta memoria física se requiere para almacenar la tabla de páginas?

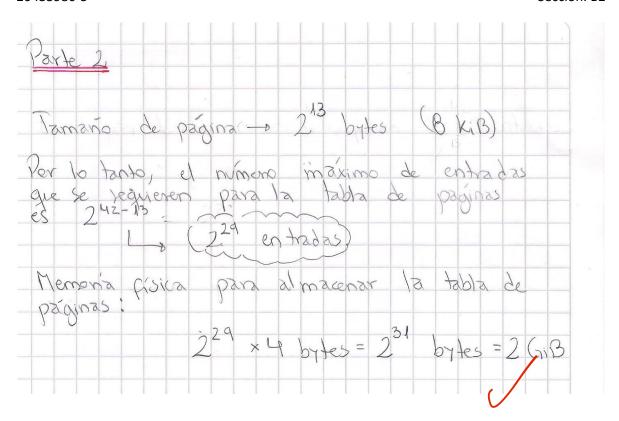
#### Parte 3 - ¡De nuevo caché!

Considere un computador con una memoria principal de 4 GiB, una caché asociativa de 4 vías con política de reemplazo MRU, direcciones de memoria de 32 bits con 9 bits de "index" y bloques de tamaño 8 bytes. Además, considere el siguiente bucle escrito en C. El arreglo "a" contiene números enteros de 32 bits y está almacenado en un espacio contiguo de la memoria principal, comenzando en la dirección 0.

```
int i, j, sum1;
for(i=0; i<100; i=i+1){
   for(j=0; j<=5120; j=j+1024){
      sum1 += a[j];
}</pre>
```

C) (0,8 pt.) Tradicionalmente, la indexación de una caché se realiza mediante la función módulo, de modo tal que para el bloque de memoria número "d", el índice de la caché se calcula como "d mod 2<sup>N</sup>", con "N" el número de bits para indexar la caché. Considere una indexación "Mersenne" que utiliza el número de Mersenne "2<sup>N</sup>-1" para el índice, de modo que, en este caso, el índice se calcula como "d mod (2<sup>N</sup>-1)". Para el bucle mostrado arriba, determine las tasas de desacierto para ambos modos de indexación: tradicional y "Mersenne". Asuma que la caché está inicialmente vacía.

Pregunta 3	7.72005	T
Parte !	- Rendimiento processoores paralelos	
$N^2$ esc	alares Suma matriz MXM	
Procesador	r vinico - o Tiempo = (N2 + M2) x tadd	
Aceleración	= 0,5 P.	1
$T_{P} = N^2$	$+ \frac{\pi^2}{P} \times \text{tadd} = 0,5 P$	
N2 +	$M^2 = 0,5P N^2 + 0,5 M^2$	
N2 - 1	$0.59N^2 + M^2 - 0.5M^2 = 0$	
N2 ( 1 -	$-0.5P) + 0.5R^2 = 0.$ $0.5R^2 = N^2(0.5P - 1)$	
	$\frac{0.5}{0.59-1} = \frac{N^2}{\Pi^2}$	
	$N = \begin{cases} 0.5 \\ 0.5 \\ 0.5 \\ 0.5 \end{cases}$	,



0,4

Parte 3  Memoria principal -> Caché asociativa de Direcciones de memori 9 bits de index Blogues de 8 bytes	4 GiB = 4 Mas a Je 32	232 B (MRU) bits 2 palabo	mos zemense
Tradicional: 2 mod 2	2,9	Merson	e: 2 mod 29-1
El segundo For reforme	los eleme	ntos:	
0 1024 2048	3072	4096	5120
los blogues son:			
0 - 512 1024	1536	2048	2560
$0 \mod 29 = 0$ $517 \mod 29 = 0$ $1024 \mod 29 = 0$ $1536 \mod 29 = 0$ $2048 \mod 29 = 0$ $2560 \mod 29 = 0$	512 1024 1536 2048	mod (29-1) mod (29-1) mod (29-1) mod (29-1) mod (29-1) mod (29-1)	= 1

to la	index	izción	tradicion	a) en	el pr	iner
cido de pues la	1 prin	er for	se ti	enen 6	como	hay
		as "	se tiene:			1
	0	517 1	nyunto 10 1024	1536		Mapean al
		312	100	2548		
	- 11	N I		2560	)	mismo (8)
(omo)	se tivi	22 )	remplazi	NRU	) en	el
- 1 -		1-21-1	2 12	111	0 11	
está	0,5	12 7	1024 Sa cierto	, mient	ns' (x	re 105
Otros 3	Service	2	Sa Clerto	) por	10 por	10
12 tas	a de	des àcie	rtos es			
	6 +	3 *	99/60	00 = 0	,505	= 50,51.
0					M	
YOY ON	0 1390	, en	la inde	Xxcion	Hersen	we w
napra	vilda	ree	orpharo	) jues	2000	poque
10/2 (	2 he	you also	lo bank	) ps4	2000	stinto esocientos lementos. iene o = 0,01/11
la voir	pera Vi	ez! a	ve se	acc eden	105 e	lementos.
Wege,	Comp "	hay (	iten	2 clones	se t	iene
) ),		1	1		1 / 1	- 0 - 1