

# CPU

VSS	1	40	RES
RDY	2	39	$\phi_2$ (OUT)
$\phi_1$ (OUT)	3	38	S0
IRQ	4	37	$\phi_0$ (IN)
N.C.	5	36	N.C.
NMI	6	35	N.C.
SYNC	7	34	R/W
VCC	8	33	D0
A0	9	32	D1
A1	10	31	D2
A2	11	30	D3
A3	12	29	D4
A4	13	28	D5
A5	14	27	D6
A6	15	26	D7
A7	16	25	A15
A8	17	24	A14
A9	18	23	A13
A10	19	22	A12
A11	20	21	VSS

$\phi_0$ (IN)	1	40	RES
RDY	2	39	$\phi_2$ (OUT)
IRQ	3	38	R/W
NMI	4	37	D0
AEC	5	36	D1
VCC	6	35	D2
A0	7	34	D3
A1	8	33	D4
A2	9	32	D5
A3	10	31	D6
A4	11	30	D7
A5	12	29	P0
A6	13	28	P1
A7	14	27	P2
A8	15	26	P3
A9	16	25	P4
A10	17	24	P5
A11	18	23	A15
A12	19	22	A14
A13	20	21	VSS

$\phi_0$ (IN)	1	40	RES
RDY	2	39	R/W
IRQ	3	38	D0
AEC	4	37	D1
VCC	5	36	D2
A0	6	35	D3
A1	7	34	D4
A2	8	33	D5
A3	9	32	D6
A4	10	31	D7
A5	11	30	P0
A6	12	29	P1
A7	13	28	P2
A8	14	27	P3
A9	15	26	P4
A10	16	25	P6
A11	17	24	P7
A12	18	23	Gate IN
A13	19	22	A15
VSS	20	21	A14

$\phi_0$ (IN)	1	40	RES
RDY	2	39	$\phi_2$ (OUT)
IRQ	3	38	R/W
NMI	4	37	D0
AEC	5	36	D1
VCC	6	35	D2
A0	7	34	D3
A1	8	33	D4
A2	9	32	D5
A3	10	31	D6
A4	11	30	D7
A5	12	29	P0
A6	13	28	P1
A7	14	27	P2
A8	15	26	P3
A9	16	25	P4
A10	17	24	P5
A11	18	23	A15
A12	19	22	A14
A13	20	21	VSS

$\phi_0$ (IN)	1	40	RES
RDY	2	39	R/W
IRQ	3	38	D0
AEC	4	37	D1
VCC	5	36	D2
A0	6	35	D3
A1	7	34	D4
A2	8	33	D5
A3	9	32	D6
A4	10	31	D7
A5	11	30	P0
A6	12	29	P1
A7	13	28	P2
A8	14	27	P3
A9	15	26	P4
A10	16	25	P6
A11	17	24	P7
A12	18	23	Gate IN
A13	19	22	A15
VSS	20	21	A14

$\phi_0$ (IN)	1	40	RES
RDY	2	39	R/W
IRQ	3	38	D0
NMI	4	37	D1
AEC	5	36	D2
VCC	6	35	D3
A0	7	34	D4
A1	8	33	D5
A2	9	32	D6
A3	10	31	D7
A4	11	30	P0
A5	12	29	P1
A6	13	28	P2
A7	14	27	P3
A8	15	26	P4
A9	16	25	P5
A10	17	24	P6
A11	18	23	A15
A12	19	22	A14
A13	20	21	VSS

A11	1	40	A10
A12	2	39	A9
A13	3	38	A8
A14	4	37	A7
A15	5	36	A6
CLK	6	35	A5
D4	7	34	A4
D3	8	33	A3
D5	9	32	A2
D6	10	31	A1
VCC	11	30	A0
D2	12	29	VSS
D7	13	28	REFSH
D0	14	27	MI
D1	15	26	RESET
INT	16	25	BUSRQ
NMI	17	24	WAIT
HALT	18	23	BUSACK
MREQ	19	22	WRITE
IORQ	20	21	READ

# Audio

CAP 1A	1	28	VDD
CAP 1B	2	27	Audio out
CAP 2A	3	26	EXT IN
CAP 2B	4	25	VCC
RES	5	24	POT X
$\phi_2$	6	23	POT Y
R/W	7	22	D7
CS	8	21	D6
A0	9	20	D5
A1	10	19	D4
A2	11	18	D3
A3	12	17	D2
A4	13	16	D1
VSS	14	15	D0

CAP 1A	1	28	VDD
CAP 1B	2	27	Audio out
CAP 2A	3	26	EXT IN
CAP 2B	4	25	VCC
RES	5	24	POT X
$\phi_2$	6	23	POT Y
R/W	7	22	D7
CS	8	21	D6
A0	9	20	D5
A1	10	19	D4
A2	11	18	D3
A3	12	17	D2
A4	13	16	D1
VSS	14	15	D0

CAP 1A	1	28	VDD
CAP 1B	2	27	Audio out
CAP 2A	3	26	EXT IN
CAP 2B	4	25	VCC
RES	5	24	POT X
$\phi_2$	6	23	POT Y
R/W	7	22	D7
CS	8	21	D6
A0	9	20	D5
A1	10	19	D4
A2	11	18	D3
A3	12	17	D2
A4	13	16	D1
VSS	14	15	D0

# Video

N.C.	1	40	VDD
CHROMA	2	39	$\phi_1$
LUMA/ SYNC	3	38	$\phi_2$
R/W	4	37	OPTION
D11	5	36	P $\phi_2$
D10	6	35	P $\phi_1$
D9	7	34	A13
D8	8	33	A12
D7	9	32	A11
D6	10	31	A10
D5	11	30	A9
D4	12	29	A8
D3	13	28	A7
D2	14	27	A6
D1	15	26	A5
D0	16	25	A4
POT X	17	24	A3
POT Y	18	23	A2
AUDIO	19	22	A1
VSS	20	21	A0

N.C.	1	40	VDD
CHROMA	2	39	$\phi_1$
LUMA/ SYNC	3	38	$\phi_2$
R/W	4	37	OPTION
D11	5	36	P $\phi_2$
D10	6	35	P $\phi_1$
D9	7	34	A13
D8	8	33	A12
D7	9	32	A11
D6	10	31	A10
D5	11	30	A9
D4	12	29	A8
D3	13	28	A7
D2	14	27	A6
D1	15	26	A5
D0	16	25	A4
POT X	17	24	A3
POT Y	18	23	A2
AUDIO	19	22	A1
VSS	20	21	A0

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A13
IRQ	8	33	A12
LP	9	32	A11
CS	10	31	A10
R/W	11	30	A9
BA	12	29	A8
VDD	13	28	A7
COLOR	14	27	A6
Sync/LUM	15	26	A5
AEC	16	25	A4
$\phi_0$ (OUT)	17	24	A3
DOTCLK	18	23	A2
COLCLK	19	22	A1
VSS	20	21	A0

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	$\phi_{Clock}$ (IN)
VSS	20	21	$\phi_{Color}$ (IN)


D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	$\phi_{Clock}$ (IN)
VSS	20	21	$\phi_{Color}$ (IN)

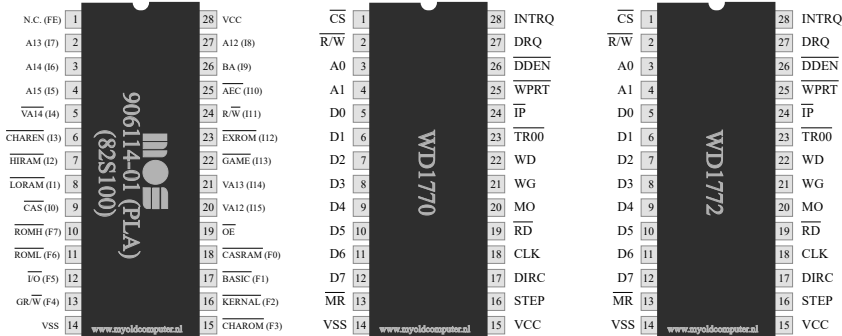
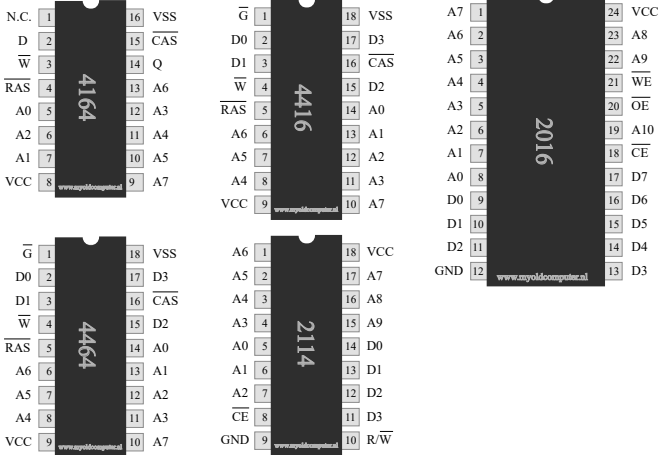
D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	$\phi_{Clock}$ (IN)
VSS	20	21	$\phi_{Color}$ (IN)

D6	1	40	VCC
D5	2	39	D7
D4	3	38	D8
D3	4	37	D9
D2	5	36	D10
D1	6	35	D11
D0	7	34	A10
IRQ	8	33	A9
LP	9	32	A8
CS	10	31	A7
R/W	11	30	A6
BA	12	29	A5 / A13
VDD	13	28	A4 / A12
COLOR	14	27	A3 / A11
Sync/LUM	15	26	A2 / A10
AEC	16	25	A1 / A9
$\phi_0$ (OUT)	17	24	A0 / A8
RAS	18	23	A11
CAS	19	22	$\phi_{Clock}$ (IN)
VSS	20	21	$\phi_{Color}$ (IN)

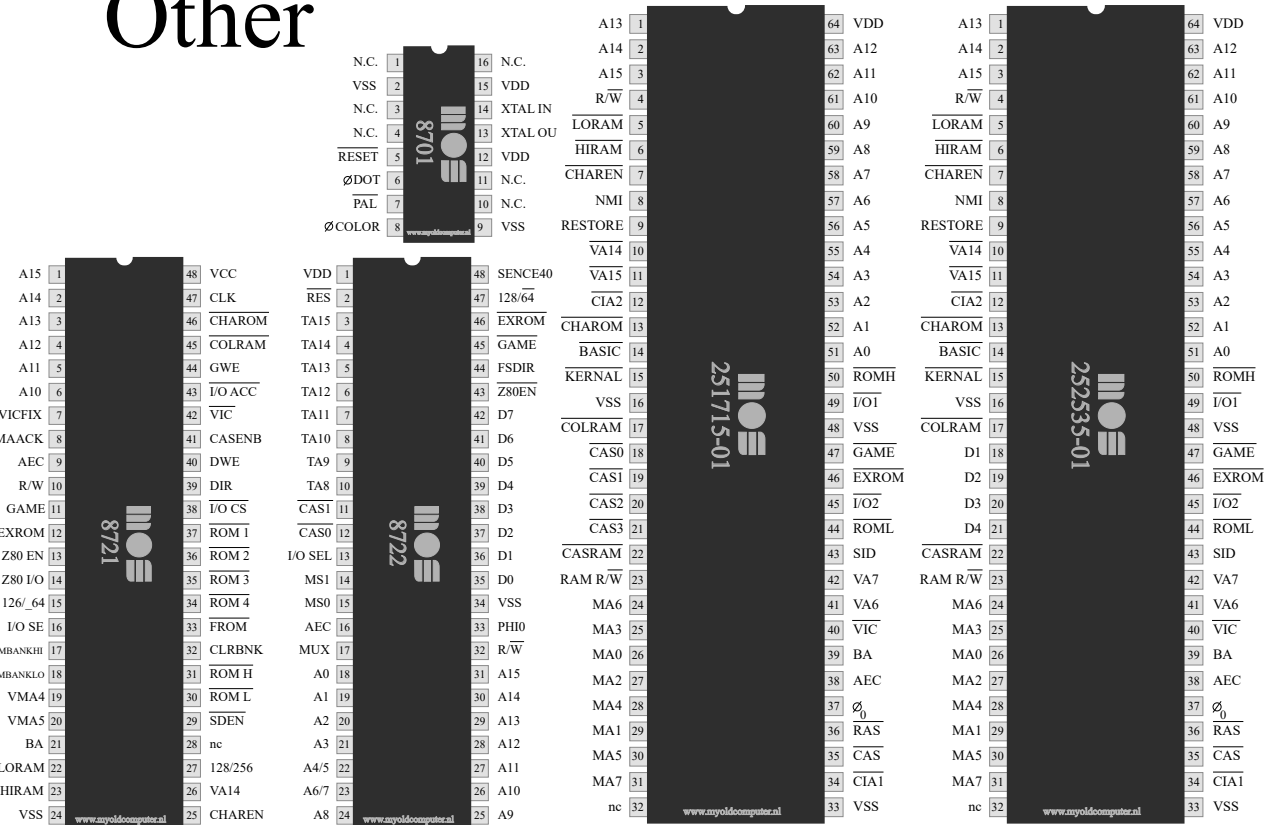
A2	1	48	A3
A1	2	47	A4
A0	3	46	A5
VDD	4	45	A6
CS0	5	44	A7
CS1	6	43	A8
R/W	7	42	A9
IRQ	8	41	A10
MUX	9	40	A11
RAS	10	39	A12
CAS	11	38	A13
CLK OUT	12	37	A14
COLOR	13	36	A15
CLK IN	14	35	AEC
K0	15	34	BA
K1	16	33	SND
K2	17	32	DB7
K3	18	31	DB6
K4	19	30	DB5
K5	20	29	DB4
K6	21	28	DB3
K7	22	27	DB2
LUM	23	26	DB1
VSS	24	25	DB0

A2	1	48	A3
A1	2	47	A4
A0	3	46	A5
VDD	4	45	A6
CS0	5	44	A7
CS1	6	43	A8
R/W	7	42	A9
IRQ	8	41	A10
MUX	9	40	A11
RAS	10	39	A12
CAS	11	38	A13
CLK OUT	12	37	A14
COLOR	13	36	A15
CLK IN	14	35	AEC
K0	15	34	BA
K1	16	33	SND
K2	17	32	DB7
K3	18	31	DB6
K4	19	30	DB5
K5	20	29	DB4
K6	21	28	DB3
K7	22	27	DB2
LUM	23	26	DB1
VSS	24	25	DB0

D6	1	 8366	48	VCC
D5	2		47	DB7
D4	3		46	D8
D3	4		45	D9
D2	5		44	D10
D1	6		43	D11
D0	7		42	A10
IRQ	8		41	A9
LP	9		40	A8
BA	10		39	A7
DMAR	11		38	A6
AEC	12		37	A5
CS	13		36	A4
R/W	14		35	A3
DMAACK	15		34	A2
COLOR	16		33	A1
SYNC	17		32	A0
1Mhz	18		31	A11
RAS	19		30	ØIN
CAS	20		29	ØCL
MU	21		28	K2
IDACC	22		27	K1
2Mhz	23		26	K0
VSS	24		25	Z80



## Other



# Drive IC's

