

A De aansluitingen van de FPGA doos

Het FPGA device is een **Xilinx Spartan-6** met typeaanduiding XC6SLX45T-CSG324-3C. Je moet de I/O Standaard LVTTTL gebruiken - zie deze handleiding, User constraints. De LVTTTL heeft de volgende karakteristieken:

V_{IH} Ingangsspanningsgebied voor een *hoog* signaal, logische “1”, is $2.0V \leq V_{IH} \leq 4.1V$.

V_{IL} Ingangsspanningsgebied voor een *laag* signaal, logische “0”, is $-0.5V \leq V_{IL} \leq 0.8V$.

V_{OH} Minimale uitgangsspanning van een *hoog* signaal, logische “1”, is $V_{OH} \geq 2.4V$.

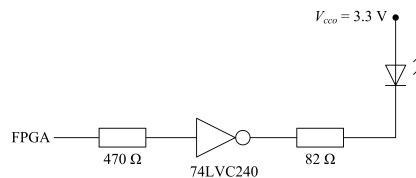
V_{OL} Maximale uitgangsspanning van een *laag* signaal, logische “0”, is $V_{OL} \leq 0.4V$.

Deze FPGA is NIET 5 V tolerant; absolute maximum ingangsspanning is 4.4 V. Hierbij is voor een uitgangspin de maximale stroom in of uit de pin 12 mA.

Ga er echter vanuit dat een uitgangspin precies één *Low Power TTL* poort kan aansturen, b.v. uit de serie 74LSxxx. Wil je meer dan moet je eerst een Low-Power TTL *buffer* gebruiken, al dan niet inverterend.

Wil je een transistor aansturen, houd dan ook rekening met het feit dat bij elke pin van de FPGA een weerstand van 470 ohm in serie geschakeld is, zie de schemas hieronder. Hierdoor is de stroom beperkt tot circa 7 mA. Dit is voldoende om een transistor aan te sturen.

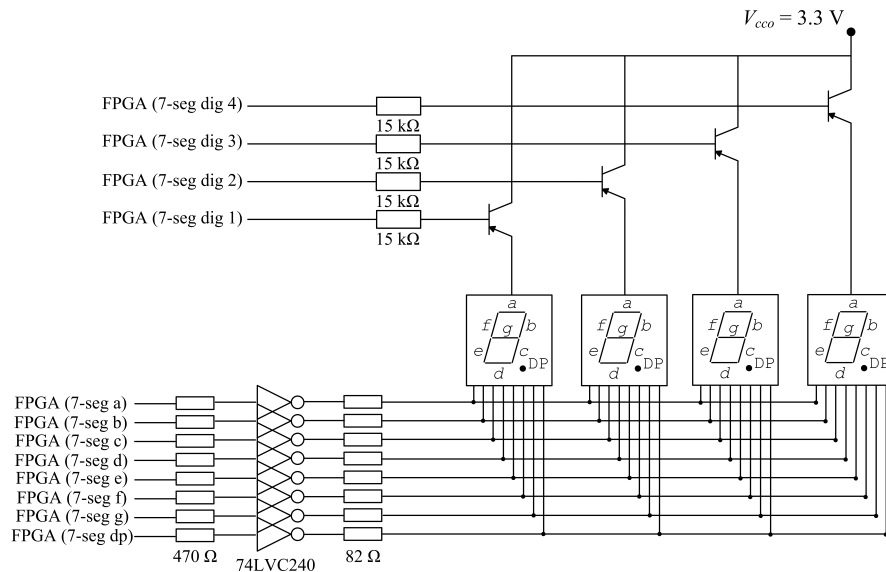
Aansluiting van LED



Als we aannemen dat de spanningsval over de LED ca 2.1 V is (rode led bij 15 mA) dan vinden we dat de LED stroom inderdaad ongeveer 15 mA zal zijn.

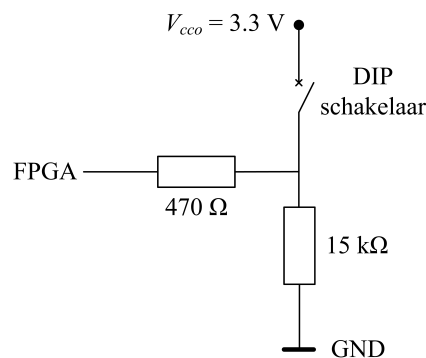
De 82 Ohm weerstand beveiligt ook de LED doordat de stroom nooit groter dan ca. 15 mA kan worden.

Aansluiting van 7 SEG display



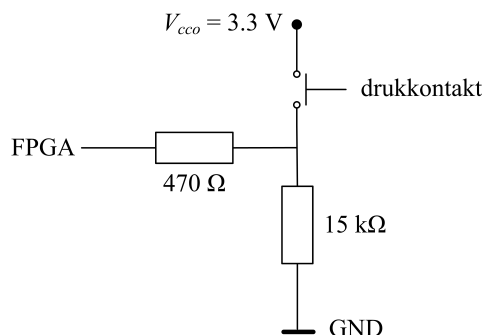
De aansturing van de individuele segmenten van de 7 SEG display is zeer vergelijkbaar met de aansturing van de LED, zoals beschreven in de vorige sectie. Om een individuele display in te stellen moet deze echter eerst met het behorende selectie signaal worden geselecteerd. Deze techniek voor de aansturing van displays die de logische lijnen delen is *multiplexing* genoemd. *Let op:* de multiplexing kan niet met een te hoge frequentie worden uitgevoerd; de limiet daarvoor is ongeveer 10 kHz.

Aansluiting van de DIP schakelaars



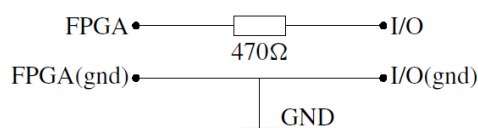
Indien de ingangsstroom bij open kontakt niet groter is dan 0.1 mA (en dat is 10 maal groter dan de specificaties aangeven), dan halen we de noodzakelijke V_{IH} .

Aansluiting van de drukkcontacten



Let op dat er geen ontddering circuit bestaat in deze versie van de aansluiting van het drukcontact.

Aansluiting van algemene I/O pinnen



De weerstand wordt gebruikt om de kortsluitstroom te begrenzen. De minimale V_{IH} is altijd nog 0.3 V boven de drempel indien we met deze pin als uitgang een Low-Power TTL ingang aansturen.

De lijsten van tabel 8 beschrijven de FPGA pinnen waaraan de verschillende onderdelen van de FPGA doos aangesloten zijn. Zo zijn er LEDs, 7-segment displays, drukschakelaars en DIP schakelaars. Ook zijn er vier connectoren voor de aansluiting van externe inputs en outputs.

Connector 1		Connector 2		Connector 3		Connector 4	
pin	FPGA pin	pin	FPGA pin	pin	FPGA pin	pin	FPGA pin
1	B16	1	N5	1	T4	1	J3
2	GND	2	GND	2	GND	2	GND
3	A16	3	P6	3	V4	3	J1
4	GND	4	GND	4	GND	4	GND
5	C15	5	N6	5	R5	5	K2
6	GND	6	GND	6	GND	6	GND
7	A15	7	P7	7	T5	7	K1
8	GND	8	GND	8	GND	8	GND
9	F12	9	U5	9	T6	9	T2
10	GND	10	GND	10	GND	10	GND
11	E12	11	V5	11	V6	11	T1
12	GND	12	GND	12	GND	12	GND
13	G8	13	U7	13	R7	13	U2
14	GND	14	GND	14	GND	14	GND
15	E8	15	V7	15	T7	15	U1
16	GND	16	GND	16	GND	16	GND
17	B2	17	T9	17	N7	17	M3
18	GND	18	GND	18	GND	18	GND
19	A2	19	V9	19	P8	19	M1
20	GND	20	GND	20	GND	20	GND
21	E14	21	U10	21	M8	21	P2
22	GND	22	GND	22	GND	22	GND
23	D15	23	V10	23	N8	23	P1
24	GND	24	GND	24	GND	24	GND
25	G9	25	R3	25	T3	25	K4

LED rij		DIP switches	
LED pin	FPGA pin	DIP pin	FPGA pin
1 (links)	L4	1 (links)	C2
2	L3	2	C1
3	L6	3	F6
4	M5	4	F5
5	N2	5	H7
6	N1	6	G6
7	P4	7	D2
8	P3	8	D1
9	L2	9	F2
10	L1	10	F1
11	G11	11	L5
12	E6	12	K5
13	F7	13	L7
14	B3	14	K6
15	A3	15	N4
16 (rechts)	K3	16 (rechts)	N3

Drukschakelaars	
Schakelaar	FPGA pin
1	H2
2	H1
3	H4
4	H3
5	U8
6	V8

Systeem signalen	
Signaal	FPGA pin
sysclk (50 MHz)	R8
sysclk (125 MHz)	T8

7 Segment display	
Segment	FPGA pin
a	D3
b	E3
c	E1
d	E4
e	G1
f	G3
g	F3
dp	F4

7 Segment multiplexer	
Display	FPGA pin
1	H6
2	H5
3	J7
4	J6

Tabel 8: De pinout van de testmodule

