|  |  |
| --- | --- |
|  | **Министерство образования и науки Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ   Радиоэлектроника и лазерная техника (РЛ)

КАФЕДРА   Радиоэлектронный системы и устройства (РЛ1)

**ОТЧЕТ ПО технологической ПРАКТИКЕ**

Студент   Нейман Александр Львович

(Фамилия, имя, отчество)

Группа   РЛ1-61

Тема практики  Создание модели цифрового сигнала и формирование радиосигнала в ПЛИС

Название предприятия  АО «Российские космические системы»

Руководитель практики

от МГТУ им. Н.Э. Баумана \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(Подпись, дата) (И.О.Фамилия)

Руководитель практики

от  **АО «Российские**

**космические системы»**  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(Подпись, дата) (И.О.Фамилия)

Студент **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**      Нейман А.Л       

(Подпись, дата) (И.О.Фамилия)

Оценка \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

*2021г.*

СОДЕРЖАНИЕ

ПЕРЕЧЕНЬ СОКРАЩЕНИЙ И ОБОЗНАЧЕНИЙ

ВВЕДЕНИЕ

1 Теоретическая часть

* 1. Понятие ПЛИС и их роли в радиоэлектронике

1.1.1 Что такое ПЛИС?

1.1.2 Преимущества и недостатки

1.1.3 Классификация ПЛИС. CPLD и FPGA

* 1. Построение цифрового формирователя радиосигналов на ПЛИС с управлением от микроконтроллера
     1. Создание математической модели в Matlab
     2. Реализация модели на ПЛИС в САПР Quartus II
  2. Передача отсчётов цифрового радиосигнала с ПЛИС в микроконтроллер

1. Описание технологического процесса
   1. Применение многослойных печатных плат для монтажа ПЛИС
   2. **Трассировка печатной платы и программируемых соединений внутри ПЛИС**
   3. Технология производства многослойных печатных плат
2. ЗАКЛЮЧЕНИЕ
3. СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

ПЕРЕЧЕНЬ СОКРАЩЕНИЙ И ОБОЗНАЧЕНИЙ

БИС – большая интегральная микросхема

ИМС (МС) – (интегральная) микросхема

МК – микроконтроллер

ПК – персональный компьютер

ПЛИС - программируемая логическая интегральная схема

ПЛМ - программируемая логическая матрица

ПМЛ – программируемая матрица логики

ПП – печатная плата

САПР - система автоматизированного проектирования

СДНФ - [совершенная дизъюнктивная нормальная форма](https://ru.wikipedia.org/wiki/%D0%A1%D0%BE%D0%B2%D0%B5%D1%80%D1%88%D0%B5%D0%BD%D0%BD%D0%B0%D1%8F_%D0%B4%D0%B8%D0%B7%D1%8A%D1%8E%D0%BD%D0%BA%D1%82%D0%B8%D0%B2%D0%BD%D0%B0%D1%8F_%D0%BD%D0%BE%D1%80%D0%BC%D0%B0%D0%BB%D1%8C%D0%BD%D0%B0%D1%8F_%D1%84%D0%BE%D1%80%D0%BC%D0%B0)

ФБ – функциональный блок

ЦОС – цифровая обработка сигнала

ВВЕДЕНИЕ

Цель практики – формирование радиосигнала в ПЛИС и рассмотрение технологии изготовления печатной платы для монтажа ПЛИС.

Задачи:

- изучить понятие ПЛИС, их места и роли в РЭА;

- освоить работу в пакете прикладных программ Matlab;

- сформировать с помощью Matlab модель цифрового сигнала в ПЛИС и реализовать передачу его отсчётов в МК;

- освоить работу в САПР Quartus II с использованием языка описания аппаратуры Verilog HDL;

- реализовать полученную ранее модель на ПЛИС в среде разработки Quartus II;

- рассмотреть технологический процесс производства многослойной ПП, применяемой для монтажа ПЛИС в схеме, и подготовить необходимую техническую документацию.

На сегодняшний день вся радиоэлектроника является цифровой, цифровая техника, в свою очередь, построена на интегральных микросхемах (ИМС), которые могут содержать десятки тысяч элементов в одном кристалле. Однако, по мере роста сложности электронных устройств и тенденции к миниатюризации, создание приборов на основе простых МС стало затруднительным и неоправданным. Выходом из сложившейся ситуации стало развитие программируемых интегральных логических схем – ПЛИС, логика работы которых не определяется при изготовлении, а задаётся посредством программирования (проектирования). ПЛИС обеспечивают высокое быстродействие и гибкость, позволяя решать целый ряд задач, не изменяя элементной базы. Они широко используются для построения различных по сложности и по возможностям цифровых устройств, например:

- устройств с большим количеством портов ввода-вывода;

- устройств цифровой обработки сигнала (ЦОС);

- устройств, выполняющих передачу данных на высокой скорости;

- цифровой видеоаудиоаппаратуры и т.д.

**Раздел 1. Теоретическая часть**

* 1. **Понятие ПЛИС и их роли в радиоэлектронике**

1.1.1 Что такое ПЛИС?

Программируемая логическая интегральная схема (ПЛИС, англ. ***p****rogrammable* ***l****ogic* ***d****evice*, *PLD*) - электронный компонент (интегральная микросхема), используемый для создания конфигурируемых цифровых электронных схем. Как уже говорилось во введении, архитектура ПЛИС определяется вшитой в неё программой, в отличие от микроконтроллеров, разработчиком которых доступен лишь фиксированный набор решений и команд, присущих конкретному чипу. Для программирования используются программатор и интегрированная среда разработки (отладочная среда), позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры.

1.1.2 Преимущества и недостатки

К основным достоинствам ПЛИС можно отнести:

1) Возможность передачи данных на высоких скоростях.

2) Небольшой период от начала процесса проектирования устройств на ПЛИС до выпуска серийной продукции.

3) Значительно более низкие затраты на разработку и короткие сроки внедрения.

4) Большое количество портов ввода и вывода.

5) Сравнительно небольшие габариты, меньше чем у цифровых микросхем.

6) Наличие развитых САПР, которые на порядок дешевле и проще в освоении, чем САПР БИС.

7) Относительная простота исправления ошибок проектировщиков в процессе отладки изделий.

8) Возможность параллельной работы по нескольким задачам, например в устройствах ЦОС.

9) Больший объем памяти.

10) Простота заменяемости модулей при разработках.

Но ПЛИС обладают также и рядом недостатков:

1) Более высокая цена при том же функционале, чем у БИС.

2) Площадь, занимаемая схемой проекта на кристалле ПЛИС больше, чем у аналогичных МС (за гибкость приходится платить низкой логической плотностью).

3) Значительно более высокие требования к мощности для того же количества логики или функций.

4) Необходимость обладать обширными знаниями в области цифровой техники и программирования.

1.1.3 Классификация ПЛИС. CPLD и FPGA

Первым представителем большого класса ПЛИС стали программируемые логические матрицы – **ПЛМ** (PLA — [англ.](https://ru.wikipedia.org/wiki/%D0%90%D0%BD%D0%B3%D0%BB%D0%B8%D0%B9%D1%81%D0%BA%D0%B8%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA) [programmable logic array](https://en.wikipedia.org/wiki/Programmable_logic_array)). ПЛМ представляет собой комбинационную схему, реализующую логические выражения, представленные в виде СДНФ. Структура ПЛМ приведена на рисунке 1.

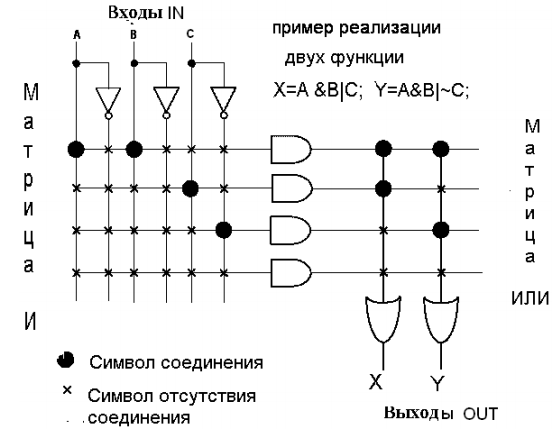


Рисунок 1 – Структура ПЛМ и реализация функция Х и У

Схема состоит из двух блоков: матрицы «И» и матрицы «ИЛИ». Логический элемент "И", реализующий минтерм СДНФ, изображается как одиночная горизонтальная строка с условно-графическим обозначением схемы "И". Ко входам этого элемента подводится многоразрядная шина, а на выходе подключен одиночный проводник. Если входной проводник подключается ко входу логического элемента "И" (перемычка сохранена), то это место обозначается точкой, а если соединение отсутствует (перемычка сожжена), то ставится крестик. Аналогично обозначаются и многовходовые элементы "ИЛИ". В данном примере реализованы 2 логические функции:

Х = (А ∙ В) + С и У = (А ∙ В) + .

Однако слабое использование ресурсов программируемой матрицы логических элементов "ИЛИ" привело к появлению ещё одного вида ПЛМ – программируемая матрица логики – **ПМЛ** (PAL - [англ.](https://ru.wikipedia.org/wiki/%D0%90%D0%BD%D0%B3%D0%BB%D0%B8%D0%B9%D1%81%D0%BA%D0%B8%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA) programmable array logic). В таких ПЛИС матрица логических элементов "И" является программируемой, а матрица логических элементов "ИЛИ" фиксированной, в отличие от ПЛМ, у которой программируются обе матрицы. Подобная структура ограничивает логические возможности, но резко упрощает процесс изготовления МС. Пример реализации тех же функций Х и У представлен на рисунке 2.

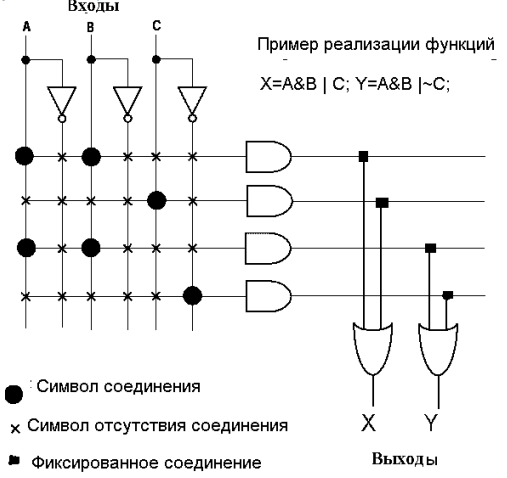


Рисунок 2 - Структура ПЛМ и реализация функция Х и У

В первых ПЛИС для программирования их функций использовались однократно пережигаемые перемычки, но дальнейшее развитие пошло по пути реализации в ПЛИС возможности многократного перепрограммирования (конфигурирования) соединений и реализации большого числа таких узлов в одной микросхеме. Таким образом, актуальными на сегодняшний день являются два основных вида ПЛИС: CPLD и FPGA.

1. **CPLD** ([англ.](https://ru.wikipedia.org/wiki/%D0%90%D0%BD%D0%B3%D0%BB%D0%B8%D0%B9%D1%81%D0%BA%D0%B8%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA)  Complex Programmable Logic Device) – программируемая логическая интегральная схема (собственно это и есть ПЛИС в её классическом понимании). Состоит из нескольких макроячеек (блоков), расположенных на одном кристалле. Каждая макроячейка соединена с блоками ввода-вывода, осуществляющими формирование необходимого вида входов или выходов для работы с внешними схемами. Кроме того, все макроячейки и блоки ввода-вывода связаны между собой внутренними параллельными шинами. На рисунке 3 приведена микросхема CPLD, состоящая из четырех макроячеек, связанных внутренними шинами и соединёнными с блоками ввода-вывода.

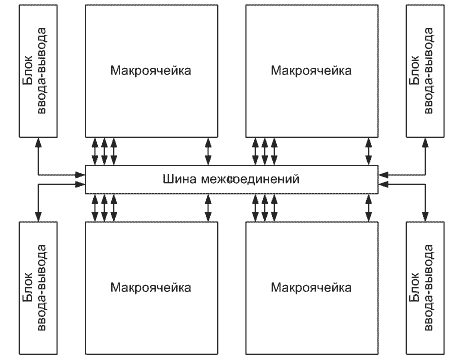


Рисунок 3 – Пример внутренней схемы CPLD

Макроячейка, или ФБ (рисунок 4) включает в себя многовходовую ПЛМ-схему, один или несколько триггеров, а также встроенную энергонезависимую память, программирование которой реализует настройку блоков и их связей.

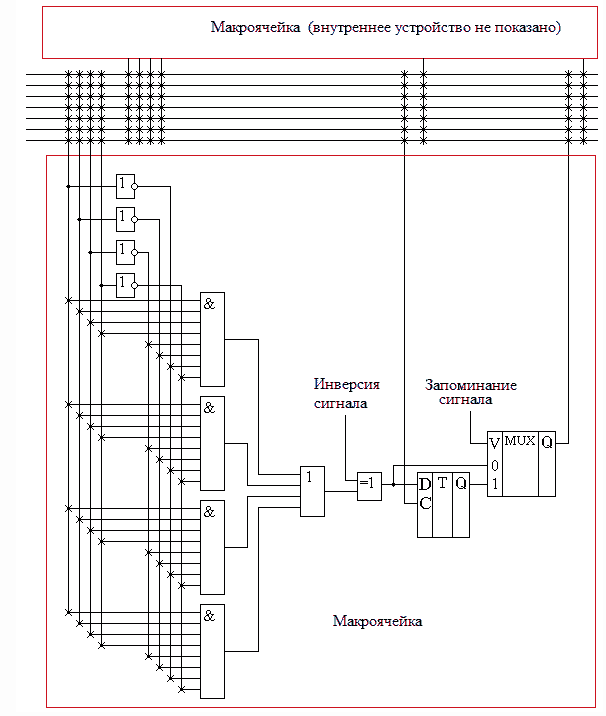


Рисунок 4 – Примерная структура макроячейки CPLD

1. **FPGA** ([англ.](https://ru.wikipedia.org/wiki/%D0%90%D0%BD%D0%B3%D0%BB%D0%B8%D0%B9%D1%81%D0%BA%D0%B8%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA) field-programmable gate array) – программируемая пользователем вентильная матрица. Имеет более сложную и гибкую архитектуру, чем CPLD, т.к. имеют совершенно принцип работы. ПЛИС типа FPGA строятся на множестве конфигурируемых логических блоков (КЛБ), соединённых гибкими программируемыми соединениями. По периметру микросхемы размещены блоки ввода–вывода сигналов. Помимо большого количества логических элементов FPGA могут содержат готовые блоки для выполнения каких-либо операций, например, блоки обработки сигнала DSP (digital signal processing). Программа для FPGA хранится во внешней распределённой памяти, которая может быть выполнена как на основе энергозависимых ячеек ОЗУ, так и на основе энергонезависимой памяти. Структура МС типа FPGA представлена на рисунке 5.

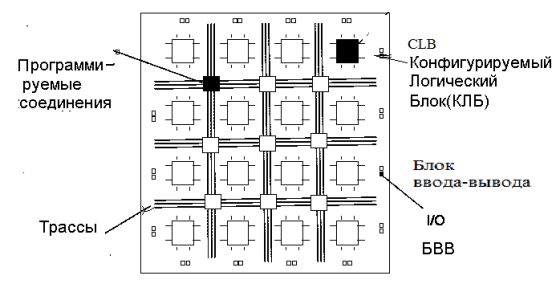


Рисунок 5 - Структура МС ПЛИС типа FPGA

Структура КЛБ показана на рисунке 6. Он состоит из логического блока на несколько входов, выполняющего функцию таблицы истинности ([англ.](https://ru.wikipedia.org/wiki/%D0%90%D0%BD%D0%B3%D0%BB%D0%B8%D0%B9%D1%81%D0%BA%D0%B8%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA) lookup table, [LUT](https://ru.wikipedia.org/wiki/%D0%A2%D0%B0%D0%B1%D0%BB%D0%B8%D1%86%D0%B0_%D0%BF%D0%BE%D0%B8%D1%81%D0%BA%D0%B0)), и D-триггера.

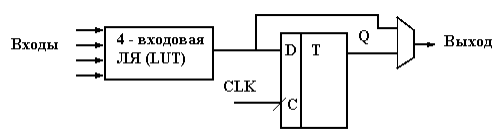


Рисунок 6 - Упрощенная структура четырехвходовой логической ячейк

Логическая функция, выполняемая таблицей, реализуется с помощью ПЗУ: в ПЗУ записывается таблица истинности логической функции, а при обращении к ПЗУ в качестве адреса используется набор значений аргументов. Каждому информационному слову сопоставлен его адрес.

Помимо КЛБ в состав МС FPGA могут входить отдельные аппаратные блоки, например блоки умножения суммирования. Кроме того, важнейшим ресурсом данных ПЛИС являются встроенные ядра - блоки внутренней памяти (Block RAM). Они могут быть сконфигурированы как однопортовое или двухпортовое ОЗУ различной разрядности и количества слов. Блоки можно конфигурировать и как память типа очередь – FIFO с разными синхросигналами на входах чтения и записи, что позволяет их использовать как буфера на границах областей синхронизации.

В дальнейшем для выполнения поставленных задач будет использоваться ПЛИС типа FPGA.

* 1. **Построение цифрового формирователя радиосигналов на ПЛИС с управлением от микроконтроллера**

В ходе проведения практики будет рассматривается взаимодействие ПЛИС и МК, управление которым производится с помощью ПК. В обобщённом виде это отражает схема на рисунке 7.

ПЛИС

МК

ПК

Рисунок 7 – Обобщённая схема лабораторной установки

В рамках прохождения практики будет рассматриваться прежде всего взаимодействие ПЛИС и МК, а ПК нужен для создания модели и написания прошивки для ПЛИС.

* + 1. Создание математической модели в Matlab

Рассмотрим более подробно механизм работы нашей схемы (см. рисунок 7). В ходе практики используется МС типа FPGA из подсемейства Cyclone IV E, выпускаемая фирмой Altera - ALTERA EP4CE6E22. Её общая структурная схема приведена на рисунке 8.

от МК

cos\_gen

count

freq

clk

enb

data\_output

clk\_r

clk\_w

к МК

к МК

full

empty

clk

empty

100 МГц

FIFO

к МК

rdy

control

от МК

от МК

full

Рисунок 8 – Структурная схема ПЛИС ALTERA EP4CE6E22

За формирование радиосигналов отвечает блок cos\_gen. Рассмотрим этот процесс на примере построения математической модели в программе Matlab. На вход схемы (см. рис. 8) поступает сигнал с частотой = 100 МГц – это частота дискретизации. В ходе работы блока будет получен вектор значений косинуса за период (от 0 до ); число значений равняется , где n – заданное целое число. Далее происходит обращение к ячейкам вектора в течение временного отрезка [0; ], где – шаг дискретизации, = 0,02 с. Мы можем обращаться не ко всем значениям, а идти с определённым шагом, формируя различную частоту считывания. Будем считывать каждое m-ое значение, а для определения числа m воспользуемся формулой: , где F – выходная частота (считывания) в МГц.

Итак, перейдём к программному коду в Matlab. Для начала запишем все константы (рисунок 9).

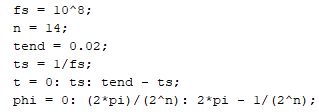


Рисунок 9 – Внесение констант в программу

Далее создадим диалоговое меню ввода, представляющее собой 4 кнопки, соответствующие различным выходным частотам: 5, 10, 15 и 20 МГц. На основании выбранной частоты высчитывается число m по описанному выше алгоритму (рисунок 10). Функция round необходима для округления до целого значения.

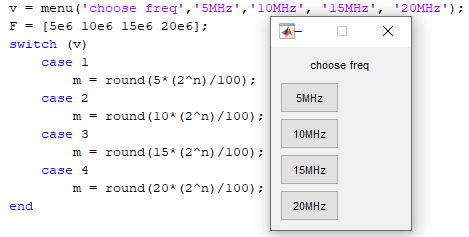


Рисунок 11 – Выбор частоты и вычисление m

Ниже запишем функцию, создающую табличный массив косинусов в пределах от 0 до – рисунок 12.

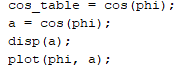


Рисунок 12 – Создание таблицы-вектора косинусов за период

Полученный вектор кладём в переменную а. Функция disp(a) выводит вектор в область Command Window внизу экрана. Для примера выберем в окне выбора частоты 10 МГц, результат показан на рисунке 13.

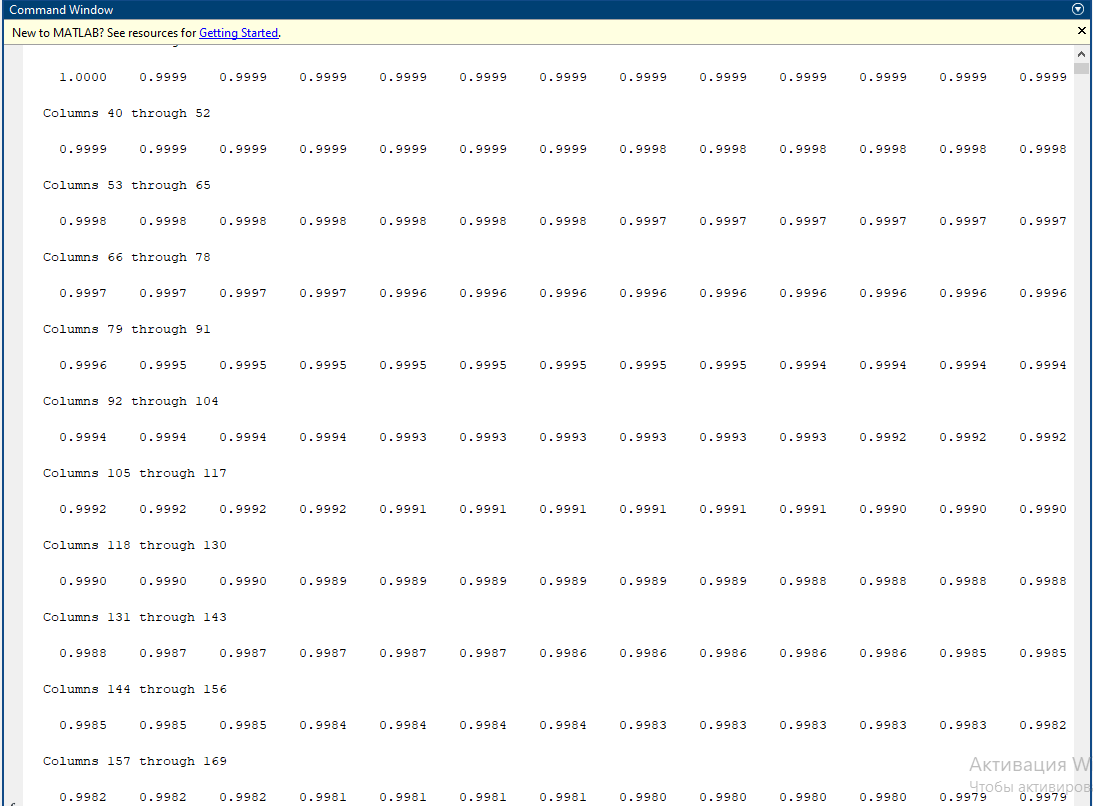


Рисунок 13 – Вектор значений косинуса за период

Переходим к выполнению основной программы – к считыванию каждого m-го члена вектора на заданном временном отрезке. Для этого в программе необходимо задать цикл, как показано на рисунке 14.

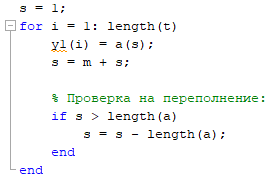


Рисунок 14 – Циклический опрос ячеек массива

Теперь построим график из выбранных отсчётов, воспользовавшись функцией plot. Для задания начального и конечного пределов по оси времени служит функция xlim, с помощью функций title, xlabel и ylabel для удобства подпишем график и его оси. Пусть для начала F снова равно 10 МГц (рисунок 15).

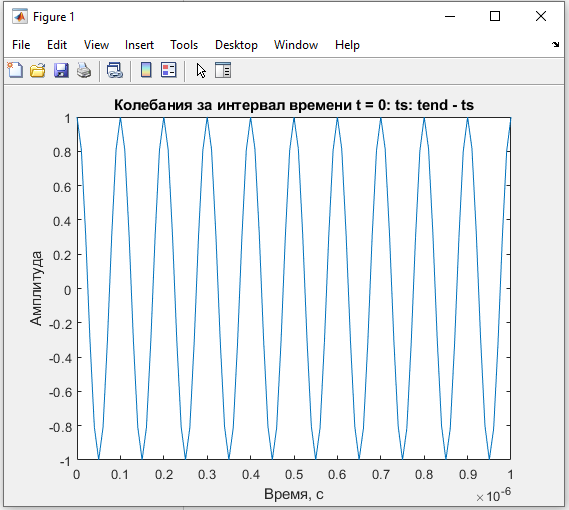


Рисунок 15 – Сигнал при выборе 10 МГц

Теперь выберем в диалоговом окне F = 5 МГц (рисунок 16).

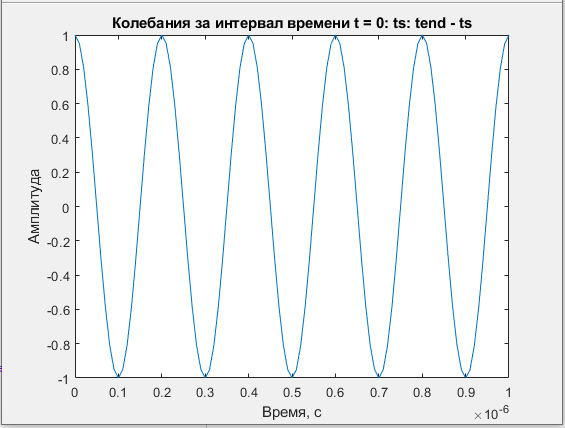


Рисунок 15 – Сигнал при выборе 5 МГц

Как видно из рисунков 14 и 15, алгоритм работает верно, откликаясь на выбор частоты считывания.

Для проверки построим также спектр сигнала, применяя прямое преобразование Фурье к элементам массива y1 (функция fft), возводя каждое значение в квадрат, и затем беря модуль результата (функция abs) – рисунок 16.

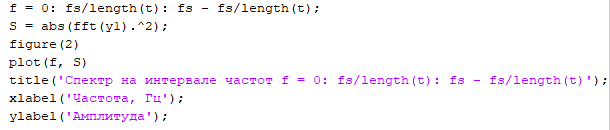


Рисунок 16 – Спектр гармонического колебания

Спектры для тех же 10 и 5 МГц представлены на рисунках 17 и 18.

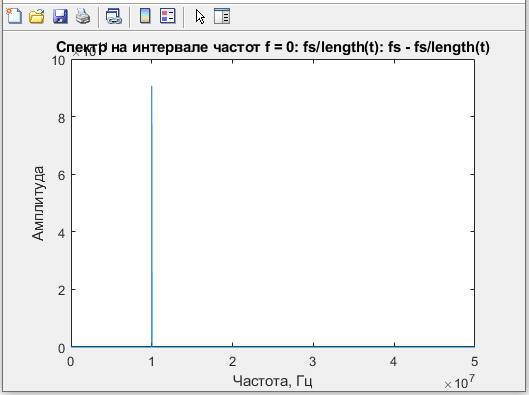


Рисунок 17 – Спектр сигнала при выборе 10 МГц

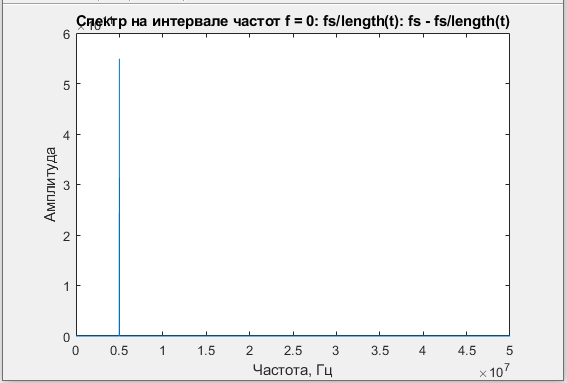


Рисунок 18 - Спектр сигнала при выборе 5 МГц

Результаты вновь совпадают с теорией – на обоих графиках виден единственный максимум на выбранной частоте.

Итак, рассмотрим весь алгоритм работы схемы, представленной на рисунке 8. С выхода МК на преобразователь частоты (блок freq) поступает двухразрядный номер частоты (выбор F в окне), на выходе имеем 14-разрядный код частоты m, идущий далее на счётчик (блок count); результат работы счётчика – 14-разрядное значение фазы (рассчитываемое по формуле s = s + m), поступающее на вход блока памяти, в котором записаны отсчёты одного периода косинуса (блок cos\_gen); далее отсчёты передаются в ОЗУ типа FIFO; помимо, собственно, значений косинуса, с выхода блока FIFO снимаются сигналы full и empty: если память заполнена, на full присутствует 1, если память очистилась, 1 на empty. За счёт этих сигналов осуществляется управление работой счётчика через блок control: если память заполнена, на блок control поступает сигнал full – на вход enb счётчика count подаётся 0; после того как память освободится, сигнал empty с её выхода поступает на control, что, в свою очередь, запускает счётчик на работу (enb = 1).

Важно отметить, что все блоки схемы работают только при наличии сигнала от внутреннего тактового генератора частотой 100 МГц.

* + 1. Реализация модели на ПЛИС в САПР Quartus II

Для того чтобы реализовать разработанный алгоритм в ПЛИС, необходимы, как уже говорилось в пункте 1.1.1, программатор и интегрированная среда разработки (отладочная среда). В качестве среды для ПЛИС фирмы Altera удобно использовать САПР Quartus II (v18.0); программирование будет осуществляться на языке Verilog HDL.

Начнём с реализации счётчика (блок count)