

开关电源设计开发实践与创新思维课程报告

——交错串联电容分接 Buck 降压电路 ISC-TaB

第四组: 王浩瑞 蒋佳诚 曹广旭

电气工程及自动化学院

2020 年 10 月 20 日



提纲

提纲

背景

参考电路图

仿真电路图

电路原理

降压比计算

结论/思考

参考文献



背景

- 通讯、工业系统用电需要做到高低压隔离
 - DC/DC 变换器
 - 如何实现高降压比?
- Buck 电路及其拓扑
 - SC-Buck
 - Buck-Boost
 - **ISC-Buck**
 - 提出 ISC-Buck 拓扑结构实现 48V-3.3V 降压



参考电路图

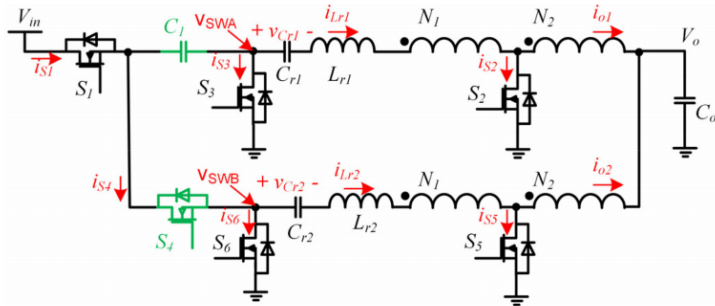


图: 参考电路图

- 使用了六个开关管
MOS1-MOS6 **D 倍降压**
- 电路拓扑结构具有**对称性**
phaseA, phaseB **两倍降压**
- 使用了变压器降压 **n:1 倍降压**
- LLC 软开关

仿真电路图

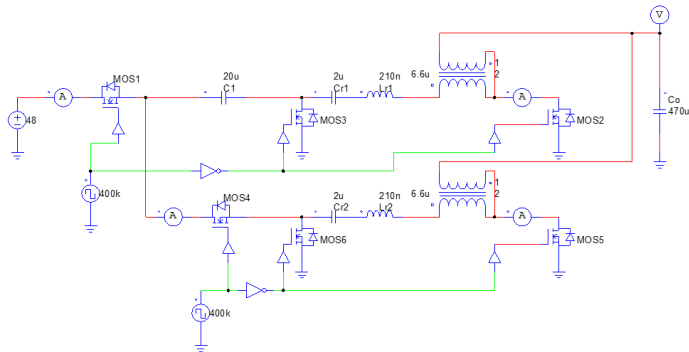


图: 仿真电路图

- 注意 MOS1-MOS6 的开关顺序和相位
- 注意 L_r 和 L_m 的选用
- 输出选用大容量电容



仿真电路图

Description	2ph SC-TaB	ISC-TaB
Resonant Inductor ($L_{r1}=L_{r2}=L_r$)	120 nH	210 nH
Resonant capacitor	2 μ F	2 μ F
Magnetizing Inductance (L_m)	2.2 uH	6.6 uH
Series capacitor (C_I)	N/A	2*10 uF
Power switches	$S_1/S_4/S_3/S_6$:BSC072N08NS5 S_2/S_5 : BSC009NE2LS	S_3/S_6 : BSC035N04S S_1/S_4 : BSC072N08NS5 S_2/S_5 : BSC009NE2LS
Turns ratio (n)	5	2
Rated power(P_{out})	66 W	
Input voltage (V_{in})	48 V	
Output voltage (V_o)	3.3 V	
Output current (I_o)	20 A	
Switching frequency(f_s)	400 kHz	
Magnetic core	PC95ELT18	

图: 元件参数表

电路原理

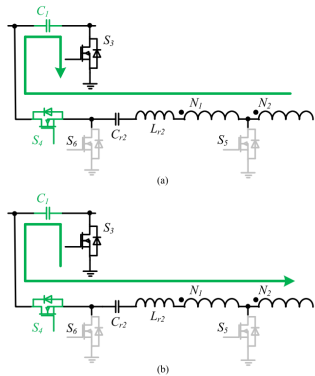


图: 电流流向 (开态)

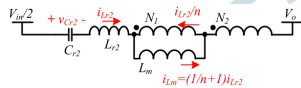


图: 电流大小关系 (开态)

电路原理

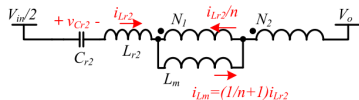
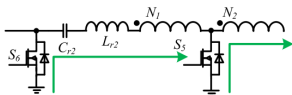


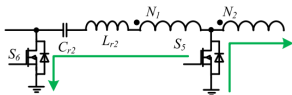
图: 电流大小关系 (开态)

$$\begin{cases} \frac{V_{in}}{2} - V_o - v_{Cr2} = L_{r2} \frac{di_{Lr2}}{dt} + L_m \frac{di_{Lr2}}{dt} \frac{(n+1)^2}{n^2} \\ i_{Lr2} = C_{r2} \frac{dv_{Cr2}}{dt} \end{cases} \quad (1)$$

电路原理



(c)



(d)

图: 电流流向 (关态)

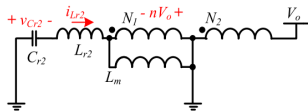


图: 电流大小关系 (关态)

电路原理

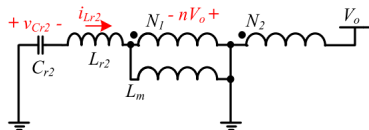
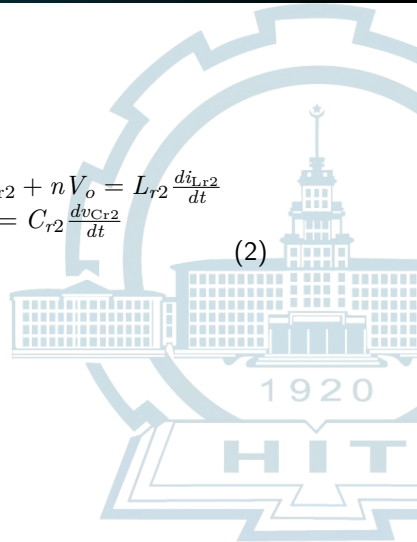


图: 电流大小关系 (关态)

$$\begin{cases} -v_{Cr2} + nV_o = L_{r2} \frac{di_{Lr2}}{dt} \\ i_{Lr2} = C_{r2} \frac{dv_{Cr2}}{dt} \end{cases} \quad (2)$$



降压比计算

- 谐振电感电压 V_{Lr2}

$$V_{Lr2} = \frac{\frac{V_{in}}{2} - V_o - V_{Cr2}}{1 + \frac{L_m}{L_{r2}} \cdot \frac{(n+1)^2}{n^2}} \quad (3)$$

- 变压器励磁电感电压 V_{Lm}

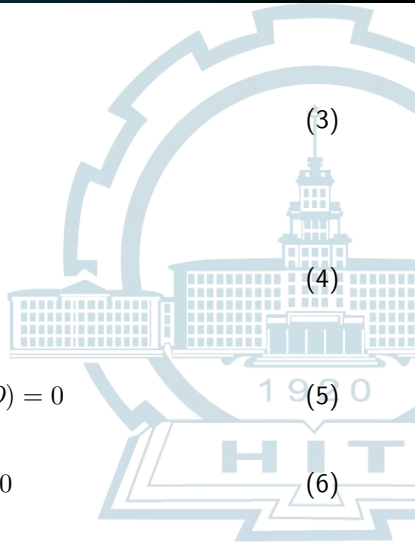
$$V_{Lm} = \frac{L_m}{L_{r2}} \cdot \left(1 + \frac{1}{n}\right) \cdot V_{Lr2} \quad (4)$$

- 伏秒平衡 (开态)

$$V_{Lr2} \cdot D + (-V_{Cr2} + nV_o) \cdot (1 - D) = 0 \quad (5)$$

- 伏秒平衡 (关态)

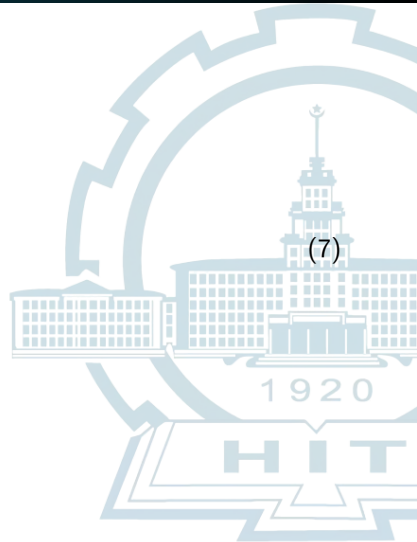
$$V_{Lm} \cdot D + (1 - D)(-nV_o) = 0 \quad (6)$$



降压比计算

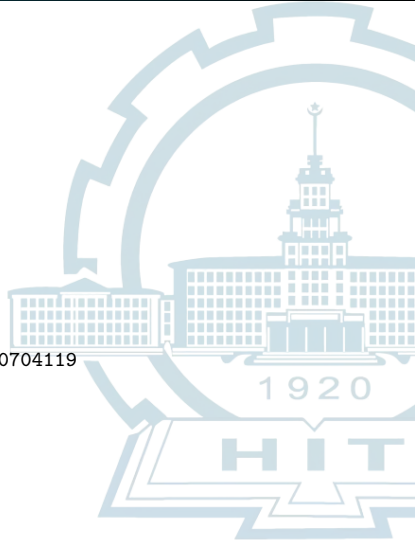
- 降压比

$$\frac{V_o}{V_{in}} = \frac{D}{2 \cdot \left(n + 1 + \frac{L_r}{L_m} \cdot \frac{n^2}{n+1} \right)} \quad (7)$$



结论/思考

- 该电路成功实现了 48V-3.3V 的 10 倍以上降压
- 优点
 - 单极降压比高
 - 输出电流大，带负载能力强
- 可能存在的问题
 - 效率
 - 解决措施: intergrate the inductor and the PCB
 - 开关电源的 EMC 设计 <https://zhuanlan.zhihu.com/p/90704119>
 - 结构复杂程度



参考文献

-  Lanhua Zhang,Sombuddha Chakraborty *An Interleaved Series-Capacitor Tapped Buck Converter for High Step-Down DC/DC Application*, VOL.34,JULY,2019,IEEE TRANSACTIONS ON POWER ELECTRONICS

